



Universitat de les Illes Balears

Departamento de Física

Estudio de eventos transitorios inducidos por radiación en memorias SRAM nanométricas

Tesis doctoral

Doctorado en Ingeniería Electrónica

Autor: Gabriel Torrens Caldentey
Director: Dr. Sebastià Bota Ferragut
Fecha: noviembre de 2012

Esta tesis doctoral ha sido realizada por el Sr. Gabriel Torrens Caldentey bajo la dirección del Dr. Sebastià Bota Ferragut, del Departamento de Física de la Universidad de las Islas Baleares.

Palma de Mallorca, 5 de noviembre de 2012

Sebastià Bota Ferragut
El director de tesis

Gabriel Torrens Caldentey
El doctorando

La realización de esta tesis doctoral ha estado financiada por el proyecto TEC20011-25017 del Ministerio de Ciencia e Innovación y ha recibido una ayuda para apoyar a grupos de investigación competitivos de la Consejería de Educación, Cultura y Universidades del Gobierno Balear (2011-2013), patrocinada por la Comunidad Autónoma de las Illes Balears y cofinanciada con fondos FEDER. También ha contado con una beca de formación de profesorado universitario (FPU) del Ministerio de Ciencia e Innovación (AP2006-03170).

Una versión en formato electrónico y actualizada de esta tesis puede encontrarse en:

An updated electronic format version of this thesis can be found at:

www.gtorrens.com/tesis

Esta tesis doctoral puede almacenarse, distribuirse o reproducirse libremente, en parte o en su totalidad, siempre que se haga con finalidades exclusivamente de investigación, sin ánimo de lucro y citando su procedencia.

e-mail de contacto: gtorrens@gmail.com



Resumen:

Los efectos de la radiación en circuitos electrónicos se conocen desde los comienzos de la carrera espacial en los años 60, pues fuera de la atmósfera terrestre se está expuesto a niveles más altos de radiación que en la superficie. Sin embargo, el escalado de la tecnología electrónica ha conllevado un aumento de su susceptibilidad a la radiación, que puede desembocar en errores de funcionamiento incluso a nivel de tierra. Esta tesis estudia un efecto de la radiación, en memorias SRAM (*Static Random Access Memory*), denominado evento transitorio, que se caracteriza por corromper los datos almacenados en la memoria sin dañarla permanentemente. Se estudian por simulación diversas técnicas para diseñar memorias más robustas frente a eventos transitorios. Además, se ha diseñado y fabricado un prototipo de SRAM que incorpora algunas de estas técnicas. Finalmente, se ha validado experimentalmente su eficacia mediante la irradiación controlada del circuito.

Abstract:

Radiation effects in electronic circuits are known since the beginning of the space race in the 1960s, because out of the terrestrial atmosphere, radiation exposure level is higher than on the surface. However, electronic technology scaling has led to an increase in radiation susceptibility that can result in operation errors even at ground level. This thesis deals with a radiation effect, in SRAMs (*Static Random Access Memory*), named transient event, which is characterized by corrupting data stored in the memory without causing any permanent damage to it. Several techniques to design more robust memories against radiation effects are studied by simulation. In addition, an SRAM prototype, including some of these techniques, has been designed and manufactured. Finally, the effectiveness of these techniques has been experimentally validated through controlled irradiation of the circuit.

Resum:

Els efectes de la radiació en circuits electrònics es coneixen des dels inicis de la carrera espacial als anys 60, ja que fora de l'atmosfera terrestre s'està exposat a nivells més alts de radiació que a la superfície. No obstant això, l'escalat de la tecnologia electrònica ha comportat un augment de la susceptibilitat a la radiació, que pot desembocar en errors de funcionament fins i tot a nivell de terra. Aquesta tesi estudia un efecte de la radiació, en memòries SRAM (*Static Random Access Memory*), anomenat event transitori, que es caracteritza per corrompre les dades emmagatzemades a la memòria sense danyar-la permanentment. S'estudien per simulació diverses tècniques per dissenyar memòries més robustes en front a events transitoris. A més, s'ha dissenyat i fabricat un prototipus d'SRAM que incorpora alguna d'aquestes tècniques. Finalment, s'ha validat experimentalment la seva eficàcia mitjançant la irradiació controlada del circuit.

Índice

1	INTRODUCCIÓN.....	5
1.1.	ASPECTOS BÁSICOS DE LA INTERACCIÓN DE LA RADIACIÓN CON LOS CIRCUITOS INTEGRADOS	8
1.2.	MOTIVACIÓN Y OBJETIVO	9
1.3.	ORGANIZACIÓN DEL TEXTO	12
2	LA RADIACIÓN Y LOS CIRCUITOS INTEGRADOS CMOS	13
2.1.	ORÍGENES DE LA RADIACIÓN	13
2.2.	INTERACCIÓN ENTRE LA RADIACIÓN Y LOS CIRCUITOS INTEGRADOS	16
2.2.1.	<i>Efectos acumulativos</i>	16
2.2.2.	<i>Single Event Effects (SEE)</i>	17
2.2.3.	<i>Mecanismo de generación de pares electrón-hueco</i>	20
2.2.4.	<i>Mecanismo de generación de Single Event Effects (SEE)</i>	21
2.2.5.	<i>Radiaciones causantes de SEUs en memorias SRAM a nivel de tierra</i>	22
2.3.	TÉCNICAS DE MITIGACIÓN DE LOS EFECTOS DE LOS <i>SOFT ERRORS</i>	24
2.4.	TÉCNICAS DE GENERACIÓN DE SEE.....	29
3	MEMORIAS SRAM. ESTRUCTURA, FIABILIDAD, VARIABILIDAD E INTERACCIÓN CON LA RADIACIÓN.....	31
3.1.	LA CELDA SRAM.....	32
3.1.1.	<i>La celda 6T</i>	33
3.1.1.1.	Escritura de una celda SRAM 6T.....	35
3.1.1.2.	Lectura de una celda SRAM 6T.....	36
3.1.2.	<i>La celda 8T</i>	37
3.1.3.	<i>Otras celdas SRAM</i>	39
3.2.	ESTRUCTURA DE LAS MEMORIAS SRAM.....	44
3.2.1.	<i>Interleaving</i>	46
3.2.2.	<i>Celdas half-selected</i>	46
3.3.	FIABILIDAD EN MEMORIAS SRAM.....	48
3.3.1.	<i>Degradación de las características de los transistores de las celdas</i>	49
3.3.2.	<i>Excesiva variación de parámetros</i>	49
3.3.3.	<i>Efectos transitorios debidos a radiación</i>	50
3.3.4.	<i>Conclusión</i>	51
3.4.	VARIABILIDAD EN CELDAS SRAM. <i>LAYOUT</i> PARA LA REDUCCIÓN DE LA VARIACIÓN DE PARÁMETROS.....	51
3.4.1.	<i>Layout de celdas SRAM para la reducción de la variación de parámetros</i>	53
3.5.	EVENTOS TRANSITORIOS DE LA RADIACIÓN EN MEMORIAS SRAM	57
3.5.1.	<i>Efecto del impacto de una partícula en una celda de memoria SRAM. El SEU</i>	57

3.5.2.	<i>Medidas de robustez a soft errors</i>	60
3.5.3.	<i>Relación entre carga crítica y SER</i>	62
3.6.	MEDIDAS DE LA FIABILIDAD. ESTABILIDAD Y ROBUSTEZ FRENTE EFECTOS TRANSITORIOS INDUCIDOS POR RADIACIÓN. ...	64
4	OPTIMIZACIÓN DE CELDAS SRAM NANOMÉTRICAS. TOLERANCIA A SEUS.	67
4.1.	SIMULACIÓN. TIPOS Y CARACTERÍSTICAS.....	68
4.2.	CARACTERÍSTICAS DE LAS SIMULACIONES REALIZADAS.....	69
4.2.1.	<i>Modelo de la fuente de corriente</i>	71
4.2.2.	<i>Algoritmo para la determinación de la carga crítica</i>	73
4.3.	ESTUDIO DE COMPORTAMIENTO DE UNA CELDA SRAM DESDE EL PUNTO DE VISTA DE LA CARGA CRÍTICA.	76
4.3.1.	<i>Influencia del ancho de pulso</i>	76
4.3.2.	<i>Estudio del comportamiento dinámico de la celda</i>	81
4.3.3.	<i>Influencia de la tensión de alimentación en la carga crítica</i>	85
4.3.4.	<i>Carga crítica en modo lectura</i>	86
4.4.	ESTUDIO DE LA ROBUSTEZ A SEUS EN CELDAS DE LAYOUT REGULAR. TÉCNICAS DE MITIGACIÓN.....	95
4.4.1.	<i>Selección de las tensiones umbral</i>	96
4.4.2.	<i>Modulación del ancho de canal de los transistores</i>	102
4.4.3.	<i>Disminución de la tensión de Word-line</i>	108
4.5.	ESTABILIDAD DE LA CELDA.....	113
4.5.1.	<i>Medida de la estabilidad de la celda. El SNM</i>	113
4.5.2.	<i>Estudio de la repercusión de las restricciones dimensionales en la estabilidad de la celda</i>	115
4.5.3.	<i>Estudio de la repercusión de la disminución de la tensión de word-line en la estabilidad de la celda. Técnica de mejora de la estabilidad en modo lectura.</i>	118
5	DISEÑO DEL PROTOTIPO DE MEMORIA	123
5.1.	MOTIVACIÓN	124
5.2.	CARACTERÍSTICAS GENERALES DEL DISEÑO	125
5.2.1.	<i>Organización y dimensionado</i>	125
5.2.2.	<i>Tipologías de celda utilizadas</i>	126
5.2.3.	<i>Otras características del diseño:</i>	127
5.3.	DESCRIPCIÓN DE LAS DIFERENTES PARTES DE LA MEMORIA	128
5.3.1.	<i>Celdas SRAM</i>	130
5.3.1.1.	<i>Celdas 6T</i>	131
5.3.1.2.	<i>Celdas 8T</i>	135
5.3.1.3.	<i>Disposición de las celdas en la matriz</i>	138
5.3.1.4.	<i>Diseño para la manufacturabilidad</i>	142
5.3.2.	<i>Buffer del decodificador de fila</i>	143
5.3.3.	<i>Circuito de precarga</i>	144
5.3.4.	<i>Sense-amplifier y puertas de transmisión</i>	145

5.3.5.	<i>Unidad de control</i>	149
5.3.6.	<i>Celdas con inyección fallos</i>	151
5.3.7.	<i>Ventanas en las capas de metal</i>	154
5.3.8.	<i>Sensores de corriente</i>	156
5.3.9.	<i>Tensiones de alimentación y tierras</i>	157
5.4.	ORGANIZACIÓN, ESTRUCTURA Y CARACTERÍSTICAS.....	159
5.4.1.	<i>Estructura general de los módulos de un banco de memoria</i>	159
5.4.2.	<i>Características particulares de los bancos de memoria</i>	163
5.4.3.	<i>Distribución de los diferentes elementos en el layout final</i>	169
5.5.	FUNCIONAMIENTO DE LA MEMORIA	173
5.5.1.	<i>Modos de funcionamiento</i>	174
5.5.2.	<i>Operaciones de lectura y escritura:</i>	175
6	RESULTADOS EXPERIMENTALES.....	179
6.1.	MONTAJE EXPERIMENTAL.....	180
6.2.	VERIFICACIÓN EXPERIMENTAL DEL FUNCIONAMIENTO. ESCRITURAS Y LECTURAS DE LOS BANCOS DE MEMORIA	181
6.2.1.	<i>March test</i>	182
6.3.	MODO SCHMOO Y TENSIÓN DE <i>WORD-LINE</i>	183
6.4.	VERIFICACIÓN EXPERIMENTAL DEL FUNCIONAMIENTO. INYECCIÓN DE FALLOS Y SENSORES DE CORRIENTE.....	186
6.4.1.	<i>Módulo de inyección de fallos</i>	186
6.4.2.	<i>Sensores de corriente</i>	187
6.5.	MEDIDAS EXPERIMENTALES RELACIONADAS CON LA ESTABILIDAD DE LAS CELDAS	189
6.5.1.	<i>Estabilidad de las celdas durante el modo de almacenamiento</i>	189
6.5.2.	<i>Estabilidad de las celdas durante la lectura</i>	193
6.5.3.	<i>Estabilidad de las celdas durante la escritura</i>	195
6.6.	MEDIDAS EXPERIMENTALES CON MÉTODOS ACELERADOS DE TEST CON RADIACIÓN.....	197
6.6.1.	<i>Descripción del montaje experimental</i>	197
6.6.2.	<i>Determinación experimental del SER</i>	200
6.6.3.	<i>Determinación experimental de la influencia de la tensión de alimentación de las celdas SRAM en el SER</i> 207	
7	CONSIDERACIONES FINALES	211
7.1.	CONCLUSIONES	211
7.2.	TRABAJO FUTURO:	222
	AGRADECIMIENTOS	225
	BIBLIOGRAFIA	227

Capítulo 1

Introducción

Las dimensiones de los dispositivos que forman los circuitos integrados se han reducido en cada sucesiva generación tecnológica. Los objetivos de este escalado son mejorar las prestaciones de los circuitos integrados e integrar un mayor número de dispositivos por unidad de área. Las memorias SRAM no han sido ajenas a esta evolución, las dimensiones de los transistores que forman las celdas de memoria han disminuido siguiendo aproximadamente la Ley de Moore. Como consecuencia, el área ocupada por cada una de las celdas ha disminuido de generación en generación [YAM07]. Los procesos tecnológicos actuales utilizados para la fabricación de memorias SRAM se encuentran en la región nanométrica, puesto que las dimensiones características nominales de los transistores que forman cada celda son del orden de los nanómetros. La tecnología que se ha utilizado para esta tesis, si no se indica lo contrario, es una tecnología nanométrica de 65 nm.

En cambio, la disminución en la tensión de alimentación de las memorias SRAM no ha seguido las predicciones del *International Technology Roadmap for Semiconductors* (ITRS), sino que se ha visto reducida en menor medida. El principal motivo de esto se debe a la limitación en el escalado de la tensión umbral de los transistores que tiene por objetivo evitar un excesivo incremento de la corriente de *leakage*.

Para satisfacer la demanda de prestaciones de los sistemas electrónicos actuales, se requiere en muchos casos disponer de memorias SRAM integradas de gran capacidad. Esta necesidad, unida a la posibilidad de integrar cada vez más memoria SRAM gracias al escalado de la tecnología, ha tenido como consecuencia que la proporción de área dedicada a memoria SRAM sea cada vez mayor. Actualmente el área ocupada por memoria SRAM en un circuito integrado puede llegar al 50% e incluso existen previsiones que indican que en los próximos años esta cifra puede llegar a alcanzar hasta el 90% [PAV08, pág. 1].

Un ejemplo del incremento en la utilización de memoria SRAM en circuitos electrónicos lo encontramos en el caso de la memoria caché de los microprocesadores. En un diseño convencional, la memoria RAM principal de los ordenadores es memoria dinámica (DRAM), sin embargo, la velocidad de operación de ésta no se ha incrementado al mismo ritmo que la de los microprocesadores. Para tratar de paliar esta divergencia, los microprocesadores utilizan diferentes niveles de memoria caché (SRAM). Estas memorias SRAM tienen menos capacidad que la principal pero tienen mayor velocidad de operación para manejar los flujos de datos del microprocesador. Por tanto, para mejorar las prestaciones del sistema en términos de velocidad de operación, interesa disponer de memorias caché grandes. Además, la irrupción de los procesadores multinúcleo ha aumentado todavía más las necesidades de memoria SRAM y ha incrementado el número de niveles en que se estructura. Cada núcleo acostumbra a tener uno o varios niveles de SRAM y, además, es habitual que haya de otro nivel común para diversos núcleos [PAV08, pág. 3].

Disponer de gran cantidad de memoria SRAM resulta, en general, beneficioso para el rendimiento de los sistemas, sin embargo, también tiene un impacto en área que se acaba traduciendo en un mayor coste. Por este motivo, los diseñadores tratan de integrar el mayor número posible de celdas SRAM por unidad de área. Esto lleva, a menudo, a diseñar celdas de tamaño mínimo que expriman al máximo las posibilidades de la tecnología. Las memorias SRAM suelen diseñarse con transistores de tamaño cercano al mínimo y dispuestos con la máxima densidad posible. Además, para reducir el consumo interesa utilizar tensiones de alimentación bajas aunque, como se ha mencionado anteriormente, las previsiones de disminución de la tensión no se han visto totalmente reflejadas en la evolución real de la tecnología.

Como consecuencia de la disminución de las dimensiones de los dispositivos y de la reducción de la tensión de alimentación en las sucesivas generaciones tecnológicas, el diseño de memorias SRAM se enfrenta a dos importantes retos: el primero está relacionado con la

estabilidad de las celdas y el segundo tiene que ver con la susceptibilidad de las celdas a los eventos transitorios inducidos por radiación.

Garantizar la estabilidad de una celda SRAM plantea serios problemas si se pretende utilizar transistores de dimensiones mínimas o utilizar una tensión de alimentación baja. Uno de los principales problemas de estabilidad se debe a las fluctuaciones aleatorias en el número y el la ubicación de los átomos dopantes en el canal, lo que conlleva importantes variaciones de la tensión umbral de los transistores [BHA01], [PAV08, pág. 39]. Otras fuentes de variación de la tensión umbral son las variaciones en las dimensiones críticas del polisilicio y los efectos de canal corto. Estas diferencias pueden llegar a ser grandes incluso entre transistores de una misma celda y pueden comprometer seriamente su estabilidad. Además, diseñar una SRAM de gran tamaño incrementa los problemas derivados de la falta de estabilidad de las celdas, pues la probabilidad de encontrar al menos una celda inestable aumenta con el número de celdas que contiene la memoria [ZHA06].

La sensibilidad de las memorias SRAM a eventos transitorios inducidos por radiación ha aumentado con el escalado de la tecnología [BAU01], [PAV08, pág. 159]. Esto se debe a dos causas: La primera tiene que ver con la reducción de las dimensiones de los transistores que forman las celdas y con la disminución de la tensión de alimentación. Ambos factores contribuyen a reducir la cantidad de carga eléctrica utilizada por una celda para almacenar un bit de información. La interacción de la radiación con el circuito integrado crea pares electrón-hueco, esta carga eléctrica inducida en el circuito puede ser recogida por un nodo sensible y afectar a su voltaje. Cuanto menor sea la carga que utiliza una celda para almacenar un bit de información, más fácil será que la carga eléctrica inducida por la radiación afecte a su contenido. La segunda causa se debe al incremento en el número de celdas que integran las memorias SRAM, a la mayor densidad de celdas y a la mayor cantidad de área ocupada por toda la memoria. Todos estos factores contribuyen a aumentar la probabilidad de que una partícula energética, de un determinado tipo de radiación, interaccione con una zona sensible de la memoria. Se espera que el SER para chips implementados en la tecnología de 16 nm sea casi 100 veces superior al SER para chips fabricados en tecnología de 180 nm [RAJ09, pág. 1].

La carga inducida por el paso de una partícula en forma de pares electrón-hueco puede ser recogida en forma de pulso de corriente por un nodo sensible de una celda SRAM y modificar su nivel de tensión. Si la perturbación es de suficiente magnitud, puede provocar la corrupción del bit almacenado con la consiguiente pérdida de información. Este efecto no es

necesariamente destructivo y suele denominarse *single event upset* (SEU) que puede traducirse como alteración debida a un evento individual. Esta denominación pone de manifiesto que la causa de la perturbación es la interacción con el circuito de una sola partícula y no debida al efecto acumulativo de múltiples partículas, es decir, se trata de un evento transitorio por el cual el circuito no queda dañado permanentemente. Sin embargo, el bit que almacena la celda afectada queda corrompido y, por tanto, los efectos a nivel lógico del SEU pueden perdurar en el tiempo. Por este motivo, es necesario utilizar estrategias que disminuyan el número de SEUs, sistemas redundantes que permitan corregir los errores generados o elementos que permitan detectar la ocurrencia de un SEU para poder tomar las acciones oportunas y evitar que la funcionalidad del sistema se vea afectada.

Esta tesis se centra fundamentalmente en los efectos transitorios de la radiación en memorias SRAM aunque también contempla aspectos de estabilidad de las celdas. En el siguiente apartado se describen algunos aspectos básicos relacionados con la interacción de la radiación con los circuitos electrónicos en general y con las memorias SRAM en particular

1.1. Aspectos básicos de la interacción de la radiación con los circuitos integrados

El problema de los efectos de la radiación en los circuitos integrados no es un problema nuevo, desde hace décadas se estudia y se tiene en cuenta en el diseño en ámbitos como la industria aeroespacial y, desde mediados de la década de 1990, también en el campo de la aeronáutica [NOR04]. Esto se debe al mayor flujo de partículas energéticas al que están expuestos los dispositivos destinados a operar en este tipo de entorno. Para mitigar los efectos de la radiación se utilizan apantallamientos adicionales, componentes redundantes, técnicas de detección y corrección de errores y elementos tolerantes a la radiación. La implementación de estas medidas abarca desde técnicas a nivel de tecnología hasta aspectos de arquitectura a nivel de sistema. Muchas de estas medidas incrementan los costes y repercuten negativamente en las prestaciones de los circuitos.

El entorno de la superficie terrestre es mucho más benigno y, por tanto, los problemas causados por la radiación son menores. Sin embargo, el escalado de la tecnología ha conllevado que los efectos de la radiación a nivel de tierra (donde predomina la electrónica

comercial) se hayan convertido en un problema a tener en cuenta. Un ejemplo de ello es el caso de las memorias que se desarrolla a lo largo de esta tesis.

Cabe distinguir dos grandes tipos de efectos de la radiación sobre los circuitos electrónicos: Los efectos acumulativos y los *Single Event Effects* (SEE).

Los efectos acumulativos producen daños a largo plazo sobre el circuito y conllevan cambios en ciertos parámetros de funcionamiento, que finalmente pueden desembocar en un fallo del sistema.

Los *single event effects* son el resultado de la generación transitoria de pares electrón-hueco en el circuito provocada por la interacción de una partícula. Sus efectos son en muchos casos temporales, es decir producen un funcionamiento incorrecto del circuito pero pueden revertirse y se denominan *Soft Errors* (SE), a veces, también errores transitorios (*transient errors*). En otros casos, las consecuencias de un SEE pueden ser un daño permanente.

Esta tesis hace referencia únicamente a *soft errors* y se centra especialmente en los *Single Event Upsets* (SEUs) de las memorias SRAM.

1.2. Motivación y objetivo

Esta tesis estudia los eventos transitorios inducidos por radiación en memorias SRAM, el motivo de centrar el estudio en memorias SRAM se debe a que actualmente se han convertido en un elemento presente en gran cantidad de diseños de circuitos electrónicos. Disponer de mucha memoria SRAM incrementa las prestaciones de muchos sistemas, de hecho la memoria SRAM llega a ocupar actualmente una parte significativa del área total del circuito. Esto lleva a los diseñadores a tratar de minimizar el tamaño de cada una de las celdas SRAM y, por tanto, a utilizar una elevada densidad de transistores por unidad de área. Esto conlleva que una elevada proporción del área sea zona activa y por tanto sensible a las perturbaciones producidas por la radiación.

Además, a medida que los procesos tecnológicos se adentran cada vez más en la región nanométrica, tanto la estabilidad como la susceptibilidad a las radiaciones de las memorias SRAM se está convirtiendo en una de los problemas más acuciantes. Como consecuencia, las grandes matrices SRAM condicionan muchos de los aspectos de diseño y fabricación de chips, ya que se han convertido en uno de los factores limitantes en el rendimiento de los procesos de fabricación [PAV08, pág. vii].

Por todo esto, el efecto de la radiación en memorias SRAM resulta un campo de investigación atractivo y de actualidad en el que se ha considerado oportuno enmarcar esta tesis.

Los objetivos de esta tesis pueden dividirse en tres grandes grupos:

- Desarrollar técnicas para aumentar la tolerancia a fenómenos transitorios debidos a radiación en memorias SRAM.
- Diseñar y fabricar una memoria SRAM que implemente algunas de estas técnicas.
- Obtener resultados experimentales sobre la memoria fabricada.

El primer objetivo consiste en desarrollar y estudiar técnicas que hagan las SRAMs más resistentes a los efectos transitorios de la radiación. Es decir, que disminuyan el número de SEUs por unidad de tiempo. Para ello, se han realizado simulaciones que han permitido evaluar la eficacia de diversas técnicas y ayudado a decidir la conveniencia de su implementación en el prototipo de memoria que se ha diseñado.

Quedan fuera del alcance de esta tesis las técnicas para entornos sometidos a elevados niveles de radiación, como el caso de la industria aeroespacial, en donde el coste de los circuitos no representa un factor limitante primordial. El objetivo es desarrollar y estudiar técnicas adecuadas para ámbitos de aplicación en donde el coste sea un factor importante, como por ejemplo en la electrónica comercial. Esto se traduce básicamente en los siguientes requerimientos:

- El circuito operará en un entorno de baja radiación en donde las únicas fuentes de radiación son la radiación de fondo ambiental y los materiales del propio circuito. Por este motivo, no se pretende desarrollar técnicas que proporcionen grandes ganancias en términos de robustez a la radiación, sino simplemente tratar de paliar el deterioro en robustez causado por el escalado de la tecnología.
- No es posible asumir grandes incrementos de área ya que los costes son un factor fundamental. Tampoco es posible utilizar técnicas que impliquen disminuciones apreciables en las prestaciones, especialmente en consumo y velocidad de operación.
- El circuito no se utiliza en sistemas críticos y, por tanto, no se requiere una fiabilidad tan elevada como en otros ámbitos de aplicación. No obstante, las técnicas de mejora de la robustez además de mejorar la fiabilidad de la memoria en términos tolerancia a

la radiación, no tienen que tener un impacto negativo en la estabilidad de las celdas que pueda empeorar la fiabilidad debido a la falta de estabilidad.

Además, se pretende que las técnicas de incremento de la robustez no modifiquen substancialmente el diseño de la celda de memoria, como por ejemplo aumentando su número de transistores o cambiando substancialmente la estructura de la misma. El objetivo de esto es que las técnicas sean fácilmente aplicables a los diseños actuales y que puedan implementarse sin excesiva dificultad en los compiladores de memoria existente.

Estas técnicas se han estudiado extensivamente por simulación. No obstante, conscientes de las limitaciones de las simulaciones, se ha decidido diseñar y fabricar un prototipo de memoria que incorpore las técnicas que por simulación han resultado prometedoras para mejorar la tolerancia a los efectos transitorios de la radiación. Esto constituye el segundo de los objetivos de esta tesis y que, además, tiene una doble vertiente. Por un lado se pretende poder verificar la efectividad de las técnicas implementadas. Por otro, se quiere disponer de un banco de pruebas para realizar experimentos relacionados con la radiación y con la estabilidad de las celdas. Se ha buscado que el diseño sea versátil y que posibilite la realización de numerosos experimentos.

El tercer objetivo consiste en obtener resultados experimentales de la memoria fabricada. Entre estos objetivos no está explotar completamente las posibilidades como banco de pruebas de la memoria, esto se reserva como trabajo futuro. Sin embargo, los objetivos sí contemplan la realización de algunas tareas experimentales, las más importantes se detallan a continuación:

- Comprobación experimental del correcto funcionamiento de los módulos que se han diseñado y que integran la memoria.
- Irradiación del circuito con partículas alpha para verificar la efectividad de algunas de las técnicas aplicadas para la reducción de los efectos transitorios debidos a radiación.
- Medidas encaminadas a verificar la influencia en términos de estabilidad de las técnicas de mitigación de los efectos de la radiación que se han aplicado.

Con la consecución de estos tres objetivos, se cubren diferentes fases del diseño microelectrónico que abarcan, el diseño a nivel de circuito, la simulación, el diseño del *layout*, la fabricación de un prototipo y el test del prototipo.

1.3. Organización del texto

Este primer capítulo se ha dedicado a introducir algunos conceptos básicos de la interacción de la radiación y los circuitos electrónicos. Además, se ha presentado la problemática de los efectos de la radiación en SRAMs así como los retos que supone el diseño de este tipo de memorias. También se han definido los objetivos de esta tesis.

El segundo capítulo abunda en la interacción de la radiación con los circuitos electrónicos y se describen las técnicas de mitigación de los efectos de la radiación existentes así como los diferentes métodos para generar SEE de manera controlada.

El tercer capítulo se centra en memorias SRAM. Se describe la estructura de una SRAM y se detallan las diferentes topologías de celdas existentes y se abunda en las dos utilizadas en la tesis. Se estudia la variabilidad y la fiabilidad en memorias SRAM, incluyendo técnicas de reducción de la variabilidad y medidas de la fiabilidad. Por último, se centra en los efectos de los fenómenos transitorios debidos a radiación en SRAM y se definen los diferentes parámetros de medida de la robustez a la radiación.

En el cuarto capítulo se describen las simulaciones realizadas y se detallan las técnicas de aumento de la robustez a fenómenos transitorios desarrolladas y estudiadas mediante dichas simulaciones. También se trata la estabilidad de la celda SRAM en general y cómo repercute en ella la aplicación de las técnicas anteriormente mencionadas.

El capítulo 5 describe el diseño del prototipo de memoria fabricado. Se detallan sus características y estructura y se describen en detalle las diferentes partes que lo integran. También se explican los diferentes modos de funcionamiento de que dispone la memoria.

En el capítulo 6 se detallan los resultados experimentales y se comparan con los obtenidos por simulación para verificar la eficacia de las técnicas desarrolladas en el capítulo 3.

En el capítulo 7 se presentan las conclusiones y se proponen diversas tareas de trabajo futuro. En especial, se hace referencia a experimentos que pueden llevarse a cabo con la memoria fabricada.

Capítulo 2

La radiación y los circuitos integrados CMOS

2.1. Orígenes de la radiación

Los primeros fallos debidos a los efectos de la radiación aparecieron en aplicaciones espaciales puesto que en el entorno en el que operan dichos sistemas, ya sea en la órbita terrestre o en el medio interplanetario, existe un flujo de partículas mayor que a nivel de tierra. De hecho, el primer *soft error* documentado se produjo en el espacio (4 eventos en 17 años de operación de satélites) y se publicó en 1975 [BIN75]. Sin embargo, es destacable que la aparición de fenómenos inducidos por la radiación en circuitos electrónicos fue sugerida más de 10 años antes, en 1962 [WAL62].

La radiación que puede afectar a los circuitos en el espacio tiene diferentes orígenes, los principales se detallan a continuación:

- Erupciones solares y eyecciones de masa coronal: Se trata de explosiones en la atmósfera solar que conlleva una emisión de radiación electromagnética en una amplia zona del espectro electromagnético (desde ondas de radio hasta rayos X y gamma) junto con electrones, protones e iones pesados. Las erupciones solares suelen ir seguidas de eyecciones de masa coronal aunque su relación causa efecto aún no se conoce bien.

- Viento solar: Es una corriente más o menos continua de partículas generada por el Sol y que está formada principalmente por electrones, protones e iones pesados. Los efectos de los protones sobre memorias DRAM fueron descritos a finales de la década de 1970 [WYA79].
- Rayos cósmicos galácticos: Se trata de partículas cargadas de alta energía procedentes del exterior del sistema solar, mayoritariamente de la Vía Láctea. Están formados por un 89% de núcleos de hidrógeno, un 10% de núcleos de helio y un 1% de iones pesados y electrones.
- Partículas atrapadas en los cinturones de Van Allen: Los cinturones de Van Allen son dos regiones de la magnetosfera terrestre en donde el campo magnético terrestre mantiene atrapadas partículas de alta energía (principalmente protones y electrones). El cinturón interno se extiende desde los 100 - 1.000 km hasta los 10.000 km de altitud sobre la superficie y contiene mayoritariamente protones. El cinturón externo se extiende entre los 13.000 km y 65.000 km y contiene mayoritariamente electrones.

Dentro de la atmósfera y en la superficie terrestre, la incidencia de las fuentes de radiación anteriormente descritas es mucho menor o inexistente, sin embargo, los protones provenientes de rayos cósmicos de alta energía pueden generar otras partículas cuando interactúan con los núcleos atómicos de la atmósfera, principalmente con los de oxígeno y nitrógeno. Las partículas que se generan son neutrones, protones secundarios, muones y neutrinos, a estas partículas se las denomina también rayos cósmicos secundarios. De todos ellos, la principal fuente de problemas para los circuitos electrónicos son los neutrones a los que se suele llamar neutrones atmosféricos [NOR04].

El flujo de neutrones varía mucho con la altitud [DOD03]. A nivel de tierra, el flujo observado es unas 400 veces menor que a unos 9 km de altura, sin embargo, su espectro de energía es prácticamente igual [NOR04]. Desde hace años, los neutrones atmosféricos son objeto de estudio especialmente por parte de los fabricantes de aviones. En la siguiente figura puede verse la dependencia del flujo de neutrones con la altitud según un modelo basado en medidas experimentales elaborado por la empresa Boeing:

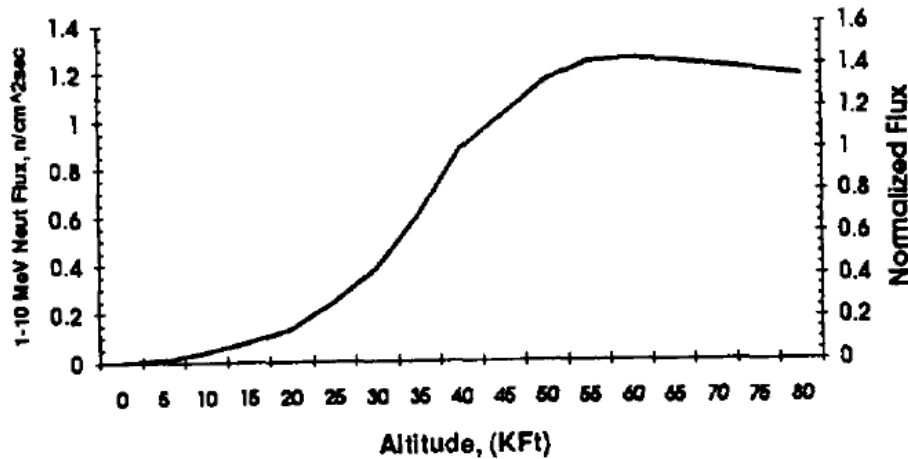


figura 2.1. Flujo de neutrones en función de la altitud según un modelo basado en medidas de la empresa Boeing [NOR93]

En 1979 se publicó un estudio en el que se conseguía generar *soft errors* en una memoria DRAM irradiada con neutrones [GUE79]. En 1993 se documentó la generación de *soft errors* producidos por neutrones en memorias SRAM de aviones [TAB93]. Diversos estudios posteriores demuestran que los neutrones atmosféricos representan una fuente significativa de *soft errors* en memorias SRAM y DRAM incluso a nivel de tierra [DOD03].

Otra fuente de radiación son las impurezas en los materiales que forman el propio circuito integrado o sus encapsulados. Se trata mayoritariamente de elementos emisores de partículas alpha (principalmente uranio y torio) que se encuentran presentes en los materiales en forma de impurezas. Las partículas alpha tienen un poder de penetración muy pequeño, pero en este caso se generan muy cerca de las zonas sensibles de los circuitos y representan un serio problema. De hecho, el primer *soft error* que se detectó y estudió en la electrónica a nivel de tierra fue debido a una partícula alpha del encapsulado [MAY78].

A nivel de tierra es posible encontrar lugares hostiles con niveles de radiación mucho más elevados que los anteriormente descritos. Esto sucede en instalaciones que utilizan la radiación para algún tipo de fin, como por ejemplo en el caso de instalaciones médicas, industriales o de investigación. También pueden encontrarse elevados niveles de radiación como subproducto de otro proceso, como por ejemplo en determinados lugares de las actuales centrales nucleares de fisión. Una característica común de todas estas instalaciones es que la fuente de la radiación y su área de afectación se encuentran confinadas para proteger tanto al medio que las rodea como a los trabajadores. Por este motivo, suele ser factible ubicar la mayor parte de la electrónica en zonas con bajos niveles de radiación. Sin embargo, puede haber sistemas electrónicos que por su naturaleza deban ubicarse en el interior de las zonas

con mayor actividad, como por ejemplo el caso de detectores o sensores que incluyan componentes electrónicos para su funcionamiento. Un caso paradigmático, tanto por los niveles de radiación que debe soportar como por la complejidad de la electrónica que utiliza, es el acelerador de partículas LHC (*Large Hadron Collider*). Sus detectores de partículas integran componentes electrónicos que tienen que ser capaces de soportar elevados niveles de radiación, puede encontrarse más información en [FAC04].

2.2. Interacción entre la radiación y los circuitos integrados

Cuando una partícula energética atraviesa una región sensible de un circuito puede no causar ningún efecto apreciable, producir una alteración momentánea de sus variables o dañarlo permanentemente [DOD05]. Sin embargo si el circuito se somete a niveles de radiación sostenidos durante periodos de tiempo prolongados pueden producirse daños de carácter acumulativo. En estos casos, se observa una degradación progresiva del comportamiento del circuito que acaba por deteriorar definitivamente su funcionamiento.

Por este motivo los efectos de la radiación sobre los circuitos integrados suele dividirse en dos grandes grupos: Efectos acumulativos y *single event effects* (SEE) [SCH08].

2.2.1. Efectos acumulativos

La exposición a la radiación durante tiempos prolongados produce cambios a largo plazo en las características de los dispositivos que pueden desembocar en una degradación de los parámetros del circuito y finalmente en fallos funcionales. Los efectos acumulativos pueden dividirse en dos categorías:

a) Daños por dosis total ionizante (*Total Ionizing Dose, TID*):

Estos daños los producen las partículas ionizantes, mayoritariamente protones y electrones. Afectan principalmente a las capas de aislantes ya que atrapan la carga eléctrica. Por ejemplo, en los dispositivos MOS dichas cargas eléctricas producen variaciones en las tensiones umbral. En la figura 2.2 puede verse un ejemplo de la variación de la tensión umbral para un transistor nMOS en función de la dosis recibida. La figura pone también de manifiesto que el cambio de tensión umbral

depende de las dimensiones del transistor. Finalmente se puede llegar a producir la ruptura del óxido de puerta [SCH08].

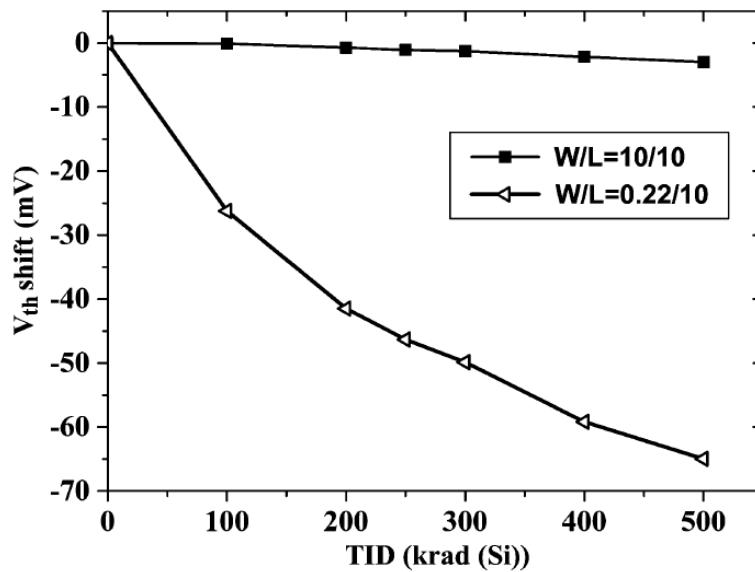


figura 2.2. Variación en la tensión umbral para dos transistores nMOS [HU11]

b) Daños por desplazamiento:

Las partículas no ionizantes, al perder su energía, pueden producir daños al desplazar los átomos de su ubicación original. Este fenómeno afecta tanto a los aislantes como a los semiconductores e incluso a los metales. En los semiconductores, el efecto se ve reflejado en la degradación de los tiempos de vida de los portadores minoritarios. En los metales puede inducir fenómenos de electromigración [BAU05]. Además, puede afectar también a la capacidad de absorción de luz en elementos de optoelectrónica.

2.2.2. Single Event Effects (SEE)

Los *single event effects* son los efectos producidos por la carga depositada en forma de pares electrón-hueco por una sola partícula. El mecanismo de deposición se explica en el apartado 2.2.3.

Los SEE, pueden producir gran variedad de efectos, algunos son temporales y el circuito puede recuperarse de la perturbación, otros sin embargo pueden conllevar un daño permanente. A continuación describiremos brevemente las características de algunos de ellos.

a) *Single Event Transient (SET):*

Un SET es una perturbación eléctrica transitoria fruto de la ionización de un volumen sensible en un circuito electrónico y que se propaga a través de él. Los SET representan un serio problema para los circuitos bipolares y CMOS tanto analógicos como digitales. También son relevantes en optoelectrónica. Los transitorios pueden propagarse a través de la lógica combinatorial de los circuitos integrados y ser capturados por elementos de memoria, en este caso un SET puede convertirse en un *Single Event Upset (SEU)* tal y como se describe a continuación. Su efecto no es destructivo.

b) *Single Event Upset (SEU):*

La carga eléctrica depositada por la interacción de una partícula con un circuito electrónico puede ser recogida por un nodo sensible de un elemento de almacenamiento como por ejemplo un flip-flop, un latch o una celda de memoria (por ejemplo una celda SRAM). Si este fenómeno provoca un cambio en el contenido del elemento de almacenamiento, se produce un *Single Event Upset*. Un SEU puede producirse también como resultado de un SET que es capturado después de propagarse a través de un circuito combinatorial. Su efecto no es destructivo.

c) *Multiple-Bit Upset (MBU) y Multiple-Cell Upset (MCU):*

Se trata de un caso particular de SEU, es decir cambios de contenido en elementos de almacenamiento originados por una sola partícula. La diferencia con los SEUs radica en que, tanto en los MBU como los MCU, la misma partícula afecta a varios bits simultáneamente. La utilización de estos dos conceptos es común en el ámbito de las memorias, en donde significa que una misma partícula produce cambios en dos o más celdas. Cuando todos los bits afectados pertenecen a la misma palabra se trata de un MBU, en cambio cuando los bits afectados pertenecen a palabras diferentes se denomina MCU. Los circuitos integrados tienden a hacerse más sensibles a MBU y a MCU ya que las distancias entre transistores se hacen cada vez más pequeñas y, por tanto, es cada vez más fácil que la carga depositada sea recogida por diversos nodos sensibles y genere varios SEUs en diversas celdas de memoria. Los códigos de corrección de errores más simples, como por ejemplo el código de Hamming, sirven

para tratar la ocurrencia de SEUs, ya que pueden corregir un solo error por palabra. Sin embargo, los MBUs representan un reto ya que afectan a más de un bit por palabra y requieren códigos de corrección de errores más avanzados.

d) *Single Event Functional Interrupt (SEFI):*

Un SEFI consiste en funcionamiento incorrecto y no esperado a nivel de sistema debido al efecto de la interacción de una partícula con el circuito. Normalmente, la interrupción del funcionamiento normal perdura hasta que se reinicia el sistema. Su efecto no es destructivo y después de reiniciar, el sistema recupera plenamente su funcionalidad. Por ejemplo se puede producir un SEFI como resultado de un SEU en un registro de configuración de un procesador.

e) *Single Event Latchup (SEL):*

Un SEL se produce cuando el impacto de una partícula produce una inyección de corriente que a su vez provoca el disparo de un tiristor parásito (estructura npn). Cuando esto ocurre, empieza a fluir una corriente de magnitud elevada que incrementa la temperatura de la parte afectada del semiconductor y que, en muchos casos, si se prolonga lo suficiente en el tiempo puede conllevar la destrucción del circuito. Este efecto desaparece en el momento en que se deja de alimentar el circuito. Existe un caso particular de SEL, llamado *Single Event Micro-Latchup* y que se produce cuando la corriente generada se ve limitada por el propio circuito. De esta manera el *Micro-Latchup* no es destructivo aunque puede afectar de manera significativa a la funcionalidad del circuito [TAU07].

f) *Single Event Burnout (SEB):*

Los SEB se producen mayoritariamente en los MOSFETs de potencia. Un SEB se produce cuando una estructura npn parásita inherente a los MOSFETS de potencia empieza a conducir corriente debido al paso de una partícula energética. Esta estructura actúa como un BJT (Bipolar Junction Transistor). Si la corriente inducida en la unión base-emisor del BJT es lo suficientemente grande, se desencadena un proceso de realimentación por el que la corriente se vuelve cada vez mayor, lo que finalmente conlleva la destrucción del MOSFET. La magnitud de la corriente depende de múltiples factores como la polarización del MOSFET y la localización del impacto de la partícula [HAR07].

Finalmente, es importante mencionar que a los *single event effects* que producen un error en el funcionamiento del circuito y que corrompen los datos pero no lo dañan permanentemente, se les denomina de forma genérica *soft errors* (SE). Después de un SE, el circuito puede volver a funcionar con normalidad.

Esta tesis se centra únicamente en SEE y más concretamente en SEUs en memorias SRAM. El apartado 2.2.4 se dedica al mecanismo de generación de SEE en los circuitos electrónicos, pero antes, en el apartado 2.2.3 se describe el mecanismo de generación de pares electrón-hueco.

2.2.3. Mecanismo de generación de pares electrón-hueco

Una partícula energética puede generar pares electrón-hueco cuando interacciona con el material del circuito. A veces, a este proceso se le denomina también deposición de carga aunque en realidad, cuando se producen pares electrón-hueco, no existe deposición neta de carga. Existen dos mecanismos de generación de pares electrón-agujero: La ionización directa y la indirecta.

La ionización directa es el mecanismo por el que depositan carga las partículas alpha y los iones pesados. La partícula, a medida que atraviesa el material del circuito, genera pares electrón-hueco, en este proceso va perdiendo energía hasta que finalmente queda en reposo. La energía perdida en este proceso por la partícula se mide por la denominada “transferencia lineal de energía” o LET por sus siglas en inglés (*Linear Energy Transfer*) y que se define como la energía transferida para cada generación de un par electrón-hueco, por unidad de longitud y normalizada por la densidad del material (normalmente silicio). Por tanto, sus unidades son el $\text{eV}\cdot\text{m}^2/\text{kg}$ aunque normalmente se expresa como $\text{MeV}\cdot\text{cm}^2/\text{mg}$. Esta magnitud es equivalente a la carga depositada por unidad de longitud (y normalizada para la densidad) si se tiene en cuenta que para generar un par electrón-hueco se necesitan 3,6 eV [RAJ09, pág. 4].

La ionización indirecta es el mecanismo mediante el que una partícula sin carga eléctrica, por ejemplo un neutrón, es capaz de generar pares electrón-hueco. Mediante la ionización indirecta, las partículas neutras consiguen depositar carga eléctrica en el circuito aunque también es la principal forma con la que los protones depositan carga eléctrica. Dichas partículas, al atravesar el material semiconductor, interaccionan con los núcleos y pueden generar partículas secundarias (como por ejemplo partículas alpha) que a su vez generan pares

electrón-hueco por ionización directa [RAJ09, pág. 5]. Con este mecanismo es más fácil que la carga se deposite en diferentes partes del circuito integrado y, por tanto, es más probable que se produzcan MBUs y MCUs [DOD03].

Los mecanismos principales de interacción de un neutrón con los átomos presentes en el circuito se describen con más de detalle en el apartado 2.2.5 en la página 22.

2.2.4. Mecanismo de generación de *Single Event Effects* (SEE)

Los SEEs se producen cuando una partícula energética pasa cerca de un nodo sensible de algún dispositivo del circuito (uniones polarizadas en inversa). A lo largo del camino que recorre la partícula se produce una densa distribución radial de pares electrón-hueco en torno a la traza de la partícula tal y como puede verse en la figura 2.3-a.

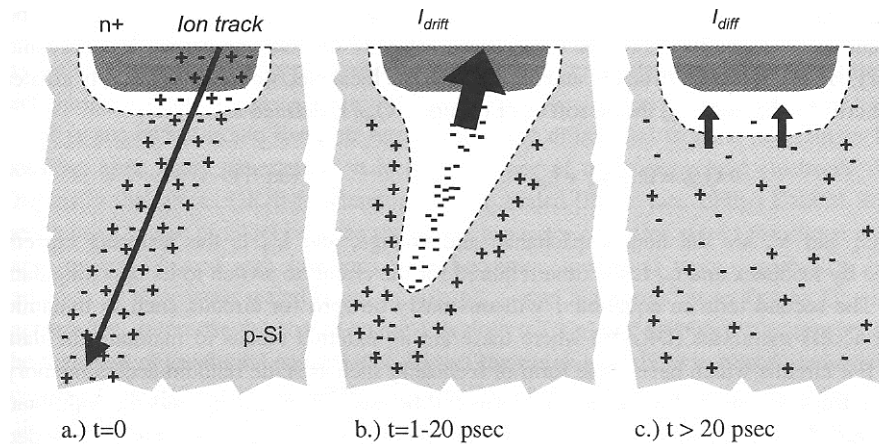


figura 2.3. Representación de la recogida de carga en una unión n+/p debido al impacto de una partícula ionizante (fuente [BAU05])

En este caso se ha representado una unión n+/p pero en el caso de uniones p+/n se produce una situación similar con la diferencia de que las cargas recogidas son huecos en lugar de electrones. Si la traza ionizante atraviesa la región de depleción, los portadores son arrastrados rápidamente por el campo eléctrico (en cuestión de picosegundos) de manera que la tensión del nodo en cuestión se ve reducida de manera transitoria o permanente si el nodo está flotante. Fuera de la región de depleción, la distribución de carga generada induce una distorsión temporal de potencial en forma de embudo a lo largo de la trayectoria de la partícula, de manera que se acentúa más la recogida de carga por arrastre (figura 2.3-b).

Esta fase de recogida de carga suele completarse en decenas de picosegundos y, a medida que la distorsión de potencial se reduce, la recogida de carga comienza a estar dominada por las corrientes de difusión (figura 2.3-c). El proceso prosigue hasta que todo el exceso de

portadores ha sido recogido por corrientes de arrastre, se ha recombinado o ha sido eliminado por corrientes de difusión.

El tránsito de todas estas cargas genera una corriente en el nodo en cuestión. Por este motivo este tipo de fenómenos suelen modelarse con una fuente de corriente tal y como se detalla en el apartado 4.2.1 en la página 71.

En general, cuanto más lejos de la unión se produce el evento, menos carga se recoge y, por tanto, hay menos posibilidades de que se produzca un *soft error*. Esto es particularmente acusado si la traza de la partícula no atraviesa la unión.

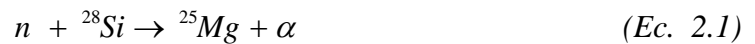
2.2.5. Radiaciones causantes de SEUs en memorias SRAM a nivel de tierra

En el apartado 2.1 se han descrito las principales fuentes de radiación para circuitos con independencia del tipo de circuito o del ámbito de aplicación. Sin embargo, esta tesis se centra en el estudio de SEUs en memorias SRAM que operan en entornos no hostiles, como por ejemplo el caso de la electrónica comercial a nivel de tierra.

Llegados a este punto, ya se ha concretado el ámbito de aplicación y ya se ha presentado el tipo de efecto de la radiación a estudiar (el SEU), por tanto, resulta conveniente profundizar en los orígenes de la radiación causante de SEUs. Así pues, este apartado se centra en las radiaciones que se han identificado como las principales causantes de SEUs en memorias SRAM [BAU05] a nivel de tierra. A continuación se explica de manera más detallada las principales características de cada una de ellas:

- Partículas alpha emitidas por la desintegración natural de elementos radioactivos, principalmente uranio, torio y sus derivados. Estos elementos se encuentran como impurezas en los materiales del circuito integrado, mayoritariamente en el encapsulado. Las partículas alpha, al estar cargadas eléctricamente interactúan con la materia mediante un mecanismo fundamentalmente coulombiano y generan una traza de pares electrón-hueco responsable de la posible afectación de las zonas sensibles del circuito. Una partícula alpha pierde una media de 3,6 eV por cada par electrón-hueco que genera [BAU01]. Estas partículas tienen un poder de penetración bajo que depende de su energía inicial, pero que en el silicio es del orden de las decenas de micras. Por tanto, para afectar a una zona sensible del circuito tienen que generarse en sus proximidades.
- Los productos de las reacciones de ionización que se producen a causa de la interacción de los neutrones de alta energía de origen cósmico con los materiales del

dispositivo. Estas reacciones pueden dividirse en dos grupos: las elásticas y las inelásticas. Las reacciones elásticas de los neutrones con el silicio generan partículas con poca energía y poco poder de ionización. Sin embargo, en el caso de las reacciones inelásticas, se producen partículas mucho más energéticas, y por tanto, más significativas desde el punto de vista de los SEUs. Un neutrón de alta energía al interactuar con un núcleo de silicio puede generar gran cantidad de subproductos. En [WRO00] se puede encontrar una relación exhaustiva de todos ellos. Sin embargo, todas las reacciones tienen en común que producen uno o dos iones y normalmente alguna otra partícula como por ejemplo alphas, protones, o neutrones. A continuación se muestra una de las estas reacciones, ya que es la más representativa para el caso de neutrones de 100 MeV [NOR06]:



Es decir, el núcleo silicio se convierte un núcleo de magnesio y se libera una partícula alpha. Dichas partículas son las responsables de la generación de los pares electrón-hueco.

- La interacción de los neutrones de baja energía con el isótopo del boro ${}^{10}\text{B}$ presente en los materiales del circuito integrado. El ${}^{10}\text{B}$ tiene una abundancia natural relativa del 20%, el resto es ${}^{11}\text{B}$. A estos neutrones se les denomina también neutrones térmicos. El ${}^{10}\text{B}$ se encuentra principalmente en los borofosfosilicatos utilizados para las capas aislantes. La principal reacción que produce un neutrón térmico con el boro-10 es la siguiente [NOR06]:



Es decir, el núcleo boro se convierte un núcleo de litio y se libera una partícula alpha y un rayo gamma. Tanto el núcleo de litio como la partícula alpha tienen suficiente energía para generar pares electrón-hueco y provocar SEE. El boro también se encuentra presente como dopante p del silicio. Las concentraciones de boro como dopante han sido tradicionalmente lo suficientemente bajas como para que pudiera despreciarse su papel de interacción con los neutrones térmicos. Sin embargo, las concentraciones de boro como dopante se han ido incrementando hasta el punto de que actualmente su concentración puede ser solamente un orden de magnitud inferior a la del boro en los borofosfosilicatos y, por tanto, puede ser necesario tenerla en cuenta ahora o en un futuro [NOR06].

2.3. Técnicas de mitigación de los efectos de los *soft errors*

Ates de abordar la descripción de las diferentes técnicas que existen para mitigar los efectos de los *soft errors*, es conveniente definir varios parámetros que suelen utilizarse para cuantificar la cantidad de *soft errors* que se producen. El primer parámetro se denomina *Soft Error Rate* (SER) y se define como el número de *soft errors* que se producen por unidad de tiempo. Es común expresar el SER como otra magnitud derivada que se denomina *failure-in-time* (FiT) y que se define como el número de fallos por mil millones (10^9) de horas de operación del circuito. A veces, en lugar de utilizar magnitudes que representen la tasa de fallos, se recurre al tiempo entre fallos, este es el caso de otro parámetro muy común denominado MTBF (*mean time between failures*) que se define como el tiempo medio entre fallos que sufre un determinado circuito bajo ciertas condiciones de operación.

Las técnicas de mitigación de *soft errors* tienen por objetivo disminuir el SER para cumplir las especificaciones exigidas al circuito para una determinada aplicación. Los requerimientos de tolerancia a *soft errors* muchas veces vienen dados en términos de FiT [NIC05]

Existen técnicas de mitigación de los efectos de la radiación de muy diversa índole, pero es posible dividirlos en dos grandes familias. La primera consiste en reducir la intensidad de radiación que recibe el circuito. La segunda consiste en hacer el circuito más robusto a los efectos de la radiación.

Cuando el origen de la radiación se encuentra fuera del propio circuito, es posible reducir la intensidad que recibe el circuito mediante técnicas de apantallamiento. Tiene sentido utilizar este tipo de técnicas en entornos en donde la radiación es muy elevada y no importa pagar un precio en términos de peso y volumen del blindaje necesario. No obstante, en muchas aplicaciones no es posible utilizar un blindaje demasiado grueso y, por tanto, el apantallamiento o no resulta demasiado efectivo o solamente lo es para radiaciones no muy penetrantes.

Cuando el origen de la radiación son los propios materiales que forman el circuito o el encapsulado, es posible disminuir la intensidad de la radiación recibida reduciendo la presencia de impurezas que originan la radiación. Para conseguirlo se utilizan materiales de alta pureza con impurezas por debajo de 100 partes por billón (10^{12}) [BAU05]. El encapsulado puede ser una fuente importante de radiación, especialmente de partículas alpha. Utilizando encapsulados con baja emisión de alphas, el flujo de partículas que llega al circuito puede reducirse en varios órdenes de magnitud [BAU05]. Los materiales utilizados en la

soldadura de los pads del integrado han sido identificados también como otra fuente importante de partículas alpha. En los diseños en los que estas soldaduras se distribuyen por toda la superficie del integrado como por ejemplo en los encapsulados *chip scale package*, pueden suponer un problema puesto que las partículas se generan cerca de las zonas activas. Existen estudios que correlacionan la distribución de SEUs en memorias con la ubicación de las soldaduras [WIL02].

La segunda familia de técnicas de mitigación consiste en diseñar circuitos más robustos a la radiación que reciben. Obviamente, este conjunto de técnicas son plenamente compatibles con las de reducir la intensidad de la radiación. Esta tesis solamente trata técnicas para mitigar los efectos de la radiación a base de hacer circuitos más robustos. Esto puede lograrse mediante diversos niveles de actuación:

- A nivel de tecnología
- A nivel de dispositivo
- A nivel de *layout*
- A nivel de circuito
- A nivel de sistema

Las técnicas de mitigación a nivel de tecnología consisten en utilizar una tecnología que sea más robusta a la radiación que otra. Normalmente, para aplicaciones en las que se desea tener más inmunidad a la radiación, se utiliza la tecnología SOI (*Silicon on Insulator*) que básicamente consiste en separar dieléctricamente mediante un óxido la parte activa del circuito del sustrato de silicio. El mecanismo que confiere a la tecnología SOI mayor robustez a la radiación se basa en que el volumen que puede recoger la carga depositada por las partículas energéticas es mucho menor que en la tecnología convencional. En la figura 2.4 puede verse una comparativa entre el SER de una tecnología SOI con otra convencional:

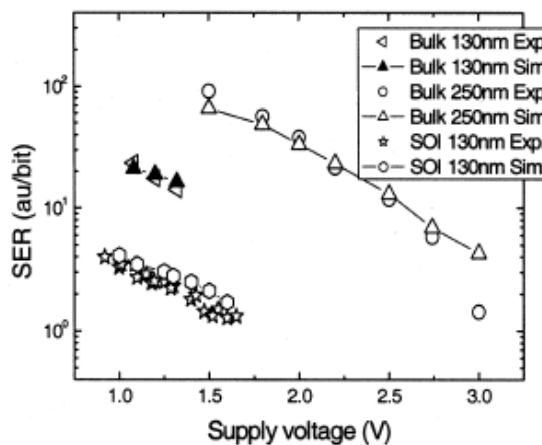


figura 2.4. Comparativa entre el SER de una tecnología SOI con una convencional [ROC03].

Las técnicas de mitigación de *soft errors* a nivel de dispositivo suelen basarse en incrementar la cantidad de carga necesaria para producir un error (ver 3.5.2 en la página 60). Esto normalmente se consigue, aumentando la capacidad de conducción de los dispositivos del circuito, o variando las condiciones de operación de los dispositivos (como por ejemplo la tensión de alimentación). Además, la utilización de transistores anulares ha demostrado disminuir los efectos de la radiación sobre los circuitos integrados especialmente respecto a dosis total pero también puede utilizarse para mejorar la robustez de los circuitos frente a eventos transitorios [XIA10]. Todas estas técnicas presentan inconvenientes y en cada caso deberá estudiarse la idoneidad de su utilización. Además, la aplicación de estas técnicas para *standard-cells* puede requerir el desarrollo de bibliotecas específicas de celdas.

Las técnicas de mitigación a nivel de diseño del *layout* se basan en disminuir la proporción de la carga depositada por la partícula energética que es finalmente recogida por un nodo sensible. Para reducir esta carga colectada, pueden utilizarse anillos de guarda, es decir zonas de difusión n+ (o p+) que rodean un cierto conjunto de dispositivos sensibles [NAR08]. Otra alternativa es separar físicamente en el *layout* diferentes elementos sensibles. Para minimizar el desperdicio de área de esta técnica, puede diseñarse el *layout* para que los elementos menos sensibles ocupen el espacio de separación entre los más sensibles. También puede incrementarse el número de contactos de sustrato o de pozo para reducir su impedancia del sustrato o del pozo [AMU07].

Las técnicas de mitigación a nivel de circuito se basan en modificar o añadir elementos al circuito o al sistema para conferirle mayor resistencia a la radiación. Entre ellos destacan:

- Redundancia modular triple: Consiste en utilizar tres circuitos (o sub-circuitos) iguales que realicen la misma función y llevar la salida de los tres a un circuito de voto por mayoría. De esta manera, si uno de los tres da una respuesta errónea debido a un *soft error* el sistema no se verá afectado puesto que los otros dos tendrán el resultado correcto. Esta técnica tiene un claro impacto en área y deberá evaluarse en cada caso la idoneidad de su utilización.
- Triple redundancia temporal: En ciertos casos puede ser posible realizar la misma operación tres veces consecutivas y mediante votación por mayoría descartar un posible resultado erróneo causado por un *soft error*. Esta técnica afecta negativamente al rendimiento del circuito pero puede ser una opción en aplicaciones que no requieran demasiada velocidad.

- Detección concurrente de errores: Se trata de una técnica que trata de reducir la cantidad de elementos redundantes necesarios para detectar errores. En lugar de comparar el resultado de varios circuitos idénticos como en el caso de la redundancia modular triple, se compara el resultado del circuito que realiza la función deseada (circuito objetivo) con el resultado de otro circuito más simple denominado predictor. [MIT00], [TOU97]. El circuito predictor tiene que diseñarse para que su resultado sea representativo del resultado del circuito objetivo. Es decir, el resultado del predictor tiene que permitir determinar si el resultado del circuito objetivo es el correcto con una probabilidad elevada. Este sistema solamente permite detectar errores, no corregirlos. Puede haber aplicaciones en las que sea posible implementar una estrategia recuperación que permita corregir el error una vez detectado.
- Utilización de sub-circuitos más robustos. Por ejemplo, en el caso de las memorias SRAM es posible utilizar celdas de memoria que sean intrínsecamente más robustas a los efectos de la radiación. Esto requiere celdas que ocupen mayor área ya sea porque utilizan transistores más grandes o porque requieren un mayor número de ellos. En el apartado 3.1 en la página 32 se describen diversas topologías de celdas SRAM.
- Incremento de las capacidades presentes en el circuito: El aumento de las capacidades del circuito puede ayudar a incrementar la carga necesaria para producir el error. Sin embargo, esta técnica presenta el inconveniente de que en muchos casos disminuye las prestaciones del circuito.

Finalmente, existen técnicas de mitigación de los efectos de la radiación que actúan a nivel circuito o de sistema que aunque no disminuyen los efectos de la radiación sobre los dispositivos individuales consiguen disminuir o eliminar los efectos de la radiación sobre el sistema completo. Cabe destacar:

- Códigos detectores y correctores de errores: Se basan en utilizar bits adicionales que, mediante la correcta implementación de códigos capaces de detectar y corregir un cierto número de errores, hacen que el sistema sea capaz de tolerar ese número de errores sin que su funcionalidad se vea afectada. La cantidad de errores que el sistema sea capaz de tolerar depende de la complejidad del código, lo que se acaba reflejando en el número de bits adicionales necesarios. Esta técnica es muy utilizada en memorias debido a que es fácilmente aplicable añadiendo a cada palabra los bits adicionales necesarios para que, con el código utilizado, el sistema sea inmune al número de errores deseado en cada palabra [SUB06]. Además, es posible reducir el número de

errores que se producen simultáneamente en una misma palabra. Esto se consigue ubicando los bits de cada palabra con una mayor separación física sobre el *layout* de la memoria. De esta manera es posible utilizar códigos de detección y corrección más simples ya que es menos probable que una misma palabra tenga afectados diversos bits simultáneamente [GIL05]. La distancia entre bits se denomina distancia de *interleaving* y es común diseñar memorias con esta técnica en el caso que se utilicen códigos detectores y correctores de errores. En el apartado 3.2.1 de la página 46 se hace referencia al *interleaving* desde el punto de vista de la estructura de una SRAM. La memoria que se ha diseñado y fabricado y que se encuentra descrita en el capítulo 5, se ha diseñado utilizando la técnica del *interleaving*.

- Uso de sensores tipo BICS (*Built-in Current Sensors*) para detectar los transitorios de corriente producidos por los *soft errors* y así tratar de corregirlos o como mínimo conocer que se han producido y actuar en consecuencia.
- El uso conjunto de BICS i códigos detectores y correctores de errores resulta muy interesante en memorias ya que la detección de que se ha producido un error puede realizarse sin la necesidad de leer todo el contenido de la memoria para verificar mediante el código detector de errores si se ha producido un error [REV09]. Un proceso de lectura del contenido completo de una memoria requiere tiempo y consumo de energía, de manera que no resulta práctico realizarlo con demasiada frecuencia. Esto conlleva que con el tiempo puedan acumularse en una misma palabra un número de bits erróneos superior a las capacidades de corrección del código utilizado. Si los BICS son capaces de detectar un error justo en el momento que se produce, se evita dicha acumulación de errores.

Finalmente, a nivel de sistema pueden utilizarse también técnicas de triple redundancia como las descritas en el caso de mitigación a nivel de circuito. La diferencia es que ahora el elemento triplicado ya no es un subcircuito del sistema sino que puede llegar a ser el sistema al completo.

2.4. Técnicas de generación de SEE

Para estudiar los efectos de la radiación sobre un circuito, es necesario exponerlo a algún tipo de radiación o emular su efecto mediante alguna técnica que reproduzca de manera más o menos fidedigna los efectos reales de las partículas energéticas.

Los resultados más exactos se obtienen exponiendo el circuito a las condiciones reales de radiación para las que se quiere realizar el estudio, sin embargo, este método presenta diversos inconvenientes. No siempre es factible exponer el circuito al entorno en el que va a trabajar, este suele ser el caso de satélites artificiales y sondas interplanetarias. Además, en muchas ocasiones, los experimentos en condiciones reales requieren tiempos de exposición extremadamente largos debido a que los flujos de partículas pueden ser pequeños. Es posible remediar este problema incrementando el volumen sensible expuesto a la radiación (a menudo exponiendo multitud de circuitos a la vez [LES05]), lo que puede ser un problema en términos de peso, volumen o consumo. Por todo lo expuesto, los métodos de evaluación en condiciones reales acostumbran a ser poco prácticos y a menudo se prefiere utilizar métodos acelerados de test.

Los métodos acelerados de test se llevan a cabo en instalaciones que tratan de reproducir el efecto sobre un circuito de las partículas para las que quiere realizarse el estudio. Normalmente no es posible disponer de radiación de características idénticas a las que va a encontrarse el circuito. Además, a menudo interesa que el experimento se lleve a cabo en menos tiempo del que sería necesario en las condiciones naturales, lo que normalmente implica utilizar mayor intensidad de radiación. Por este motivo, es necesario calibrar y caracterizar las fuentes de radiación que se utilizan para poder extrapolar su efecto al de las condiciones deseadas.

En estas instalaciones pueden estudiarse tanto los efectos debidos a *single event effects* como a los de dosis ionizante total, aunque el tipo de radiación necesaria puede diferir. Para los *single event effects* suelen utilizarse aceleradores de partículas de iones pesados, protones o neutrones. También es posible utilizar fuentes de partículas alpha. Para la dosis ionizante total suelen utilizarse aceleradores de partículas de electrones y protones, fuentes de rayos X o gamma y fuentes radioactivas.

Otra manera de emular los efectos de las partículas energéticas que generan *single event effects* es mediante rayos láser. Un pulso láser focalizado en el semiconductor puede inducir la generación de pares electrón-hueco de una manera similar a la producida por la interacción de

una partícula con el circuito. No obstante, hay que tener en cuenta que en el caso de partículas ionizantes, la producción de pares electrón-hueco se debe a una interacción por fuerzas electrodinámicas mientras que el caso de los pulsos laser el responsable es el efecto fotoeléctrico. Esta diferencia intrínseca en el mecanismo de generación de los pares electrón-hueco provoca que los resultados de uno y otro método no sean directamente extrapolables. Sin embargo, existen evidencias experimentales y simulaciones numéricas que demuestran que es posible correlacionar los dos fenómenos y que además producen efectos transitorios sobre los circuitos comparables entre sí mediante los modelos adecuados [FOU04].

Esta técnica presenta el problema de que la luz del láser es reflejada o absorbida por las capas de metal del circuito. Para tratar de solucionar el problema, a menudo se hace incidir el pulso laser desde la parte posterior del chip. Esto requiere tener acceso óptico a la parte posterior y que además tenga un buen acabado superficial. Para ello, a menudo es necesario reducir el grosor del sustrato mediante técnicas de micromecanización o ataque químico. Además, para realizar tests desde la parte posterior, es necesario utilizar una longitud de onda para la cual la transparencia del silicio sea un compromiso entre la llegada de suficiente radiación a la zona deseada y la generación de suficientes pares electrón-hueco.

La principal ventaja de la técnica láser es que permite controlar de manera precisa la ubicación de la zona en donde se generan los pares electrón-hueco y, por tanto, puede localizarse con extrema precisión los nodos sensibles de un circuito o comparar la tolerancia a la radiación de partes diferentes del circuito. Además, el pulso laser puede controlarse en el tiempo, lo que permite disponer también de una gran resolución temporal que facilita caracterizar la sensibilidad a la radiación del circuito en diferentes estados de funcionamiento.

Existe un tercer método de generación de eventos en circuitos que consiste en, inyectar en un nodo sensible mediante un circuito diseñado para ello, un pulso de corriente de características similares al que produciría el paso de una partícula energética [BUC12].

Capítulo 3

Memorias SRAM. Estructura, fiabilidad, variabilidad e interacción con la radiación

Actualmente, las SRAM (*Static Random Access Memory*) se encuentran en muchos de los circuitos electrónicos que se fabrican y juegan un papel crucial en gran variedad de aplicaciones. Esto se debe en parte a que las SRAM son compatibles tanto con los procesos CMOS utilizados para la lógica como con sus tensiones de alimentación, lo que propicia que se usen cada vez más como memorias integradas [ZHA09, pág. 1]. Las SRAM se utilizan normalmente cuando se requieren tiempos de lectura y escritura cortos así como bajo consumo. Una de las aplicaciones tradicionales más extendidas son las memorias caché. Actualmente, con la irrupción de los procesadores de múltiples núcleos la demanda de SRAM integrada se ha incrementado todavía más.

Las memorias SRAM también presentan inconvenientes: Tienen un mayor coste por bit que las memorias DRAM y su memoria es volátil, es decir se pierde al eliminar la alimentación, a diferencia de otros tipos de memoria como por ejemplo las memorias flash.

Una memoria SRAM es un elemento que capaz de almacenar N_b bits de información, estos bits suelen estar estructurados en N_p palabras de p bits cada una ($N_b=N_p \cdot p$). El elemento

fundamental de una memoria SRAM es la celda SRAM, que es capaz de almacenar un bit de información. Además, este bit puede ser leído y sobrescrito por uno nuevo. Estas tres capacidades de la celda determinan los tres modos de operación de una memoria SRAM:

- Modo de almacenamiento: todas las celdas de la memoria almacenan sus bits.
- Modo de lectura: se lee el valor de un subconjunto de las celdas de la memoria, normalmente una palabra de p bits, y se llevan estos valores al exterior del circuito. El resto de celdas de la memoria sigue almacenando sus valores. El contenido de las celdas leídas tampoco se ve alterado.
- Modo de escritura: se sobrescribe un subconjunto de las celdas de la memoria con nuevos valores, normalmente una palabra de p bits. El resto de celdas sigue manteniendo los valores que almacenaban.

En el siguiente apartado se detalla la estructura de diferentes topologías de celdas SRAM, y en el apartado 3.2 se describe la estructura general de una memoria SRAM.

3.1. La celda SRAM

Cada una de las celdas de una memoria SRAM es un elemento que se encarga de almacenar un bit de información y que además permite leer dicho valor y escribir uno nuevo. Se han propuesto gran cantidad de celdas SRAM y en este apartado se describe brevemente la topología y las características principales de algunas de ellas. Hay que tener en cuenta que las características de la celda utilizada en una memoria SRAM determinarán en buena medida las características globales de todo el conjunto de la memoria. En esta tesis se han estudiado en profundidad y utilizado dos de estas topologías, se trata de la celda de 6 transistores (6T) y la de 8 transistores (8T). El motivo de elegir la celda 6T se debe a que actualmente es la más utilizada y puede considerarse como la topología estándar. La celda 8T, aunque su uso no es tan habitual, se utiliza cada vez más. Por ejemplo Intel® utiliza celdas 8T en las memorias caché de nivel 1 y 2 (L1 y L2) de algunos de sus procesadores [KUM09].

En los próximos apartados se describen las celdas 6T y 8T detalladamente y se presentan de forma resumida otras topologías existentes.

3.1.1. La celda 6T

La estructura de una celda SRAM de 6T puede verse en la siguiente figura:

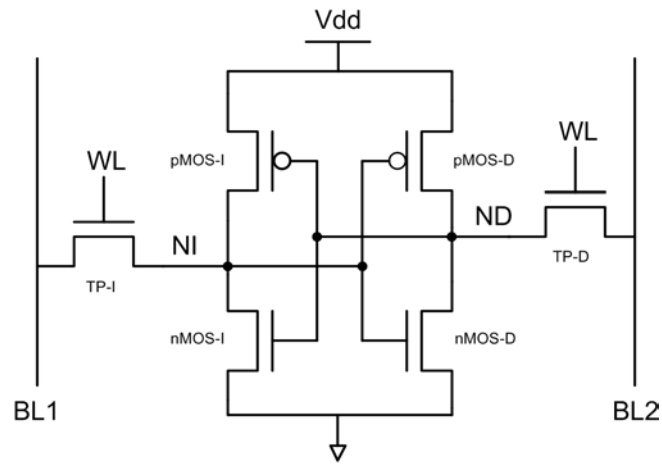


figura 3.1. Estructura de una celda SRAM de 6 transistores (6T).

Dicha celda está formada por (ver figura 3.2):

- Dos inversores realimentados.
- Dos transistores nMOS denominados transistores de paso (TP-I y TP-D) que aíslan la celda del resto del circuito durante los periodos de almacenamiento y permiten el acceso a la celda durante las operaciones de lectura y escritura. Estos transistores están controlados por la señal WL que se transmite a las celdas de una misma fila a través de la línea de *word-line* (WL).

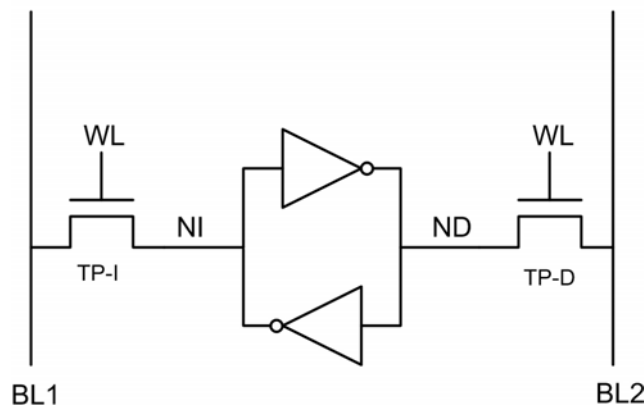


figura 3.2. Estructura esquemática de una celda SRAM de 6 transistores (6T)

Los dos inversores realimentados fijan los valores de tensión de los dos nodos internos de la celda (LN y RN), de forma que, en régimen estacionario, uno de estos nodos se encuentra a nivel bajo mientras que el otro a nivel alto, por tanto, existen dos posibles estados de la celda:

- ND a nivel alto y NI a nivel bajo
- ND a nivel bajo y NI a nivel alto

Uno de estos estados representará el valor 1 de la celda mientras que el otro representará el valor 0. La elección del estado que representa cada valor es puramente convencional y puede elegirse cualquiera de las dos combinaciones mientras se respete la convención elegida.

Esta estructura de dos inversores realimentados es una característica común de las celdas SRAM, aunque en alguna topología presenta alguna variación tal y como se comprobará en las próximas páginas.

Cada uno de los nodos internos de la celda se conecta, a través de un transistor de paso, a una línea de *bit-line* diferente (BL1 y BL2). Dichas líneas son comunes para toda una misma columna de celdas y van conectadas a través de puertas de transmisión al circuito de lectura y de escritura. Es decir, las *bit-lines* son nodos intermedios que se utilizan para leer y escribir los valores deseados en las celdas.

Durante un proceso de lectura o de escritura, los dos nodos internos se encuentran conectados a las *bit-lines* mediante los transistores de paso, esto perturba en mayor o menor medida los niveles de tensión de dichos nodos. Para un proceso de escritura, esta perturbación es precisamente lo que se pretende conseguir, cambiar el estado de la celda. Sin embargo, durante una lectura esta perturbación es un efecto no deseado ya que lo que se pretende es leer el contenido sin afectar al contenido de la celda. Esto supone que el diseño de la celda tenga que hacerse de tal forma que:

- Durante una escritura se perturbe lo suficiente la celda como para modificar su contenido.
- Durante una lectura, la magnitud la perturbación tiene que ser lo suficientemente pequeña para asegurar que no se corrompa el valor que almacena la celda.

La dinámica de una escritura y de una lectura se describe en los apartados 3.1.1.1 y 3.1.1.2 respectivamente.

En muchos casos, para lograr ambos objetivos se requiere que las dimensiones de los transistores sean un compromiso entre las necesarias para lograr una buena escritura y una buena lectura.

En una celda SRAM 6T normalmente suelen considerarse los siguientes parámetros dimensionales:

- Ancho de los transistores nMOS de los dos inversores realimentados: W_n
- Ancho de los transistores de paso (nMOS): W_{pas}
- Ancho de los transistores pMOS de los dos inversores realimentados: W_p

Sin embargo, suelen utilizarse tres magnitudes derivadas:

- γ : es la relación entre W_{pas} y el ancho mínimo que permite la tecnología.

$$\gamma = \frac{W_{pas}}{W_{min}} \quad (Ec. 3.1)$$

- α : es la relación entre W_n y W_{pas} .

$$\alpha = \frac{W_n}{W_{pas}} \quad (Ec. 3.2)$$

- β : es la relación entre W_p y W_{pas} .

$$\beta = \frac{W_p}{W_{pas}} \quad (Ec. 3.3)$$

A continuación se describe de forma genérica los procesos de escritura y lectura de una celda SRAM 6T.

3.1.1.1. Escritura de una celda SRAM 6T

Para escribir un nuevo valor en una celda SRAM 6T se empieza por llevar a las *bit-lines* a los niveles de tensión a los que se desee forzar los nodos internos de la celda (cada *bit-line* se conecta a un nodo a través de su transistor de paso). Supondremos que el nodo V_L se encuentra a nivel alto y V_R a nivel bajo y que se desea escribir el valor inverso (ver figura 3.3). Posteriormente, se activa la señal WL y la tensión del nodo V_L empieza a disminuir a un ritmo que depende de las fortalezas relativas del su transistor de paso y del transistor de *pull-up* (parámetro β). Mientras tanto, la tensión del nodo V_R empieza a aumentar debido a la influencia de la *bit-line* a la que está conectado (nivel alto). A principio, la realimentación de los inversores de la celda se opone a este cambio, pues la celda es intrínsecamente estable. Sin embargo, si las fortalezas relativas de los transistores de paso (que favorecen el cambio de estado) y las de los *pull-up* y *pull-down* de la celda (que se oponen al cambio) son las adecuadas, los niveles de tensión de los nodos internos de la celda llegaran a un nivel a partir

del cual la retroalimentación de la celda empezará a actual en el sentido de favorecer el cambio de estado. A partir de este momento, se desencadena la escritura de la celda de forma irreversible. También puede suceder que si las fortalezas relativas no son las adecuadas, al finalizar el periodo de escritura y desconectarse los transistores e paso. No se haya llegado todavía al punto en que la realimentación de la celda favorece el cambio de estado. Si esto sucede, la realimentación de la celda se encargará de recuperar los valores de tensión originales de los nodos internos de la celda y la escritura habrá fallado.

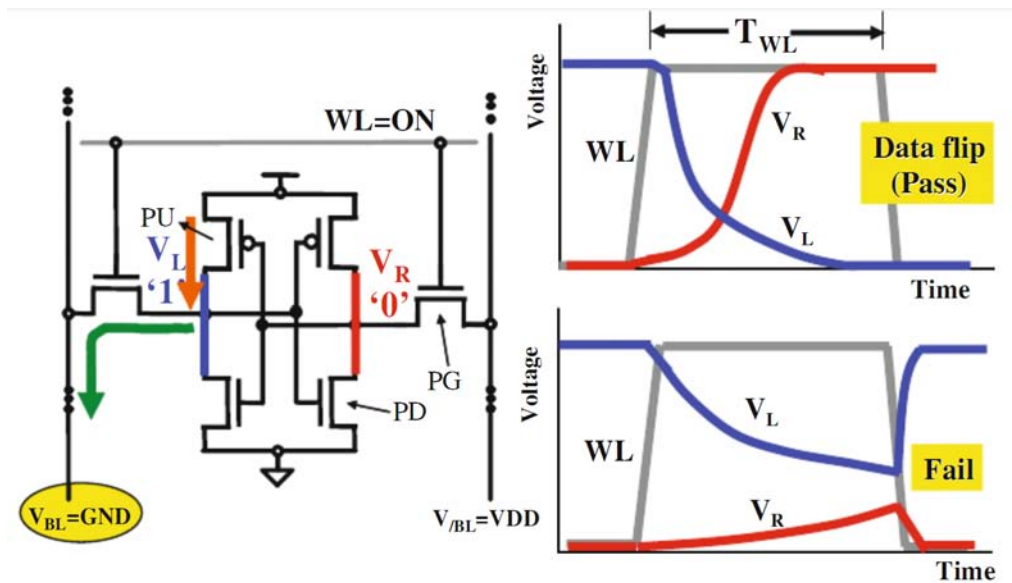


figura 3.3. Representación esquemática de un proceso de escritura de una celda SRAM 6T.

3.1.1.2. Lectura de una celda SRAM 6T

Para leer un celda SRAM 6T, se empieza por llevar ambas *bit-lines* a un nivel alto de tensión. Supondremos que el nodo V_L se encuentra a nivel alto y V_R a nivel bajo (figura 3.4). Cuando se activa la señal WL, los transistores de paso conectan los nodos internos de la celda a las *bit-lines*. Entonces la *bit-line* que se conecta al nodo V_R se empezará a descargar a través del transistor de paso y del de *pull-down*. Sin embargo la otra *bit-line* no se descargará de forma apreciable ya que se encuentra al mismo valor de tensión que el nodo V_L . El hecho de que solamente se descargue la *bit-line* conectada al nodo que se encuentra a nivel bajo es lo que permite que el contenido de la celda pueda ser leído por el circuito de lectura. Hay que tener en cuenta que, durante la descarga de la *bit-line*, el nodo a nivel bajo ve perturbado (incrementado) su voltaje. La magnitud de esta perturbación depende de la fortaleza relativa de los transistores de paso y de *pull-down* (parámetro α). Si la perturbación es pequeña, la

propia realimentación de la celda será capaz de mantener su estado. Sin embargo, si la perturbación sobrepasa cierto valor crítico, la realimentación de la celda no será capaz de contrarrestarla y se producirá un cambio en el valor almacenado. El dimensionado de los transistores debe evitar que se produzcan este tipo de lecturas que corrompen el bit guardado en la celda. El circuito de lectura, tiene acceso a dos *bit-lines*, por tanto, puede ser diferencial.

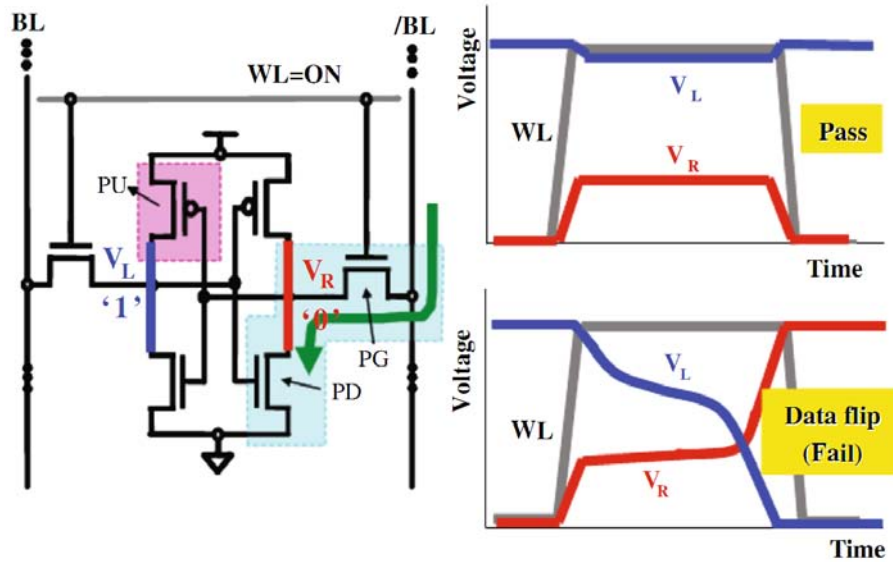


figura 3.4. Representación esquemática de un proceso de lectura de una celda SRAM 6T.

3.1.2. La celda 8T

La estructura de una celda SRAM de 8T puede verse en la siguiente figura:

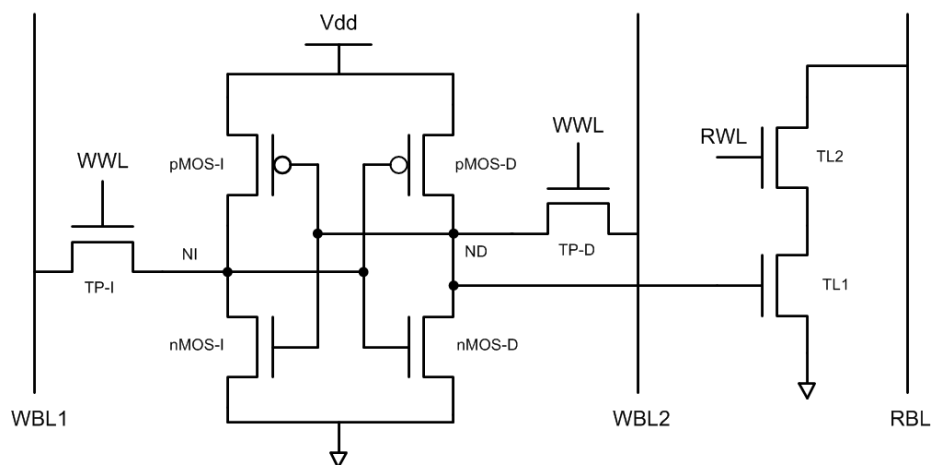


figura 3.5. Estructura de una celda SRAM de 8 transistores (8T).

Dicha celda está formada por:

- Dos inversores realimentados.
- Dos transistores de paso nMOS (TP-I y TP-D) que aíslan la celda del resto del circuito durante los periodos de almacenamiento y permiten el acceso a la celda durante las operaciones de escritura. Estos transistores están controlados por la señal WWL que se transmite a las celdas de una misma fila a través de la línea de *write word-line*.
- Una etapa de lectura formada por dos transistores nMOS (TL1 y TL2) que permiten leer a través de la línea de *read bit-line* uno de los nodos internos de la celda (en este caso el nodo ND). A diferencia de una celda 6T que es simétrica, una celda 8T es asimétrica debido al hecho de que la etapa de lectura está conectada a uno de los dos nodos de la celda.

Al igual que en la celda 6T, los dos inversores realimentados fijan el estado de cada uno de los nodos internos y su combinación de estados determina que se almacene un 0 o un 1.

Cada uno de los nodos internos de la celda se conecta, a través de un transistor de paso, a una línea de *write bit-line* diferente (WBL1 y WBL2). Dichas líneas son comunes para toda una misma columna de celdas y van conectadas a través de puertas de transmisión al circuito de escritura.

Uno de los nodos internos (ND, en este caso) es leído a través de la puerta del transistor TL1 que lo conecta a la *bit-line* de lectura (RBL) mediante un transistor TL2 controlado por la *word-line* de lectura (RWL). La RBL es común para todas las celdas de la misma columna y se conecta al circuito de lectura.

La escritura de una celda 8T se realiza de la misma manera que la de una celda 6T y que se ha descrito en el apartado 3.1.1.1. Sin embargo la lectura de una celda 8T es diferente. Ya que realiza a través de la etapa de lectura. El voltaje del nodo ND controla la puerta del transistor TL1. El transistor TL2 (controlado por la señal RWL) conecta el transistor TL1 a la *read bit-line* (RBL) durante una lectura y lo aísla durante el resto del tiempo. Si durante una lectura el nodo ND se encuentra a nivel alto, la *read bit-line* se descarga a través de los transistores TL2 y TL1. Por el contrario, si durante una lectura el nodo ND se encuentra a nivel bajo la *read bit-line* no se descarga puesto que el transistor TL1 está en corte. De esta manera, el circuito de lectura puede conocer el estado de uno de los nodos internos de la celda y, por tanto, el valor lógico que se almacena. Puesto que la lectura se realiza a través de una única *bit-line*, el circuito de lectura no puede ser diferencial tal y como en el caso de las celdas 6T.

Es importante remarcar que a diferencia de una celda 6T, una lectura de una celda 8T no perturba su contenido, puesto que se realiza a través de la puerta del transistor TL1. Esto, en principio eliminaría, el compromiso entre las restricciones dimensionales impuestas para una lectura y para una escritura, puesto que la lectura se hace sin perturbación y, por tanto, los transistores podrían optimizarse para escritura. Sin embargo, en muchas estructuras de memorias SRAM durante un proceso de escritura existe un conjunto de celdas que sufren un proceso similar a una lectura tipo 6T. Este fenómeno se describe en el apartado 3.2.2 en la página 46.

3.1.3. Otras celdas SRAM

Se han propuesto gran diversidad de topologías de celda SRAM, en este apartado describiremos brevemente alguna de ellas.

a) Celda SRAM de 4 transistores

Se trata de una celda heredada de la era pre-CMOS con una topología similar a la 6T pero en la que los dos transistores pMOS de los inversores realimentados han sido sustituidos por dos resistencias de polisilicio. Se utilizó hasta aproximadamente mediados de los años noventa del siglo XX cuando la industria la sustituyó por la celda 6T [PAV08, pág. 24], [LAG96].

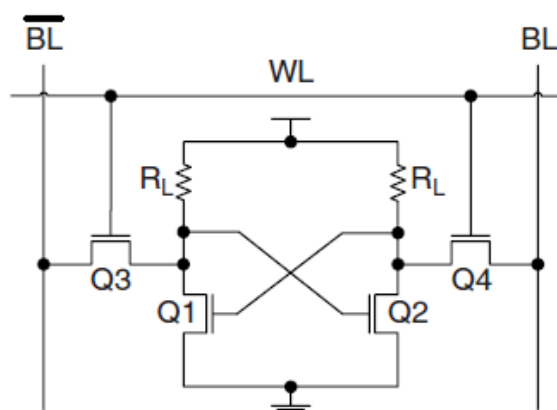


figura 3.6. Estructura de una celda SRAM de 4 transistores

La principal ventaja de esta celda es que al tener menos transistores que una 6T en principio puede ocupar menos área. Sin embargo, el escalado de las resistencias no fue tan agresivo como el de los transistores y a partir del nodo tecnológico de $0,8\mu\text{m}$, utilizar este tipo de celdas se convirtió en un problema desde el punto de vista de la escalabilidad [LU82]. Además, estas celdas presentan otros problemas en términos de consumo, estabilidad y robustez frente a las radiaciones [PAV08, pág. 16]. Por todos estos motivos, hoy se encuentran en desuso.

b) Celda SRAM de 7 transistores

Se trata de una topología de celda propuesta en [TAU08]. Su estructura es parecida a la 8T con la salvedad de que la escritura se realiza a través de un único transistor de paso.

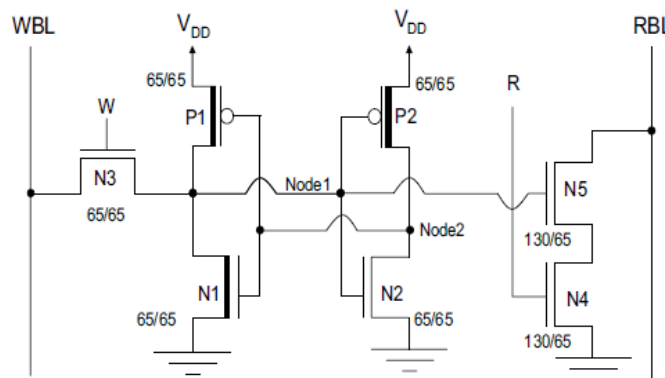


figura 3.7. Estructura de una celda SRAM de 7 transistores

Las principales ventajas son que, al igual que la celda 8T, la lectura no perturba el contenido de la celda, pero además utiliza un transistor menos con la consiguiente reducción de área. El principal inconveniente se encuentra en el proceso de escritura. Para asegurar una correcta escritura hay que conseguir un delicado equilibrio entre las fortalezas de los transistores de los inversores realimentados y la del transistor de paso.

c) Celda SRAM de 8T con transistores de paso pMOS

Esta topología se ha propuesto en [BOT11]. Se trata de una celda 8T pero con los transistores de paso pMOS en lugar de nMOS. La principal ventaja radica en que se puede conseguir un *layout* más compacto que en una celda 8T convencional en parte gracias a que el número de transistores nMOS es igual al de pMOS. El principal inconveniente de esta topología es que dificulta la operación de escritura.

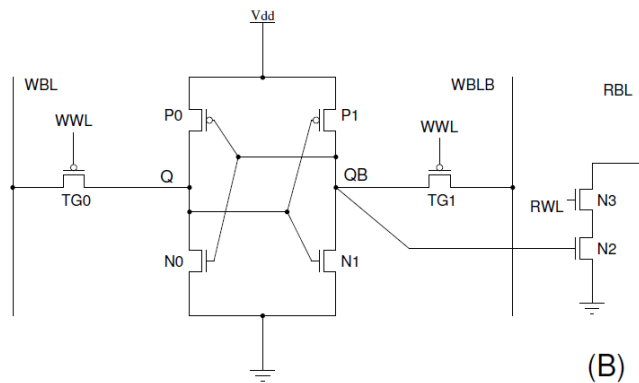


figura 3.8. Estructura de una celda SRAM de 8 transistores con transistores de paso pMOS

d) Celda SRAM de 9 transistores

Esta celda ha sido propuesta en [ZHI08]. Se trata de una celda cuya escritura se realiza como en una celda 6T a través de 2 transistores de paso y la lectura se realiza al estilo de una celda 8T es decir sin perturbar el contenido de la celda pero en lugar de leer un solo nodo se lee el contenido de los dos nodos internos de la celda. Esto permite realizar lecturas con circuitos de lectura diferenciales de forma que pueden ser más rápidas que las de una celda 8T convencional que debe ser leída de forma no diferencial.

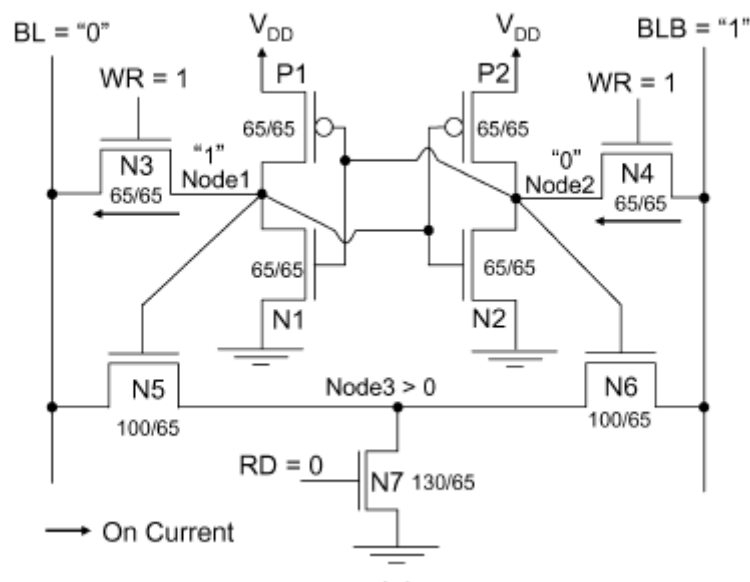


figura 3.9. Estructura de una celda SRAM de 4 transistores

Además, los autores afirman que reducen la corriente de *leakage* en comparación con otras topologías. Un inconveniente importante es la utilización de un transistor

adicional respecto a la 8T con el consiguiente aumento de área y la dificultad para realizar un *layout* eficiente.

e) Celda SRAM de 10 transistores

Se trata de una topología de celda propuesta en [OKU09] está basada en la 8T pero la lectura se realiza a través de dos etapas de lectura independientes, una para cada nodo, al igual que en la topología 9T anteriormente descrita.

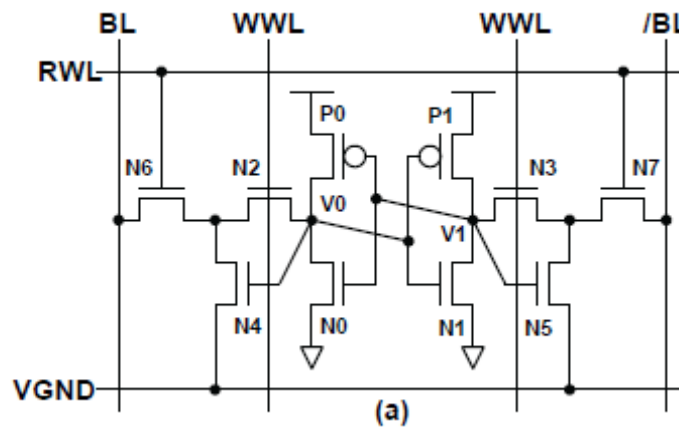


figura 3.10. Estructura de una celda SRAM de 10 transistores

Además, la escritura se realiza como en una celda 6T u 8T, es decir por los dos lados de la celda, pero en este caso no se utiliza un único transistor de paso para cada nodo, sino que se utilizan dos colocados en serie. Uno está controlado por la *word-line* de lectura y se utiliza para la lectura, mientras que el otro está controlado por la *word-line* de escritura. Para una escritura es necesario activar los dos transistores en serie, el controlado por la *read word-line* (señal común para todas las celdas de la misma fila) y el controlado por la *write word-line* (señal común para todas las celdas de la misma columna). De este modo, solamente se activan los dos transistores en serie de la celda que efectivamente desea escribirse y, por tanto, se elimina el problema de la presencia de celdas *half-selected* de las memorias basadas en celdas 8T. El principal inconveniente es el incremento de área debido a que requiere la utilización de diez transistores.

f) Otras celdas diseñadas para ser intrínsecamente tolerantes a SEUs

Existen varias celdas cuya estructura las hace intrínsecamente tolerantes a los SEUs. Se trata de celdas que almacenan el bit en dos estructuras diferentes interconectadas por un mecanismo capaz de recuperar el contenido de una que haya sido afectada por un SEU a partir del contenido de la otra. Esto se hace con una adecuada interconexión entre las dos estructuras. Cada una de estas estructuras equivale a una celda 6T aunque puede requerir que se redimensionen sus transistores para asegurar el correcto funcionamiento del mecanismo de recuperación.

Algunas de ellas son: La celda propuesta en [WHI91] denominada Whitake o también celda de la NASA puesto que se utilizó por primera vez en un codificador Reed-Solomon para la Estación Espacial Internacional, la celda HIT (*Heavy Ion Tolerant Cell*) propuesta en [BES93] o la celda DICE (*Dual Interlocked Storage Cell*) propuesta en [CAL96]. A continuación se muestran los circuitos de cada una de estas celdas:

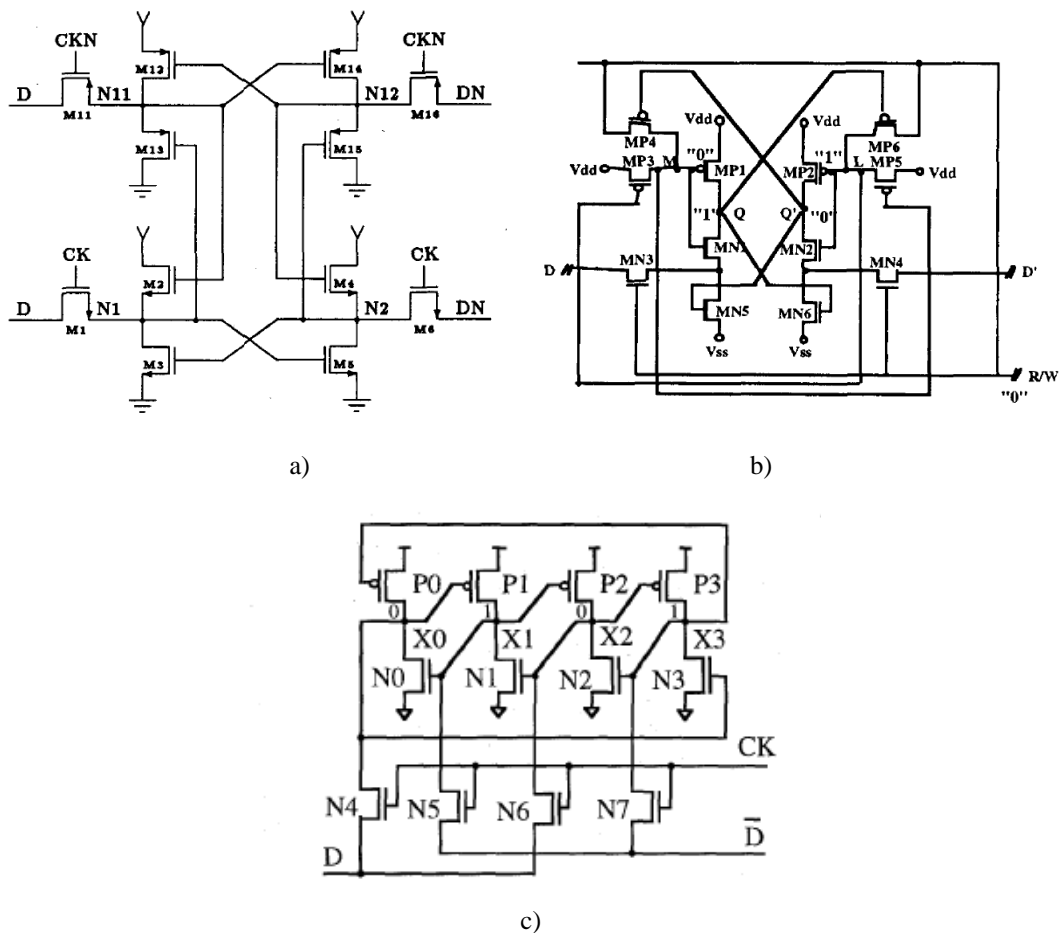


figura 3.11. Estructura de 3 celdas tolerantes a SEUs. a) Celda Whitake. b) celda HIT. c) Celda DICE

3.2. Estructura de las memorias SRAM

En este apartado se describe la estructura más habitual de las memorias SRAM y que a su vez es la que se ha utilizado para el diseño del prototipo de memoria que se describe en capítulo 5.

La descripción de la estructura se realiza de manera conjunta para memorias 6T y 8T. Cuando haya alguna diferencia se matizará convenientemente. Una memoria SRAM está formada por:

- Una matriz de celdas: en cada una de estas celdas se guarda un bit. Pueden estar en modo de almacenamiento, es decir, mantienen el valor del bit que contienen o en modo de acceso para poder leer el dato guardado o escribir uno nuevo.
- Un decodificador de fila: Es un circuito capaz de activar el acceso a las celdas que forman parte de una fila de la matriz. Cuando se desea acceder a una determinada celda, ya sea para leerla o escribirla, el decodificador activa el acceso a toda la fila a la que pertenece dicha celda.
- Circuito de lectura: Es un circuito que se utiliza para leer con rapidez el valor de una determinada celda de la memoria. Es diferente para matrices 6T y 8T ya que, como se ha comentado anteriormente, para el caso 6T puede ser diferencial mientras que en el caso 8T no es posible.
- Circuito de escritura: Es un circuito capaz de escribir el valor deseado en una determinada celda de memoria. El proceso es igual para el caso 6T y para el 8T.
- Decodificador de columna: Conecta el circuito de lectura o de escritura con las celdas que van a leerse o a escribirse. Estas celdas normalmente son un subconjunto de las de una fila (previamente seleccionada por el decodificador de fila). El número de celdas que se leen o escriben a la vez recibe el nombre de longitud de palabra de la memoria.

En la siguiente figura puede verse una representación esquemática de dichos elementos:

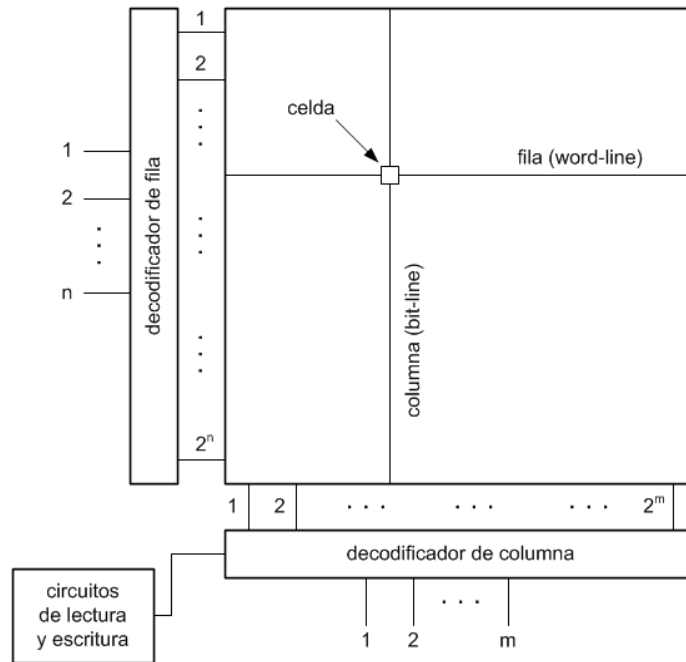


figura 3.12 Estructura básica de una memoria SRAM.

En la siguiente figura se representa organización típica de una memoria SRAM. La memoria se compone de B bloques que a su vez están formados por A columnas. En esta figura, los diferentes bloques se disponen uno encima del otro, la disposición real de los bloques en el *layout* de una memoria será evidentemente bidimensional. La representación tridimensional se ha usado solamente por motivos de claridad.

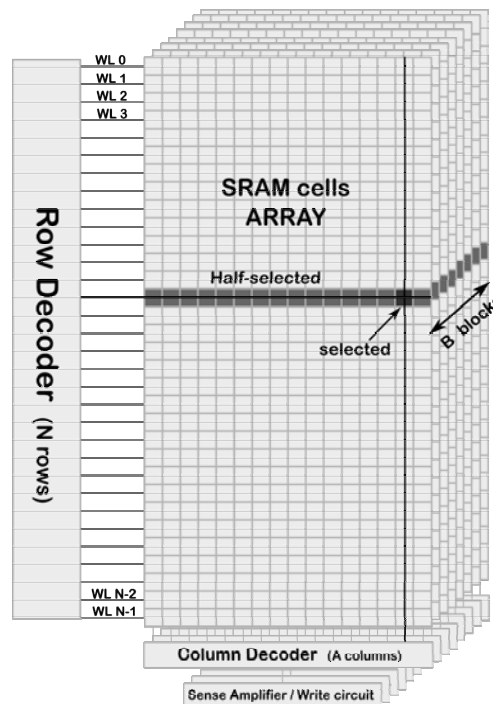


figura 3.13. Representación de la estructura de una memoria SRAM convencional.

El decodificador de fila se encarga de activar la línea de *word-line* correspondiente en función de la dirección de memoria elegida para acceder a la memoria. Con esta estructura, todas las celdas de una misma fila ($B \cdot A$ celdas), con independencia del bloque al que pertenezcan, comparten la misma línea de *word-line* y se seleccionan en cada operación de lectura y escritura. No obstante, en cada bloque se accede únicamente a una celda, la celda elegida viene determinada por el decodificador de columna. De esta manera, en cada operación de lectura o escritura se accede a B celdas, una por bloque. B es precisamente la longitud de palabra de la memoria. El decodificador de columna es el responsable de garantizar que, de todas las celdas seleccionadas por la *word-line*, solamente una se conecte a cada circuito de lectura (o de escritura). Para leer y escribir B celdas a la vez, se necesitan B circuitos de lectura y escritura.

3.2.1. Interleaving

En la figura 3.13, si los diferentes bloques se distribuyen en horizontal uno a continuación del otro, cada una las celdas a las que se accede (palabra de B bits) se encuentra sobre la misma línea horizontal (puesto que comparten *word-line*), pero separadas por una cierta cantidad de celdas. A esta distancia, expresada en número de celdas, entre los bits de una misma palabra se la denomina distancia de *interleaving*. Utilizar *interleaving* disminuye la probabilidad de que en un cierto periodo de tiempo se produzcan dos o más SEUs en bits pertenecientes a la misma palabra. Esto resulta útil de cara a la implementación de códigos detectores y correctores de errores tal y como se ha comentado en apartado 2.3. La memoria que se ha diseñado y fabricado y que se describe en el capítulo 5 utiliza la técnica del *interleaving*.

3.2.2. Celdas half-selected

Anteriormente ha quedado establecido que en cada operación de lectura o escritura se accede a B celdas aunque para ello se seleccionan un total de $B \cdot A$ celdas.

En el caso de una memoria 6T, una operación de lectura o de escritura provoca que los nodos internos de las $B \cdot A$ celdas queden conectados a sus respectivas *bit-lines* a través de los transistores de paso de cada celda. En el caso de una memoria 8T, esto solamente ocurre en el caso de la escritura ya que la operación de lectura se realiza a través de la etapa de lectura anteriormente descrita.

Por tanto, hay $B \cdot (A-1)$ celdas que no van a ser ni leídas ni escritas y que tienen sus nodos conectados a las *bit-lines*, a estas celdas se las denomina habitualmente celdas *half-selected* [PIL07].

Las *bit-lines* se encuentran precargadas a nivel alto y, por tanto las celdas *half-selected* experimentan un proceso muy similar a una lectura 6T con la diferencia de que las *bit-lines* no se encuentran conectadas a ningún circuito para leer su valor. Es decir, la celda sufre la perturbación descrita en el apartado 3.1.1.2 en la página 36. Esto no representa mayor problema en el caso de una memoria 6T ya que sus celdas se han diseñado para ser leídas mediante el proceso de lectura 6T sin que el valor que almacenan se vea alterado. Sin embargo, en el caso de una memoria 8T sus celdas se leen mediante un proceso específico (ver 3.1.2 en la página 37). Por este motivo, la presencia de celdas *half-selected* durante la escritura (recuérdese que no las hay durante una lectura) hace que, en el diseño de una memoria 8T, tenga que considerarse también el hecho de que las celdas van a sufrir procesos de lectura 6T. Esto representa un problema ya que, aunque la celda 8T tenga una etapa de lectura capaz de leer la celda sin perturbarla, sufrirá esta misma perturbación cuando esté *half-selected*.

Para tratar de resolver este problema existen trabajos de investigación encaminados a eliminar la presencia de celdas *half-selected* en memorias 8T. Estas soluciones se basan en conseguir que todas las celdas seleccionadas para la escritura sean realmente escritas durante el proceso [CHA08]. El principal inconveniente de esta estrategia, es que se pierden las ventajas que se obtienen de utilizar memorias estructuradas en bloques, por ejemplo, limita la aplicación de técnicas como el uso de *interleaving* que se ha definido anteriormente. Otra solución para evitar las celdas *half-selected* pasa por substituir las celdas 8T por celdas de 10 transistores como la descrita en el apartado 3.1.3 en la página 39 con las que se consigue que las únicas celdas seleccionadas sean las que realmente van a leerse o a escribirse [ZHA09, pág. 67]. Se han propuesto también otras topologías de celdas 8T para resolver el problema de las celdas *half-selected* [RAM07].

3.3. Fiabilidad en memorias SRAM

Diseñar circuitos electrónicos que resulten fiables se ha convertido en un reto cada vez más difícil de lograr. En el caso de las memorias SRAM, el escalado de la tecnología ha permitido disminuir el área que ocupa cada celda de memoria, lo que proporciona entre otras ventajas un menor coste por bit. Sin embargo, esta reducción en las medidas de las celdas tiene como consecuencia una disminución en su fiabilidad y por consiguiente también en la memoria en conjunto. Hay que tener en cuenta que las memorias SRAM suelen ser estructuras con gran cantidad de celdas y el fallo de una única celda provoca el fallo de la memoria completa. Por este motivo, para disponer de memorias con tasas de fallos bajas es necesario exigir a cada celda individual una fiabilidad muy elevada [CAL08]. Actualmente, lograr una fiabilidad aceptable en memorias SRAM nanométricas se ha convertido en una tarea compleja.

Una memoria puede fallar debido a diversos mecanismos de entre los que cabe destacar:

- Degradación de las características de los transistores de las celdas.
- Excesiva variación de parámetros.
- Efectos transitorios debidos a radiación.

Los dos primeros mecanismos disminuyen la fiabilidad de una memoria ya que pueden generar celdas con menor margen de estabilidad. La estabilidad de una celda se define como la capacidad para mantener el valor que guarda durante el modo de almacenamiento y no perderlo durante los procesos de lectura, incluso para condiciones adversas de funcionamiento. Estas condiciones adversas incluyen la presencia de todo tipo de interferencias y perturbaciones con que pueda encontrarse el circuito para las condiciones de funcionamiento para las que ha sido diseñado. La lectura es el periodo de tiempo en que la celda es más susceptible de ver comprometida su estabilidad [PAV08, pág. 1].

El tercer mecanismo, puede corromper el contenido de una celda. Así pues se pierde la información que almacenaba, pero la celda no resulta dañada de manera permanente y, a diferencia de los dos mecanismos anteriores, puede volver a ser escrita y leída con posterioridad de manera satisfactoria.

A continuación se describen cada uno de estos tres mecanismos de fallo.

3.3.1. Degradación de las características de los transistores de las celdas

Bajo esta denominación se engloban diversos mecanismos de fallo por degradación de las características de los transistores. De entre ellos cabe destacar a los relacionados con el óxido de puerta [KHA10] que principalmente son:

- *NBTI (Negative Bias Temperature Instability)*: En los transistores pMOS el campo eléctrico negativo en el óxido introduce cargas eléctricas en la interfaz entre el óxido y el silicio. Como consecuencia, la tensión umbral se incrementa y se degrada la transconductancia. Existe otro mecanismo similar que afecta a los transistores nMOS denominado *PBTI (Positive Bias Temperature Instability)* y que está cobrando cada vez más importancia [ZAF06].
- *TDDDB (Time Dependent Dielectric Breakdown)*: El campo eléctrico aplicado al óxido de puerta degrada el material del óxido y como consecuencia se forman caminos conductores entre la puerta y el canal del transistor [WU09].
- *HCI (Hot Carrier Degradation)*: Tanto los electrones como los huecos del canal penetran en el óxido y producen cargas que acaban degradando la tensión umbral del transistor [JIN07].

Todos estos mecanismos degradan las prestaciones de los transistores, a nivel de una celda SRAM esto se traduce también en una modificación de sus parámetros de diseño que puede llegar a comprometer su estabilidad [KAN07]. Además, los efectos acumulativos debidos a radiación podrían englobarse dentro de esta misma categoría. Estos efectos de la radiación, aunque no forman parte de los objetivos de esta tesis, se han descrito en el apartado 2.2.1 en la página 16[SCH06].

3.3.2. Excesiva variación de parámetros

El escalado de la tecnología es, en gran medida, el responsable de que la variación de parámetros de las celdas SRAM se haya convertido en uno de las principales preocupaciones a la hora de diseñar una memoria. Además, las matrices de celdas SRAM se empaquetan con la máxima densidad posible, esto conlleva un incremento de su sensibilidad a defectos de fabricación y a variaciones de proceso.

Cualquier asimetría en la estructura de celdas SRAM ya sea debido a *mismatch* entre transistores o a cualquier pequeño defecto o perturbación en el proceso de fabricación puede desembocar en la obtención de una celda inestable. Además, las fluctuaciones aleatorias en el número y en la localización de los átomos dopantes en el canal producen diferencias apreciables en las tensiones umbral de los transistores de los inversores realimentados [ZHA09, pág. 41], [CHE06]. La variabilidad de las tensiones umbral también está influida por las variaciones de las dimensiones críticas del polisilicio y por los efectos de canal corto [PAV08, pág. 39].

Una celda SRAM puede tolerar una cierta variabilidad en los parámetros de los dispositivos que la forman y funcionar con normalidad. Sin embargo, una excesiva variación de parámetros puede provocar que bajo condiciones desfavorables de operación, especialmente durante la lectura, la celda pierda su estabilidad. Esto conlleva que la información que almacenaba se corrompa. Además, hay que tener en cuenta que la disminución de las tensiones de alimentación también influye negativamente en la estabilidad de las celdas [YOU11]. Mantener un margen aceptable de estabilidad a la vez que se disminuyen tanto las medidas de los dispositivos como sus tensiones de alimentación se ha convertido en un reto.

3.3.3. Efectos transitorios debidos a radiación

La fiabilidad de una memoria puede verse comprometida por la generación de errores debidos a la interacción de partículas energéticas con el silicio de forma que se produzcan *soft errors*. Los *soft errors* afectan en mayor medida a las memorias SRAM que al resto de circuitos. Esto se debe a que las memorias suelen diseñarse con la máxima densidad posible de empaquetamiento, pero también a que en caso de que una partícula perturbe una celda de memoria, no existe ningún mecanismo intrínseco de enmascaramiento, es decir, si el error se produce quedará almacenado y podrá afectar al funcionamiento del sistema en cualquier momento posterior.

El mecanismo mediante el que se genera este tipo de errores se describe en detalle en el apartado 3.5.1 en la página 57.

3.3.4. Conclusión

La fiabilidad de una memoria SRAM puede estudiarse desde dos perspectivas diferentes: La estabilidad de las celdas y los efectos transitorios debidos a radiación. El objetivo principal de esta tesis es estudiar los efectos transitorios de la radiación sobre memorias SRAM y, por tanto, este enfoque será tratado de manera prioritaria. Sin embargo, la estabilidad de las celdas se tendrá en cuenta especialmente en dos aspectos: i) Para elegir el tipo de *layout* de la celda SRAM que se utilizará en el diseño del prototipo de memoria ya que es importante que tenga poca variación de parámetros. ii) Para el desarrollo de técnicas de mitigación de los efectos de la radiación, en donde se tratará de desarrollar técnicas que, como mínimo, no empeoren la estabilidad de las celdas.

Por este motivo, los dos próximos apartados (3.4 y 3.5) se dedican respectivamente al estudio de *layouts* para reducir la variabilidad y a los eventos transitorios de la radiación en memorias SRAM. Finalmente, el apartado 3.6 trata los parámetros que se utilizan para medir la fiabilidad desde el punto de vista de la estabilidad y de los eventos transitorios debidos a radiación.

3.4. Variabilidad en celdas SRAM. *Layout* para la reducción de la variación de parámetros

El incremento en la variación de parámetros es uno de los principales problemas derivados del escalado de la tecnología CMOS [HIR09]. Entre los parámetros de los dispositivos que sufren mayores variaciones cabe destacar la longitud de puerta, el ancho del canal, el grosor del óxido y la tensión umbral [VAR11]. El origen de esta dispersión se debe tanto a efectos deterministas, teóricamente predecibles, debidos a las limitaciones del proceso de fabricación como a efectos aleatorios. Entre los primeros se encuentran por ejemplo los efectos derivados del uso técnicas litográficas para conseguir transferir patrones de dimensiones características menores que la longitud de onda utilizada. Entre los segundos cabe destacar por ejemplo las variaciones en la concentración de átomos dopantes en el canal. La dispersión de parámetros, además de empeorar con cada sucesiva generación tecnológica, también se ve afectada negativamente si además se utilizan dispositivos de dimensiones mínimas. En la siguiente figura se recoge, a modo de ejemplo, las contribuciones de estos dos factores sobre la variación de la V_t de transistores nMOS.

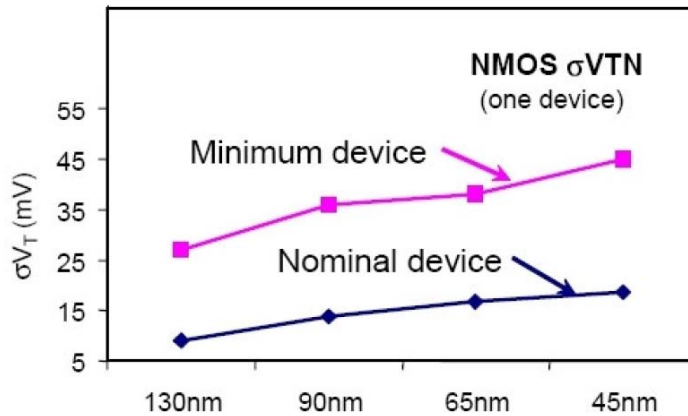


figura 3.14. Evolución de la desviación típica de la tensión umbral para diferentes tecnologías [KUH07].

Las celdas de memoria SRAM suelen diseñarse con las medidas de los transistores lo más pequeñas posibles para reducir el tamaño de la celda y así poder disponer de más memoria por unidad de área. Por este motivo, la dispersión de parámetros en memorias SRAM resulta superior a la de otros circuitos que no utilicen dispositivos de dimensiones mínimas.

Por otro lado, las memorias SRAM son particularmente sensibles a los efectos de la variación de parámetros ya que la estabilidad de una celda SRAM depende de un delicado balance entre las características de los transistores que la forman [BHA01]. Una celda cuyos parámetros difieran demasiado de los nominales puede ver comprometida su estabilidad. Además, los circuitos actuales requieren cada vez memorias de mayor capacidad que llegan a ocupar más de 50% del área del chip [ZHU06]. Para que una memoria funcione adecuadamente, cada una de las celdas que la componen tiene que estar dentro de los parámetros de operación correcta [CHA08]. A medida que el número de bits de una memoria aumenta, esto último es cada vez más difícil de conseguir.

Por todo esto, la variación de parámetros juega un papel clave en el diseño de una memoria SRAM y es recomendable aplicar técnicas que traten de reducirlos. En el siguiente apartado se expone una técnica de reducción de la variabilidad en celdas SRAM basada en el diseño del *layout*.

3.4.1. *Layout* de celdas SRAM para la reducción de la variación de parámetros.

De todo el conjunto de parámetros cuya variación puede comprometer el correcto funcionamiento de una celda SRAM destacan dos que dependen del *layout* utilizado [WON05]:

- Las dimensiones críticas de las regiones activas.
- Las dimensiones críticas del polisilicio.

Los procesos litográficos actuales consiguen fabricar dispositivos con dimensiones características inferiores a la longitud de onda de la luz utilizada. Este hecho tiene como consecuencia que los patrones geométricos que se consiguen transferir a la oblea presenten distorsiones. Por ejemplo, las esquinas de los polígonos se transforman en formas redondeadas. Para minimizar estas distorsiones se utilizan técnicas como por ejemplo la corrección óptica de proximidad que, mediante la aplicación de modelos capaces de predecir la distorsión generada, consigue corregir en gran medida el resultado final. No obstante, solamente es posible minimizar las distorsiones pero no eliminarlas por completo [WON05]. En consecuencia, la geometría resultante no se corresponde exactamente con la del diseño.

Tradicionalmente se han utilizado diversos *layouts* para celdas SRAM 6T. En la siguiente figura puede verse uno de los más utilizados que, por su relación de aspecto, se le denomina a veces “*layout* alto”:

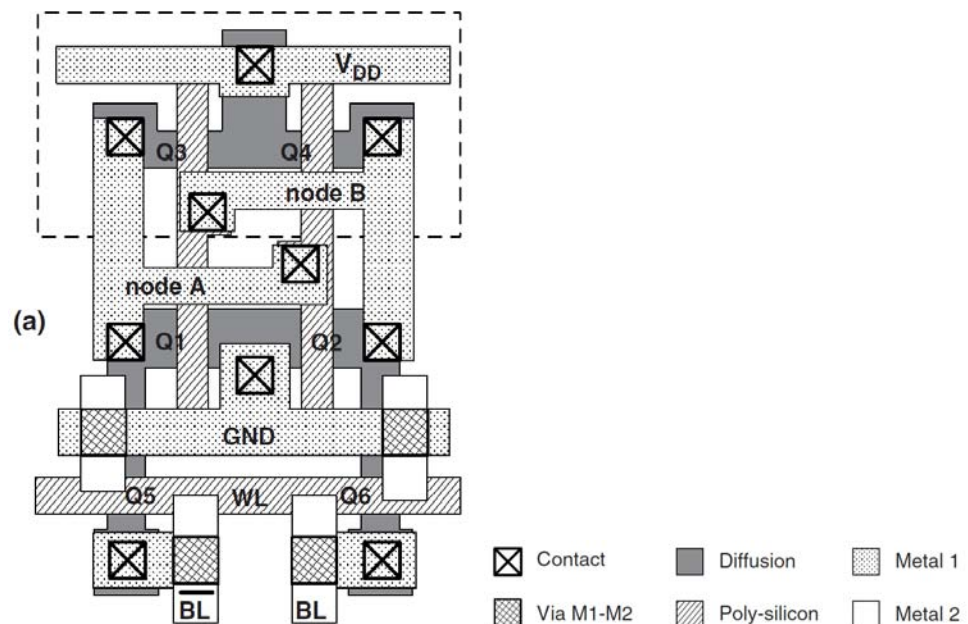


figura 3.15. *Layout* de una celda 6T. Se le denomina *layout* de tipo alto [PAV08, pág. 24].

Sin embargo, para tecnologías nanométricas y en especial a partir de nodo de 90 nm reproducir correctamente los patrones de los *layouts* expuestos anteriormente se ha convertido en un reto difícil de conseguir, especialmente si se desea no tener una elevada dispersión de parámetros [PAV08, pág. 24]. Por este motivo, a partir de la tecnología de 90 nm se impuso la utilización de otro *layout* al que suele denominarse “*layout ancho*” en contraposición con el *layout* alto anteriormente descrito. En la siguiente figura puede verse la representación de una celda de *layout ancho*:

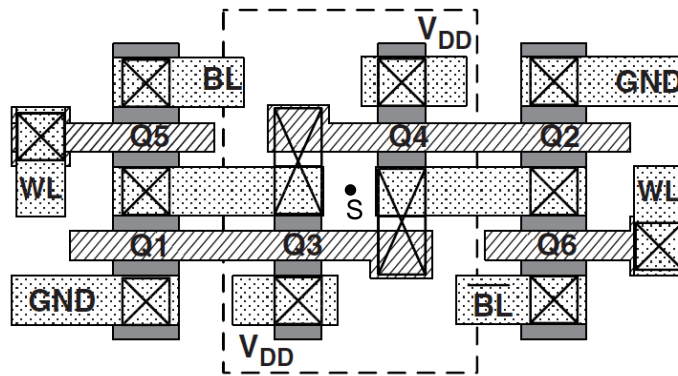


figura 3.16. Representación de una celda SRAM 6T de *layout ancho* [PAV08, pág. 24].

Este *layout* ofrece mejores prestaciones en términos del control de la variación de parámetros que los de tipo alto. A esta celda se la denomina también “celda litográficamente simétrica (LS-cell)” [OSA01] ya que, aunque no tiene ningún eje de simetría en el plano, presenta simetría rotacional respecto su punto central (punto S) para un ángulo de 180°. Esto implica que todos los transistores del mismo tipo tienen a su alrededor los mismos patrones tanto de polisilicio como de otros transistores. Aunque no se encuentre representado en la figura 3.16 esto último se cumple también para todas las capas de metales de interconexión, tal y como se detalla en el apartado 5.3.1.1 en la página 131. Además, las líneas de polisilicio se encuentran todas dispuestas en la misma dirección y alineadas, de esta forma se posibilita un mejor control de sus dimensiones críticas ya que facilita la implementación de técnicas de desplazamiento de fase y se minimizan los problemas de proximidad de polisilicio [WON05].

En los diseños tradicionales de celdas SRAM es habitual que los transistores nMOS de paso y los que forman parte de los inversores no tengan el mismo ancho. Esto tiene como objetivo adecuar las fortalezas de los transistores a los requerimientos del diseño de la celda y se ha expuesto detalladamente en el apartado 3.1.1 en la página 33. Si se analiza la repercusión de tener transistores nMOS con anchos diferentes en el *layout* litográficamente simétrico, se llega a la conclusión de que implica la introducción de curvas y cambios de ancho en las

regiones activas (figura 3.17-a). Cada uno de estos cambios de ancho constituye una esquina que, una vez transferida sobre el silicio, sufrirá una cierta distorsión. El resultado es que los diseños de celdas que incluyen cambios de ancho en las zonas activas son más sensibles a los errores de alineación del polisilicio que los que no los incluyen. Esto se debe a que pequeños errores en el posicionado sobre el eje vertical del polisilicio conllevan diferencias de solapamiento entre el polisilicio y la zona activa que, a su vez, ocasionan diferencias respecto a las características nominales de los transistores.

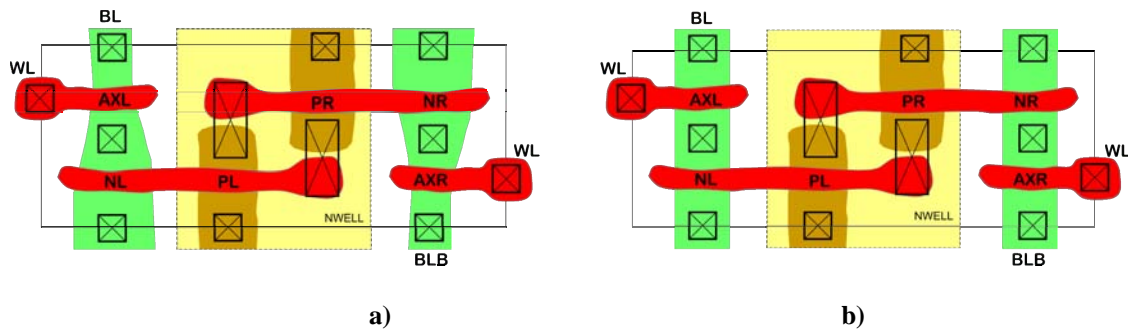


figura 3.17. Representación esquemática del layout de una celda SRAM 6T a) con curvas en las difusiones b) sin curvas en las difusiones.

En cambio, el layout de la (figura 3.17-b), tiene el ancho de las zonas activas constante. Por tanto, una cierta desalineación del polisilicio no conlleva variaciones del área de solapamiento con la zona activa y, por tanto, contribuye a limitar las diferencias entre las características de los transistores.

Para tecnologías nanométricas resulta conveniente no solamente utilizar la celda litográficamente simétrica sino que además es interesante usar su versión sin cambios de ancho. Este tipo de celda sin variaciones de ancho, la forma de las difusiones es completamente rectangular y por ello se le denomina a veces “layout de difusión rectangular”. Este layout es el que se ha elegido para implementar las celdas SRAM de 6T, para las de 8T se ha utilizado una variación del mismo que consiste en añadir los dos transistores de la etapa de lectura a un lado de la celda respetando la no inclusión de curvas en las difusiones y que todas las líneas de polisilicio estén alineadas en la misma dirección.

De ahora en adelante, a la celda con layout ancho o litográficamente simétrica en su configuración de layout de difusión rectangular la denominaremos celda de layout regular.

Es importante remarcar que utilizar este tipo de celda implica ciertas restricciones en el las medidas de los transistores. Sus implicaciones se analizan con detalle en el apartado 4.4.2 en la página 102.

A continuación pueden verse una representación esquemática del *layout* elegido para los dos tipos de celda:

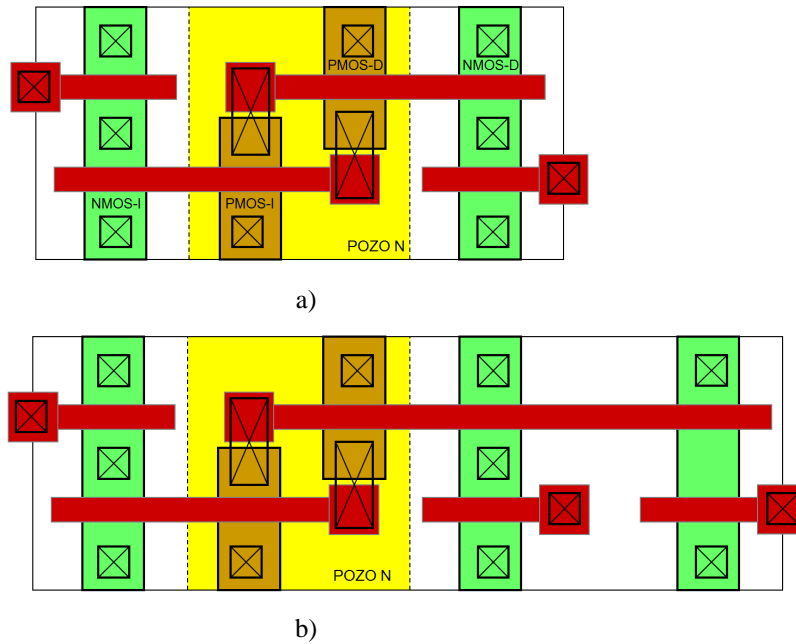


figura 3.18. Representación esquemática de un *layout* de tipo regular. a) celda 6T. b) celda 8T.

Los *layouts* definitivos utilizados para la fabricación de la memoria pueden verse en el apartado 5.3.1 en la página 130. En la siguiente figura puede verse una fotografía de un *layout* real en donde se aprecian las características mencionadas en este apartado: Difusiones rectangulares y líneas de polisilicio alineadas.

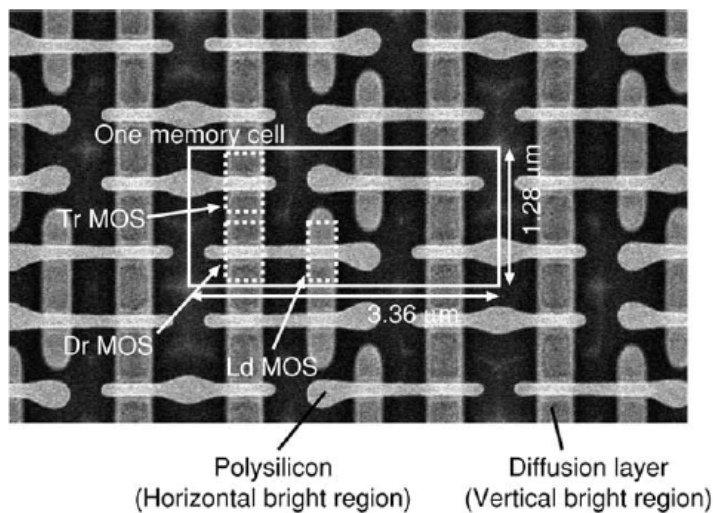


figura 3.19. Fotografía de un *layout* regular [YAM04].

3.5. Eventos transitorios de la radiación en memorias SRAM

En este apartado se detalla el mecanismo mediante el que estos SEEs pueden generar SEUs en memorias SRAM.

3.5.1. Efecto del impacto de una partícula en una celda de memoria SRAM. El SEU

En el capítulo 2 se ha descrito como el impacto de una partícula energética en un circuito es capaz de provocar una recogida de carga en uno de sus nodos. El mecanismo puede resumirse de la siguiente manera: El paso de una partícula energética crea pares electrón hueco por alguno de los mecanismos de ionización descritos en el apartado 2.2.3 de la página 20. Si esta traza de ionización atraviesa o se halla en las proximidades de un nodo sensible del circuito, normalmente el drenador de un transistor en corte, parte de estos portadores que ha quedado libres pueden ser recogidos por dicho drenador. Esto provoca la aparición de un pulso de corriente transitorio que a su vez provoca un cambio en la tensión del nodo afectado. En el caso de celdas SRAM, si el pulso es lo suficientemente grande puede ocasionar un cambio en el valor que almacena la celda. Este fenómeno se conoce como *Single Event Upset* (SEU).

Cuando el impacto de la partícula se produce cerca de la unión n+/p polarizada en inversa (unión drenador-sustrato de un nMOS en corte), el nodo n+ (drenador) recoge los electrones generados y, por tanto, se produce una disminución transitoria de la tensión del nodo. En cambio, si el impacto se produce cerca de una unión p+/n polarizada en inversa (unión drenador-sustrato de un pMOS en corte), el nodo p+ (drenador) atrae parte de los huecos generados y, por tanto se produce un incremento transitorio de la tensión del nodo [DOD94].

Teniendo en cuenta todo lo expuesto en este apartado, cabe distinguir dos mecanismos de generación de SEUs (ver figura 3.20).

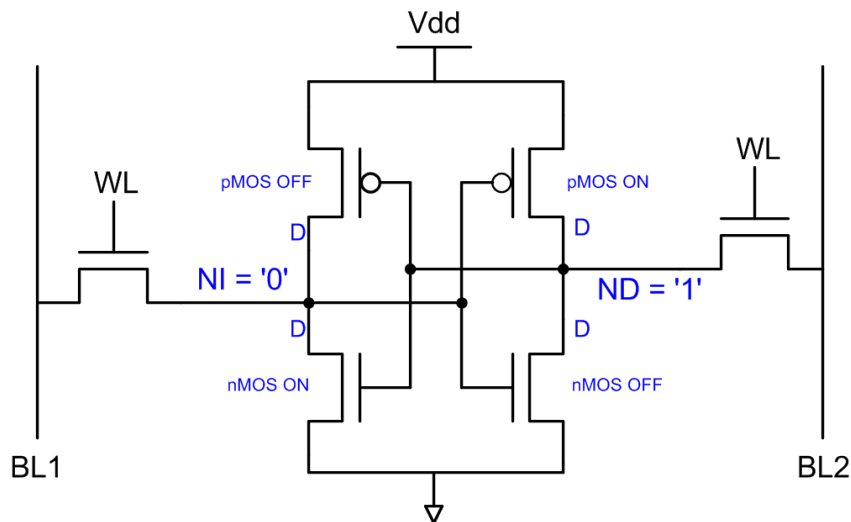


figura 3.20. Representación esquemática de una celda SRAM en la que se explicita el estado de los transistores para el caso en que el nodo RN se encuentra a nivel alto i el LN a nivel bajo.

- Si el paso de la partícula afecta al drenador del transistor nMOS que está en corte (nodo RN), la corriente generada por la carga recogida provoca la disminución de la tensión de dicho nodo. En esta situación, RN se encontraba a nivel alto, por tanto, si la magnitud del impacto es suficiente, puede llegar a provocar que el nodo alcance transitoriamente un valor lo suficientemente bajo como para que el otro inversor (que tiene por entrada RN) incremente la tensión del nodo LN. Si la magnitud de este cambio es suficiente, la propia realimentación de la celda se encarga de continuar disminuyendo la tensión de RN y aumentando la de LN hasta que se produce la inversión permanente del estado de la celda.
- Si el paso de la partícula afecta al drenador del transistor pMOS que está en corte (nodo LN), la corriente generada por la carga recogida provoca un incremento en la tensión de dicho nodo. En esta situación, LN se encontraba a nivel bajo, por tanto, si la magnitud del impacto es suficiente, puede llegar a provocar que el nodo alcance transitoriamente un valor suficientemente alto como para que el otro inversor (que tiene por entrada LN) disminuya la tensión del RN. Si la magnitud de este cambio es suficiente, la propia realimentación de la celda se encarga de continuar incrementando la tensión de LN y disminuyendo la de RN hasta que se produce la inversión permanente del estado de la celda.

Hay que tener en cuenta que, puesto que la celda está formada por dos inversores realimentados, nivel de tensión de los nodos está mutuamente reforzado. Cuando, por efecto del impacto de una partícula, el valor de tensión de uno de los nodos empieza a degradarse, al principio hay que vencer la oposición de la realimentación de la celda que tiende a oponerse al cambio. Pero, una vez que se ha vencido esta oposición, la propia realimentación de la celda ayuda a que se finalice la inversión del valor de tensión de los dos nodos. En la figura 3.21 puede verse el comportamiento por simulación de los dos nodos de una celda durante un cambio de estado causado por el impacto de una partícula, es decir durante un SEU. El modelo utilizado para simular el efecto del impacto de la partícula está descrito con detalle en el apartado 4.2 en la página 69.

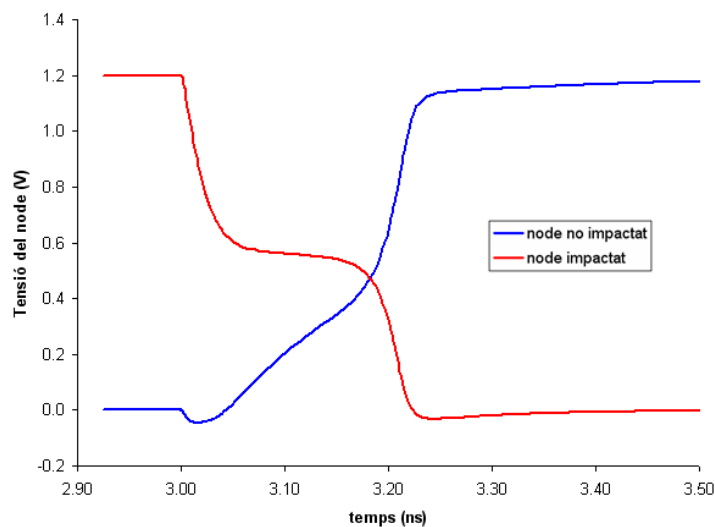


figura 3.21. Simulación del comportamiento de los dos nodos de una celda durante un SEU.

La dinámica de estas transiciones se explica con mayor detalle en el apartado 4.3.2 en la página 81.

Cuando se produce un SEU, los dos nodos internos de una celda SRAM acaban cambiando de nivel de tensión. Sin embargo, en los casos en que se conoce el nodo que ha recibido el impacto (por ejemplo cuando se realiza una simulación), es útil diferenciar entre dos tipos de cambio de estado de la celda:

- Transición de 1 a 0: cuando el nodo afectado se encuentra a nivel alto y pasa a nivel bajo. Lo llamaremos $SEU_{1 \rightarrow 0}$.
- Transición de 0 a 1: cuando el nodo afectado se encuentra a bajo y pasa a nivel alto. Lo llamaremos $SEU_{0 \rightarrow 1}$.

Cabe remarcar que esta diferenciación es independiente de la convención escogida para el valor de los nodos que representan el estado lógico de la celda (ver apartado 3.1 en la página 32).

Tal y como se ha justificado anteriormente, el $SEU_{1 \rightarrow 0}$ está provocado por una recogida de electrones en el drenador de un nMOS en corte, mientras que el $SEU_{0 \rightarrow 1}$, por una recogida de huecos en el drenador de un pMOS en corte.

Existen estudios en los que se afirma que el $SEU_{1 \rightarrow 0}$ es mucho más probable que el $SEU_{0 \rightarrow 1}$ [HEI05]. Esto se debe a que la movilidad de los huecos es menor que la de los electrones y, además, la eficiencia en la recogida de carga de un transistor pMOS es menor que la de un nMOS.

El término SEU hace referencia al cambio del valor almacenado de una celda. Sin embargo, los portadores generados por el paso de la partícula pueden provocar cambios en más de una celda vecina. Esto sucede en grupos de celdas que se encuentran cerca de la traza de ionización creada por la partícula. En este caso, se produce lo que se denomina *Multiple Cell Upset (MCU)* y que ya ha sido definido anteriormente en el apartado 2.2.2 en la página 17.

3.5.2. Medidas de robustez a *soft errors*

La robustez de una memoria SRAM a *soft errors* puede medirse desde dos puntos de vista diferentes: A nivel de la memoria completa o a nivel de cada una de las celdas que la integran.

a) Medida de la robustez a *soft errors* a nivel de celda

Para medir la robustez a la radiación a nivel de celda suele utilizarse el parámetro carga crítica. Mide la capacidad de una celda de soportar una inyección de carga causada por la interacción de una partícula energética con el circuito sin cambiar de estado. Es decir, no mide directamente la capacidad de soportar el paso de un determinado tipo de partícula con una determinada energía y que haya depositado una cierta cantidad de carga, sino que la robustez que mide depende de la cantidad de carga depositada que haya sido efectivamente colectada por un nodo de la celda. La cantidad de carga colectada depende de múltiples factores normalmente difíciles de evaluar o conocer como por ejemplo el ángulo de incidencia de la partícula o la

distancia a la que pasa del nodo sensible. También depende de factores tecnológicos tal y como se detalla en el apartado 3.5.3.

Por tanto, la carga crítica se define como la mínima carga eléctrica que es capaz de cambiar el estado de una celda SRAM. Se ha comprobado que el valor de la carga crítica depende también de la forma concreta del pulso de corriente que genera la recolección de carga en el nodo sensible [JAI07]. Sin embargo, a pesar de los inconvenientes que presenta utilizar la carga crítica como parámetro de medida de la robustez, es un parámetro ampliamente utilizado, la razón estriba en que puede calcularse con relativa facilidad por simulación y por tanto puede calcularse en la fase de diseño de una celda.

b) Medida de la robustez a *soft errors* a nivel de la memoria completa

El parámetro que se utilizará en esta tesis para medir la robustez de una SRAM a nivel de toda la memoria es el SER. El SER mide el número de *soft errors* por unidad de tiempo que sufre una memoria bajo unas condiciones de operación y de entorno concretas. La principal ventaja de medir la robustez a la radiación de una memoria con este parámetro es que representa una medida de la tasa de fallos que, bajo las circunstancias en las que se ha obtenido, presentará el circuito. Sin embargo, tiene también algunos inconvenientes importantes que se describen a continuación. Solamente es posible medir el SER directamente si se dispone de la SRAM fabricada y puede medirse bajo las condiciones en las que se desea calcularlo. La tasa de fallos en muchos casos puede ser baja y, por tanto, un cálculo directo del SER puede requerir mucho tiempo y resultar poco práctico. Por este motivo, suelen utilizarse métodos acelerados de test que, en líneas generales, consiste en someter al circuito a un entorno con más radiación (Ver apartado 2.4 en la página 29). En este caso el SER que se obtiene es el que corresponde a las condiciones de medida, no el SER de las condiciones originales para las que quería obtenerse. Para determinar este último, se utilizan modelos que relacionan los valores de SER obtenidos en diferentes condiciones.

Hay que tener en cuenta que el SER depende del tamaño en bits de la memoria. En igualdad de condiciones una memoria más grande tendrá una tasa de fallos mayor que una más pequeña. Por último, cabe destacar que el SER refleja la influencia de todas

las técnicas de mitigación de los efectos de la radiación que implemente la memoria, desde los que actúan a nivel de tecnología hasta los que actúan a nivel de sistema.

Existen modelos que permiten calcular el SER a partir de la carga crítica y otros parámetros, uno de estos modelos se describe en el apartado siguiente. A partir del SER se pueden calcular otros parámetros como por ejemplo el FiT.

3.5.3. Relación entre carga crítica y SER

La carga crítica es un parámetro ampliamente utilizado para caracterizar la robustez frente a eventos transitorios inducidos por radiación en celdas SRAM. Sin embargo, para estudiar la robustez a nivel de memoria completa suele utilizarse el *Soft Error Rate (SER)*.

Los parámetros SER y carga crítica se encuentra relacionados, pero para determinar el SER a partir de la carga crítica es necesario conocer otros parámetros como las condiciones de operación, la arquitectura de la memoria, características concretas de implementación del circuito y parámetros tecnológicos que pueden ser difíciles de averiguar. En esta sección se describe cómo puede calcularse el SER a partir de la carga crítica mediante un modelo que utiliza diversos parámetros para tener en cuenta todos los factores restantes que influyen en el SER. Se trata de un modelo semiempírico propuesto en [HEI05] y utilizado por ejemplo en [SEI06] que para un estado j y para un determinado tipo de radiación el SER puede expresarse como:

$$SER_j = \kappa \Phi_{rad} \sum_n A_{dif}^n e^{-\frac{Q_{crit}^{n,j}}{Q_s}} \quad (Ec. 3.4)$$

donde:

SER es el *soft error rate* del circuito en el estado j .

κ es un parámetro de escalado.

Φ_{rad} es el flujo de radiación.

Q_s es un parámetro que representa la carga colectada y que depende de la tecnología y del tipo de radiación.

A_{dif}^n es el área del nodo n sensible al impacto del tipo de partículas de la radiación en cuestión.

Q_{crit} es la carga crítica del nodo n en el estado j .

Según la ecuación anterior, la carga crítica influye de forma exponencial en el valor del SER, a mayor carga crítica, menor SER y viceversa. Sin embargo, la influencia de la carga crítica en el SER está también influenciada fuertemente por el parámetro Q_s . A igualdad de carga crítica, un nodo con una Q_s pequeña tiene un SER menor que un nodo con una Q_s mayor y viceversa. Además, la sensibilidad del SER a variaciones de Q_{crit} depende también del parámetro Q_s .

Para calcular Q_s a veces se recurre a simuladores 3D pero es un parámetro difícil de calcular. El valor de Q_s depende de parámetros tecnológicos, por ejemplo en [ROC05, se hace un estudio de su dependencia con V_t (debido a la densidad de dopado del canal), un transistor con un mayor dopado de canal y, por tanto, mayor V_t muestra una Q_s menor. Es decir que es menos eficiente a la hora de recolectar carga. Q_s depende también de la utilización o no de anillos de guarda y en caso de ser utilizados de su diseño concreto ya que influye en la distancia entre las zonas sensibles y los contactos de polarización [NAR08].

Hay que destacar que la Q_s para los transistores nMOS es mayor que la Q_s para los pMOS, por este motivo la influencia en el SER del impacto de una partícula en un drenador de un nMOS es mayor que en el drenador de un pMOS, en [HAZ00] se afirma que la Q_s de un nMOS es unas 100 veces mayor que la de un pMOS.

Para la determinación del SER en una memoria hay que tener en cuenta otros parámetros que se detallan a continuación:

El número total de celdas de la memoria, es decir la capacidad de la memoria. Vendrá determinado por el número de palabras y por la longitud en bits de cada palabra.

La carga de trabajo de la memoria, es decir la frecuencia con la que se accede a una celda influye en el SER final. Hay que recordar que en una memoria 6T las hay celdas *half-selected* durante las lecturas y las escrituras, mientras que en una memoria 8T solamente las hay durante la escrituras, por tanto la influencia de la carga de trabajo en el SER será menos importante en memorias 8T.

3.6. Medidas de la fiabilidad. Estabilidad y robustez frente efectos transitorios inducidos por radiación

La fiabilidad se mide habitualmente mediante diversos parámetros como por ejemplo *Failure in Time (FIT)*, *Mean Time Between Failure (MTBF)* o *Soft Error Rate (SER)*. Las definiciones de estas magnitudes se han realizado en el apartado 2.3 en la página 24. Cabe remarcar que, a diferencia de las dos primeras, el SER se utiliza solamente para *soft errors*. Incrementar la fiabilidad se traduce en reducir el FIT, aumentar el MTBF o disminuir el SER.

Se ha justificado que para tener una buena fiabilidad es necesario que las celdas sean tanto estables como robustas a los efectos transitorios debidos a radiación. Existen dos parámetros de amplio uso para medir estabilidad y robustez y son los que se ha decidido utilizar en esta tesis. Para medir la estabilidad a nivel de celda se utilizará el denominado “margen estático de ruido” y suele abreviarse como SNM (*Static Noise Margin*). Para medir la robustez frente a efectos transitorios debidos a radiación se utilizará a nivel de celda la carga crítica que suele abreviarse como Q_{crit} . A nivel de memoria se utilizará el SER.

El SNM, tal y como su nombre sugiere, es un parámetro estático y se utiliza para medir la estabilidad de una celda frente a perturbaciones estáticas. Cuantifica la cantidad de ruido en forma de voltaje DC que puede haber a la salida de los inversores realimentados sin que se provoque que la celda cambie el valor que almacena. Para calcularlo se superponen las dos curvas de transferencia de los dos inversores de la celda tal y como puede verse en la siguiente figura:

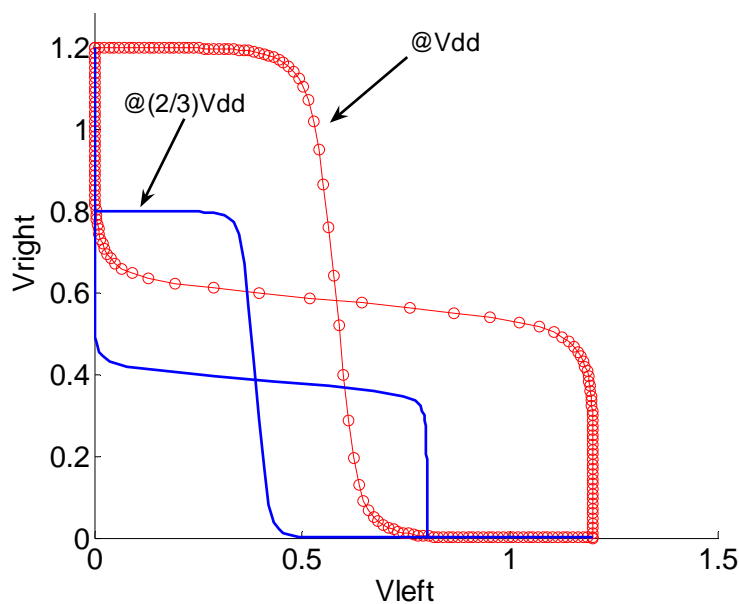


figura 3.22. Diagrama en forma de mariposa utilizado para calcular el SNM

El SNM se define como la medida del lado del mayor cuadrado que puede inscribirse dentro de uno de los lóbulos del diagrama en forma de mariposa. Si los dos lóbulos no son iguales se utiliza el valor más restrictivo. Cuanto menor sea el SNM más probable será que la celda tenga un funcionamiento erróneo cuando se encuentre con condiciones desfavorables de operación.

La carga crítica es un parámetro dinámico y se utiliza para medir la estabilidad o robustez de la celda frente a perturbaciones dinámicas como por ejemplo las producidas por el impacto de partículas. Como se ha visto anteriormente, una partícula que interacciona con el circuito puede inyectar carga en un determinado nodo del mismo. La carga crítica para una celda SRAM se define como la mínima carga que un nodo de dicha celda tiene que recoger para que se produzca el cambio de estado de la celda. Esta carga mínima depende de la forma del pulso de corriente que inyecta la carga. Su elección será importante y deberá hacerse de acuerdo con el tipo de radiación que quiera estudiarse. El método para calcular la carga crítica está descrito con detalle en el apartado 4.2.2 en la página 73.

El SER representa el número de errores que se producen por unidad de tiempo. Tiene sentido calcularlo tanto para el conjunto de la memoria como para una celda en particular. Cuanto mayor sea el SER más susceptible a la radiación será el circuito en cuestión.

Con los tres parámetros aquí introducidos (SNM, carga crítica y SER) es posible cuantificar los dos factores que afectan a la fiabilidad de la celda que se pretenden estudiar en esta tesis: la robustez a los efectos transitorios de la radiación y la estabilidad de la celda.

Capítulo 4

Optimización de celdas SRAM nanométricas. Tolerancia a SEUs

En este capítulo se presentan y estudian por simulación varias técnicas cuyo objetivo es permitir el diseño de celdas SRAM más robustas a los efectos transitorios debidos a radiación. De entre todos estos efectos, el capítulo hace referencia únicamente a SEUs (definidos en el apartado 2.2.2 en la página 17). El desarrollo y estudio de estas técnicas constituye el primero de los objetivos marcados para esta tesis y se desarrolla a lo largo del presente capítulo.

Para evaluar la robustez en una celda a los efectos transitorios debidos a radiación, se ha utilizado el parámetro carga crítica (ver apartado 3.5.2), es decir, es la carga mínima que debe inyectarse en un nodo de una celda para provocar su cambio de estado lógico. En este capítulo diremos que una celda es más robusta que otra si tiene mayor carga crítica. Sin embargo, hay que tener presente que la relación entre carga crítica y SER depende de otros parámetros tal y como se ha explicado en el apartado 3.5.3. En el capítulo 6, se presentan resultados experimentales de SER para algunas de las técnicas estudiadas en este capítulo y se compran los resultados con los de carga crítica.

La carga crítica se ha obtenido por simulación tal y como se describe en el apartado 4.2 a partir de la página 69. El cálculo de la carga crítica ayuda a cuantificar la eficacia de cada una de las técnicas y permite decidir la conveniencia de implementarla en la memoria que se ha diseñado y fabricado y que se describe en el capítulo 5 a partir de la página 123. Además, las simulaciones han servido también para determinar los parámetros de diseño adecuados para las diferentes partes que integran la memoria.

El incremento de robustez de una celda puede hacerse de dos maneras: modificando la propia celda o cambiando sus condiciones de operación. En este capítulo se presentan técnicas que abordan el problema desde estos dos enfoques. Sin embargo, queda fuera del objetivo de este trabajo el estudio de otras técnicas que no inciden directamente en el aumento de robustez de una celda individual, como por ejemplo la inclusión de módulos redundantes o la utilización de códigos de detección y corrección de errores.

Además, las técnicas de mejora de la robustez propuestas no tienen que suponer una degradación excesiva de otros parámetros característicos de la celda tales como área, consumo, tiempo de acceso o estabilidad. Asimismo, tienen que ser compatibles con las tecnologías de fabricación habituales y con técnicas de minimización del impacto de la variabilidad.

4.1. Simulación. Tipos y características

Existen dos grandes tipos de simulaciones para estudiar SEEs en general y SEUs en particular en circuitos electrónicos:

Los primeros se denominan normalmente simuladores 3D. Simulan a nivel de dispositivo la reacción del circuito a una inyección de carga causada por el paso de una partícula energética. La deposición de esta carga se calcula mediante modelos que tienen en cuenta diversos factores como la naturaleza de la partícula, su energía y parámetros tecnológicos del dispositivo. Posteriormente, se resuelven las ecuaciones diferenciales que rigen el transporte de los portadores generados. La resolución dichas ecuaciones diferenciales se realiza teniendo en cuenta la estructura tridimensional del dispositivo normalmente mediante métodos de elementos finitos. Este tipo de simulaciones ofrecen buenos resultados pero son computacionalmente costosas y suelen utilizarse para la optimización desde el punto de vista de parámetros tecnológicos. También resultan muy útiles para determinar las características

del transitorio de corriente que se produce en un nodo sensible debido al paso de una partícula energética. Es decir, el pulso de corriente debido a la recogida de la carga depositada por la partícula. Los parámetros que definen las características del pulso de corriente generado son básicamente la forma, la intensidad y la duración del pulso. Con los simuladores 3D puede determinarse la dependencia de estos parámetros con el tipo de partícula, la distancia entre la traza de la partícula y el nodo sensible, así como también con su ángulo de incidencia. Por tanto, estos simuladores son el complemento ideal para los simuladores a nivel eléctrico que se describen a continuación.

Las simulaciones a nivel eléctrico estudian los SEEs, y en particular los SEUs, mediante la inyección en los nodos sensibles de pulsos de corriente. Estos pulsos tienen que ser representativos del efecto causado por la recolección de la carga generada por el paso de una partícula energética. La inyección de pulsos de corriente provoca cambios en el circuito que permiten estudiar y optimizar su comportamiento frente a eventos transitorios debidos a radiación. En el caso de las celdas SRAM, permiten obtener el parámetro carga crítica, de manera que se puede evaluar la robustez para SEUs de una determinada celda y compararla con otras. Este tipo de simulaciones son mucho menos costosas computacionalmente que las 3D y, por este motivo, permiten realizar estudios en los que realicen exploraciones exhaustivas de otros parámetros de diseño del circuito bajo estudio. Las simulaciones eléctricas son el tipo de simulación elegida para esta tesis, sus características concretas se describen a continuación.

4.2. Características de las simulaciones realizadas

En este apartado se describe el método seguido para obtener la carga crítica en una celda de memoria SRAM.

Se parte de un esquema eléctrico de la celda SRAM a nivel de transistor al que se le añade, en uno de sus nodos, una fuente de corriente con el objetivo de modelar el efecto producido por el impacto de una partícula. Las características específicas de la fuente de corriente se describen detalladamente en el apartado 4.2.1 en la página 71. Para observar el efecto de la inyección de carga efectuada por la fuente de corriente, se realiza un análisis transitorio mediante un simulador eléctrico, en este caso Spectre®, y se monitorizan tanto el voltaje como la corriente de los nodos de la celda.

Este procedimiento se ha utilizado para estudiar en profundidad el comportamiento de dos tipos de celda: la celda 6T y la celda 8T (ver el apartado 3.1 en la página 32).

Una celda SRAM de 6T que tenga los dos inversores iguales tiene simetría derecha-izquierda, por tanto, los nodos ND y NI son equivalentes y solamente es necesario incluir la fuente de corriente en uno de los dos. En la figura 4.1 se representa la ubicación de la fuente de corriente así como el sentido de la corriente en función del tipo de SEU que se pretenda modelar. La figura 4.1-a representa la configuración para un SEU que haga pasar el nodo ND de nivel alto a nivel bajo, a lo que denominaremos $SEU_{1 \rightarrow 0}$, mientras que la figura 4.1-b representa el caso de un SEU que haga pasar el nodo ND de nivel bajo a nivel alto o $SEU_{0 \rightarrow 1}$.

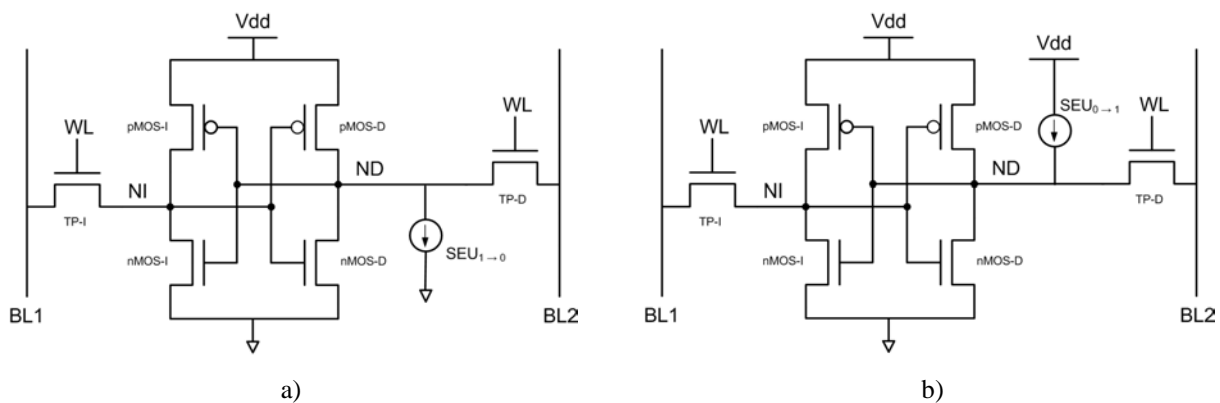


figura 4.1. Circuito de una celda SRAM 6T con una fuente para la inyección de pulsos de corriente. a) paso del nodo ND de nivel alto a nivel bajo. b) paso del nodo ND de nivel bajo a nivel alto.

En cambio, una celda SRAM 8T, debido a la presencia de la etapa de lectura, es intrínsecamente asimétrica derecha-izquierda y, por tanto, los nodos ND y NI no son equivalentes. Por este motivo, hay que contemplar 4 casos diferentes:

- paso de nivel alto a nivel bajo del nodo ND.
- paso de nivel bajo a nivel alto del nodo ND.
- paso de nivel alto a nivel bajo del nodo NI.
- paso de nivel bajo a nivel alto del nodo NI.

Los circuitos correspondientes para modelar cada uno de estos casos pueden verse en la siguiente figura:

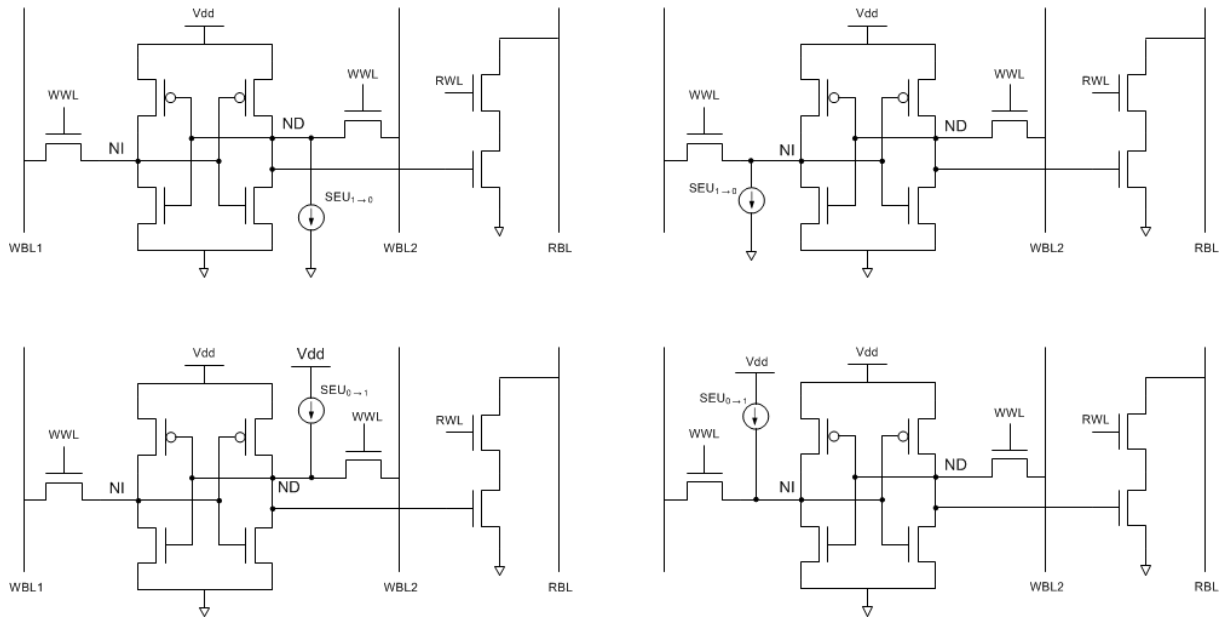


figura 4.2. Circuitos de una celda SRAM 8T con una fuente para la inyección de corriente para la simulación de los 4 casos posibles.

Si no se indica lo contrario, todos los resultados presentados en esta tesis corresponden a una tecnología de 65 nm y a transistores *Standard V_t (SVT) Low Power (LP)*. En el apartado 4.4.1 en la página 96 se describe con mayor profundidad las diferentes V_t que ofrece la tecnología.

4.2.1. Modelo de la fuente de corriente

Existen estudios que ponen de manifiesto que la interacción de partículas energéticas con los circuitos genera pulsos de corriente de duraciones diferentes y que dependen de múltiples factores como por ejemplo: el tipo de partícula, su energía, el ángulo de incidencia o la distancia al nodo sensible [HEI06]. Además, la forma del pulso de corriente influye notablemente en el valor de carga crítica [JAI07]. Por este motivo, el tipo de forma de onda del pulso de corriente a inyectar en las simulaciones es un factor que debe elegirse adecuadamente. Para esta tesis se ha decidido utilizar una de las formas de onda más utilizadas denominada doble exponencial. Su elección se debe a que permite modelar de manera bastante fidedigna el comportamiento eléctrico de la celda frente al paso de una partícula, así como a la buena concordancia de los resultados que ofrece si se comparan con

los resultados obtenidos mediante análisis con simuladores 3D. Esta forma de onda se describe mediante la siguiente expresión:

$$i(t) = i_0 \left(e^{-\frac{t-t_0}{\tau_1}} - e^{-\frac{t-t_0}{\tau_2}} \right) \quad (\text{Ec. 4.1})$$

donde:

$i(t)$: intensidad de corriente en el instante t .

i_0 : parámetro de escalado de la intensidad de corriente.

τ_1 : constante de tiempo que determina el tiempo de bajada de la intensidad de la corriente.

τ_2 : constante de tiempo que determina el tiempo de subida de la intensidad de la corriente.

t_0 : instante de tiempo en el que comienza el pico de corriente.

A continuación puede verse un ejemplo de forma de onda doble exponencial con los siguientes parámetros $t_0=0$, $\tau_1=10$ ps, $\tau_2=1$ ps, $i_0=800$ μA :

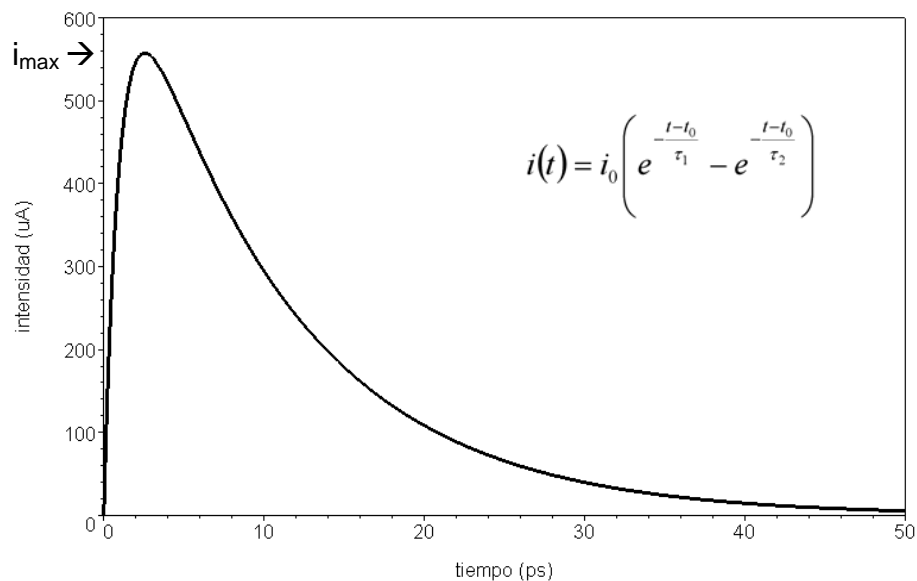


figura 4.3. Ejemplo de pulso de corriente doble exponencial

Nótese que el valor de i_0 no se corresponde con el máximo de la curva. A este máximo lo denominaremos i_{\max} y puede calcularse mediante la expresión:

$$i_{\max} = i_0 \left(K^{K_2} - K^{K_1} \right) \quad \text{con:} \quad K = \frac{\tau_1}{\tau_2}, \quad K_1 = \frac{\tau_1}{\tau_2 - \tau_1}, \quad K_2 = \frac{\tau_2}{\tau_2 - \tau_1} \quad (\text{Ec. 4.2})$$

El instante de tiempo en que se produce i_{\max} viene dado por la expresión:

$$t_{\max} = \frac{\tau_1 \cdot \tau_2}{\tau_2 - \tau_1} \ln\left(\frac{\tau_1}{\tau_2}\right) + t_0 \quad (\text{Ec. 4.3})$$

La carga total inyectada es el área bajo la curva $i(t)$ y puede calcularse mediante la expresión:

$$Q = \int_{t_0}^{\infty} i(t) dt = i_0(\tau_1 - \tau_2) \quad (\text{Ec. 4.4})$$

Anteriormente se ha mencionado que la duración del pulso es un parámetro clave que influye en los resultados de carga crítica. En el caso de una forma de onda doble exponencial, matemáticamente tiene una duración infinita. No obstante, la intensidad tiende a cero y su valor puede considerarse despreciable a partir de cierto instante de tiempo. Para el presente estudio, se ha definido como ancho del pulso al tiempo entre el inicio y el instante en que la intensidad cae por debajo del 0,67% del valor de i_0 . Esto corresponde a 5 veces la constante de tiempo de bajada τ_1 .

Las corrientes generadas por un SEU tienen anchos de pulso muy diferentes pero típicamente están comprendidos entre unos cuantos picosegundos y centenares de picosegundos [WAL05]. Por este motivo, una de las tareas que se han efectuado en esta tesis ha sido la exploración de diversos rangos de anchos de pulso.

Otra característica propia de los pulsos inducidos por los SEUs es que tienen un tiempo de subida más corto que el tiempo de bajada. Para este estudio, si no se indica lo contrario, se ha utilizado una relación τ_1/τ_2 de 10. Una vez establecida una relación entre las dos constantes de tiempo, un pulso de corriente doble exponencial que empieza en un determinado instante queda caracterizado por dos parámetros:

- El ancho del pulso.
- El parámetro i_0 .

4.2.2. Algoritmo para la determinación de la carga crítica

En este apartado se describe la base teórica y la implementación del algoritmo que se ha utilizado para calcular la carga crítica.

Fundamentos:

La carga crítica de una celda de memoria se calcula mediante simulaciones eléctricas transitorias. El primer paso para determinarla es conseguir que la celda almacene un valor conocido, es decir que los dos nodos de la celda tengan un nivel de tensión determinado y conocido. Esto se lleva a cabo mediante el proceso de escritura descrito en el apartado 3.1.1.1 en la página 35.

Una vez conocidos los valores iniciales de los nodos de una celda, para saber si un determinado pulso de corriente es capaz de hacerla cambiar de estado, basta con comparar el valor de uno de los dos nodos de la celda antes y después del transitorio de corriente. Para medir el voltaje del nodo después de la inyección es necesario esperar el tiempo suficiente como para que la celda haya tenido tiempo de cambiar de estado. Si los valores de uno de los nodos antes y después de la perturbación coinciden, la celda no se ha visto perturbada lo suficiente como para cambiar de estado. Por el contrario, si los valores son opuestos, significa que la magnitud de la perturbación ha sido suficiente para generar un SEU.

Para calcular la carga crítica no es suficiente saber si un determinado pulso (con una determinada carga inyectada) es capaz de cambiar el estado de la celda, el objetivo del algoritmo tiene que ser determinar la mínima carga necesaria para conseguirlo.

Anteriormente se ha justificado que el tipo de pulso utilizado en este estudio queda definido por el ancho de pulso y por el parámetro i_0 .

La carga crítica depende del valor del ancho del pulso de corriente, por este motivo, es útil determinarla para un cierto ancho de pulso y, si conviene, realizar barridos con el ancho de pulso como parámetro. Para un cierto ancho de pulso, la determinación de la carga mínima capaz de provocar un cambio de estado de la celda se reduce a encontrar el pulso con menor valor de i_0 (menor altura) capaz de lograrlo. Una vez que se ha determinado este valor crítico de i_0 , el pulso crítico queda caracterizado y la carga crítica puede calcularse por integración numérica o mediante la ecuación 4.4.

Algoritmo:

En el apartado anterior se ha justificado que, una vez fijado un ancho de pulso, calcular la carga crítica se reduce a calcular el valor de i_0 crítico. Para encontrarlo podría utilizarse el siguiente método: empezar con un valor lo suficientemente pequeño de i_0 que no sea capaz de hacer cambiar el estado de la celda y aumentarlo en incrementos constantes hasta encontrar el primer valor de i_0 que provoque un cambio en la celda. Este método es sencillo y fácil de

implementar pero es computacionalmente costoso ya que requiere un gran número de simulaciones si quiere determinarse con precisión el valor de carga crítica o si es necesario explorar un rango muy grande de i_0 . Por ejemplo, si no se dispone de una primera estimación demasiado exacta del valor de carga crítica, puede ser necesario explorar diversos órdenes de magnitud de i_0 .

El procedimiento que se ha utilizado en esta tesis para determinar la carga crítica es un método iterativo que resulta computacionalmente mucho más efectivo. Está basado en el método de bisección tradicionalmente utilizado para encontrar raíces de ecuaciones continuas no resolubles analíticamente. Sin embargo, en lugar de buscar valores de x cuyas imágenes tengan diferente signo, busca valores de i_0 que provoquen efectos diferentes en la celda (cambio de estado o no cambio de estado). El algoritmo necesita una primera estimación de un intervalo de valores dentro del que se encuentre el valor de i_0 crítico. El algoritmo divide de manera recursiva el intervalo de i_0 en mitades y descarta aquella mitad en la que los dos valores extremos de i_0 produzcan el mismo tipo de efecto sobre la celda (ya sea cambio de estado o no cambio) y fija como nuevo intervalo de i_0 la otra mitad (aquella en la que los dos valores extremos de i_0 producen efectos diferentes en la celda). Este nuevo intervalo vuelve a dividirse en dos mitades, de las cuales una es descartada y la otra fijada como nuevo intervalo en función de los resultados de cambio de la celda. Este proceso se repite hasta que el valor de i_0 crítico queda acotado entre dos valores lo suficientemente cercanos.

El algoritmo puede esquematizarse de la siguiente manera:

- 1.- Asignación del intervalo de i_0 a considerar. El valor mínimo de i_0 ($i_{0 \text{ min}}$) tiene que ser lo suficientemente pequeño como para asegurar que no provoque un cambio en la celda. De la misma manera, el valor máximo de i_0 ($i_{0 \text{ max}}$) tiene que ser lo suficientemente grande como para asegurar que provoque un cambio de estado de la celda.
- 2.- simulación del comportamiento de la celda para los valores extremos del intervalo de i_0 considerado ($i_{0 \text{ min}}$, $i_{0 \text{ max}}$). Si los valores se han elegido correctamente $i_{0 \text{ min}}$ no tiene que provocar un cambio de estado de la celda, en cambio $i_{0 \text{ max}}$ sí tiene que hacerlo. Si esto no sucede, es necesario ampliar el intervalo.
- 3.- Simulación del comportamiento de la celda para el valor medio entre $i_{0 \text{ min}}$, $i_{0 \text{ max}}$ al que llamaremos $i_{0 \text{ med}}$.

3.1.- Si $i_{0 \text{ med}}$ no es capaz de provocar un cambio en la celda, el valor de i_0 crítico ($i_{0 \text{ crit}}$) se encuentra entre $i_{0 \text{ med}}$, $i_{0 \text{ max}}$. Por tanto, se fija como nuevo intervalo de i_0 el intervalo ($i_{0 \text{ med}}$, $i_{0 \text{ max}}$).

3.2.- Si $i_{0 \text{ med}}$ es capaz de provocar un cambio en la celda, el valor de i_0 crítico ($i_{0 \text{ crit}}$) se encuentra entre $i_{0 \text{ min}}$, $i_{0 \text{ med}}$. Por tanto, se fija como nuevo intervalo de i_0 el intervalo ($i_{0 \text{ min}}$, $i_{0 \text{ med}}$).

4.- El valor de i_0 crítico se encuentra comprendido entre los valores que se han asignado al intervalo de i_0 en el paso 3. Si el nivel de precisión conseguido para i_0 no es suficiente, se repite el paso 3. Si el nivel de precisión ya es suficiente, se puede encontrar el valor de carga crítica mediante integración numérica o mediante la ecuación 4.4.

Este algoritmo se ha implementado utilizando el lenguaje SKILL mediante un script de OCEAN (*Open Command Environment for Analysis*). OCEAN permite, durante la ejecución del programa, realizar las simulaciones del comportamiento de la celda SRAM con el simulador SPECTRE®.

4.3. Estudio de comportamiento de una celda SRAM desde el punto de vista de la carga crítica

En este apartado se describe resultados generales del comportamiento de una celda cuando se simulan los efectos del impacto de una partícula energética mediante la inyección de un pulso de corriente.

En primer lugar se muestra la influencia del ancho de pulso sobre el valor de carga crítica y de pico de corriente crítica. A continuación, se estudia el comportamiento dinámico de la celda frente a perturbaciones que se encuentran en el umbral de provocar un cambio de estado de la celda. Después, se describe el efecto de la tensión de alimentación en la carga crítica. Finalmente, se estudia el comportamiento de la celda frente al efecto del impacto de una partícula durante una lectura.

4.3.1. Influencia del ancho de pulso

En apartados anteriores se ha argumentado que un pulso de corriente doble exponencial queda definido mediante dos parámetros: el ancho del pulso y el valor de i_0 (o de i_{max}). Se ha

mencionado también que el comportamiento de la celda depende del ancho de pulso y que, por este motivo, resulta interesante utilizarlo como parámetro de barrido.

Una vez que se ha implementado el algoritmo descrito en el apartado 4.2.2 en la página 73, en este apartado se cuantifica por simulación la dependencia entre la carga crítica y el ancho de pulso. Con el algoritmo es posible determinar, para cada ancho de pulso, el pulso crítico. Es decir, el de mínima i_{\max} . La carga que inyecta este pulso precisamente será la carga crítica.

Los anchos de pulso de los transitorios de corriente inducidos por los SEE son muy variables y dependen de múltiples parámetros, pero de diversos estudios se desprende que son del orden los picosegundos [WAL05]. Por este motivo, para caracterizar el comportamiento de la celda se ha realizado un barrido de anchos de pulso comprendidos entre 10 ps y 200 ps. Si se representa gráficamente la carga crítica en función de los diferentes anchos de pulso para una celda 6T se obtiene la siguiente figura:

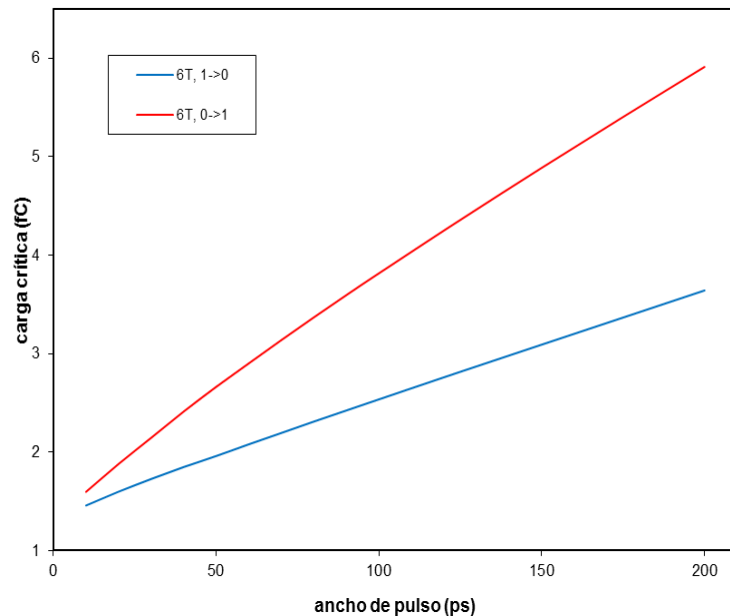


figura 4.4. Dependencia de la carga crítica en función del ancho de pulso para una celda 6T implementada en una tecnología de 65 nm. Todos los transistores son SVT LP.

En la figura anterior se han representado los dos posibles casos de transición:

- SEU_{1→0}: el nodo afectado está a nivel alto y pasa a nivel bajo.
- SEU_{0→1}: el nodo afectado está a nivel bajo y pasa a nivel bajo.

De la figura 4.4 pueden extraerse las siguientes conclusiones:

- Existe una relación lineal entre la carga crítica y el ancho de pulso.
- La carga crítica aumenta a medida que lo hace el ancho de pulso.
- La inyección de carga necesaria para cambiar la celda si el nodo afectado se encuentra a nivel alto es substancialmente inferior a la necesaria si el nodo se encuentra a nivel bajo.

Estos resultados concuerdan con los obtenidos mediante diversos modelos analíticos que pueden encontrarse en [JAH09].

Otro resultado interesante es la representación de la i_{\max} del pulso crítico en función del ancho de pulso. El resultado puede verse en la siguiente figura:

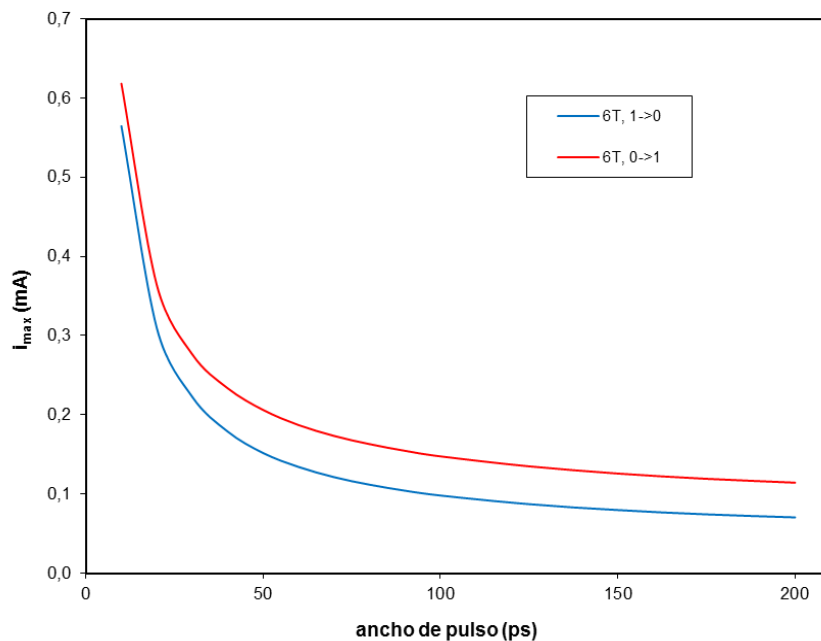


figura 4.5. Dependencia del valor de i_{\max} del pulso crítico en función del ancho de pulso de una celda 6T implementada en una tecnología de 65 nm. Todos los transistores de la celda son SVT LP.

De la figura anterior se desprende lo siguiente:

- La relación entre la i_{\max} del pulso crítico y el ancho de pulso crítico no es lineal. Para pulsos muy cortos se observa una fuerte dependencia con el ancho de pulso.
- La i_{\max} del pulso crítico necesaria para invertir la celda disminuye a medida de aumenta el ancho de pulso.
- Existe una corriente mínima por debajo de la cual, por muy largo que sea el pulso de corriente (al menos para duraciones razonables), no se consigue cambiar el valor de la celda.

Estos resultados también concuerdan con los obtenidos analíticamente en [JAH09].

Los resultados de las dos figuras anteriores pueden resumirse de la siguiente manera:

- Un pulso corto necesita una intensidad de corriente máxima mayor que uno largo para provocar un cambio en la celda, pero la carga total inyectada por el pulso corto es más pequeña que la del pulso largo.
- Con un pulso largo se necesita mayor carga para cambiar la celda que con uno corto, pero la intensidad de corriente máxima es más pequeña en el caso del pulso corto que con el pulso largo.
- Para el caso $SEU_{1 \rightarrow 0}$ se tiene un valor de carga crítica (y un valor de i_{max} del pulso crítico) más pequeño que para el caso $SEU_{0 \rightarrow 1}$. Además, tal y como se ha justificado en el apartado 3.5.1, la transición de 1 a 0 también es la más probable. Por este motivo, a partir de este punto, si no se indica lo contrario, la carga crítica se ha calculado solamente para el caso más restrictivo, es decir, para $SEU_{1 \rightarrow 0}$.

Teniendo en cuenta todo lo que se ha comentado en este apartado, puede afirmarse que existe un conjunto de pulsos críticos con diferentes valores de carga crítica. Este conjunto comprende desde pulsos cortos con valores de i_{max} altos y cargas críticas pequeñas, hasta pulsos largos con valores de i_{max} bajos y cargas críticas grandes. En la siguiente figura se han representado dos pulsos críticos de anchos diferentes (10 ps y 50 ps), hay que recordar que, por el hecho de ser críticos, son los de menor i_{max} capaces de provocar una inversión del contenido de la celda.

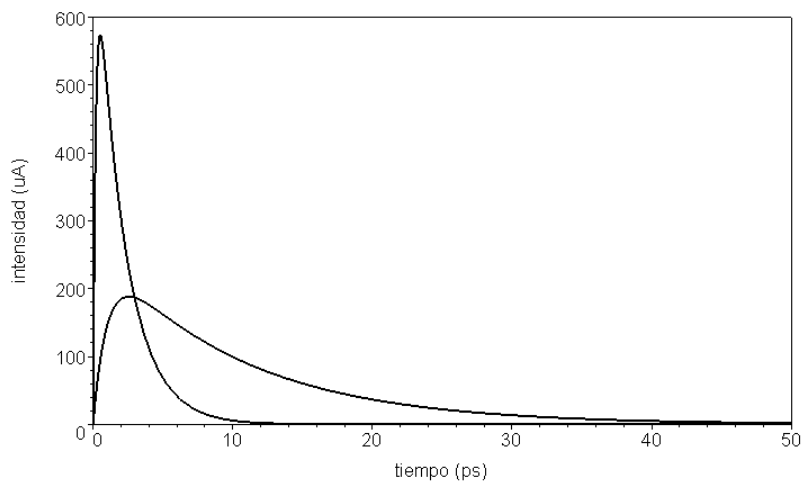


figura 4.6. Representación de dos pulsos críticos de diferente ancho de pulso. El corto es de 10 ps y el largo de 50 ps.

Todo lo expuesto hasta aquí referente a carga crítica es para el caso de celdas 6T, pero también se ha realizado un análisis similar para celdas 8T. Los resultados se presentan a continuación.

Conviene recordar que celda 6T es simétrica y, por tanto, sus dos nodos son equivalentes y, en consecuencia, los valores de carga crítica para un determinado tipo de transición resultan iguales para ambos nodos. Sin embargo, las celdas 8T son asimétricas y sus dos nodos no son equivalentes ya que la etapa de lectura se conecta solamente a uno de ellos. Por este motivo, es necesario proporcionar dos valores de carga crítica, uno para cada nodo. En el siguiente gráfico se muestran los resultados para celdas 8T y 6T (en trazo discontinuo):

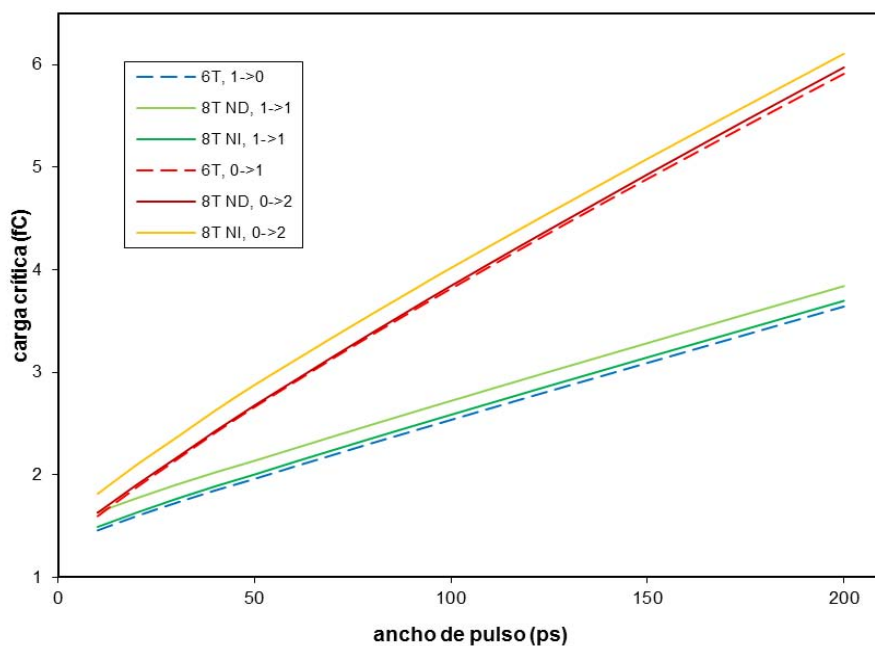


figura 4.7. Dependencia de la carga crítica en función del ancho de pulso para una celda 8T (y 6T) para una tecnología de 65 nm. Todos los transistores son SVT LP.

Del análisis de la figura anterior se desprende que la evolución de la carga crítica con el ancho de pulso para una celda 8T tiene un comportamiento muy similar al caso 6T. La carga crítica 8T es siempre mayor que la 6T, esto se debe a la presencia de la etapa de lectura en la celda 8T que añade una capacidad adicional a la celda 8T respecto a la 6T.

4.3.2. Estudio del comportamiento dinámico de la celda

De lo expuesto hasta aquí no debe sacarse la conclusión de que una celda SRAM solamente se ve afectada si recibe una carga superior a la carga crítica. Si bien es cierto que el estado lógico de la celda no cambia cuando la carga inyectada es inferior a la crítica, toda perturbación genera comportamientos transitorios en las tensiones y corrientes de la celda cuyos efectos pueden ser importantes por ejemplo en el diseño de monitores de corriente que pretendan detectar la ocurrencia de SEUs.

Por este motivo, en este apartado se estudia el comportamiento dinámico de una celda frente a perturbaciones que se encuentran en el umbral de generar SEUs. En concreto, se discute la evolución de los niveles de tensión en los nodos de la celda para dos tipos de perturbación que hemos denominado crítica y cuasicrítica.

La perturbación crítica ya ha sido definida al definir la carga crítica, es aquella que inyecta la mínima carga necesaria para provocar un cambio de estado de la celda. Para definir la perturbación cuasicrítica es útil definir primero la perturbación subcrítica como aquella que inyecta una carga inferior a la mínima necesaria para provocar un cambio en la celda. Por tanto, no es capaz de modificar el valor almacenado aunque puede llegar a perturbar fuertemente la celda. Entonces, la perturbación cuasicrítica no es más que la perturbación subcrítica con el valor máximo de carga inyectada. Es decir el pulso de corriente con la máxima carga que no es capaz de provocar un cambio en el estado de la celda.

En la figuras de las siguientes páginas se ha representado el comportamiento de los dos nodos de la celda cuando uno de ellos resulta perturbado por el pulso de corriente utilizado para emular efecto de la carga recogida en un evento transitorio debido a radiación.. La figura de la izquierda (a) muestra el caso de la perturbación cuasicrítica (que no produce un SEU), mientras que la figura de la derecha (b) muestra el caso de la perturbación crítica (que genera un SEU). De los dos posibles casos de transición, solamente se ha representado el caso en que el nodo que recibe el impacto se encuentra a nivel alto y pasa a nivel bajo, la otra transición genera resultados similares pero con los nodos cambiados. De todo el rango de anchos de pulso considerado, se muestran los resultados para tres anchos representativos de cara a caracterizar el comportamiento de la celda: 5 ps, 30 ps y 500 ps. Los ejes de tiempo se han representado en la misma escala para los tres anchos de pulso para poder compararlos mejor entre ellos. En todos los casos el pulso de corriente comienza a los 3 ns.

Ancho de pulso de 5 ps:

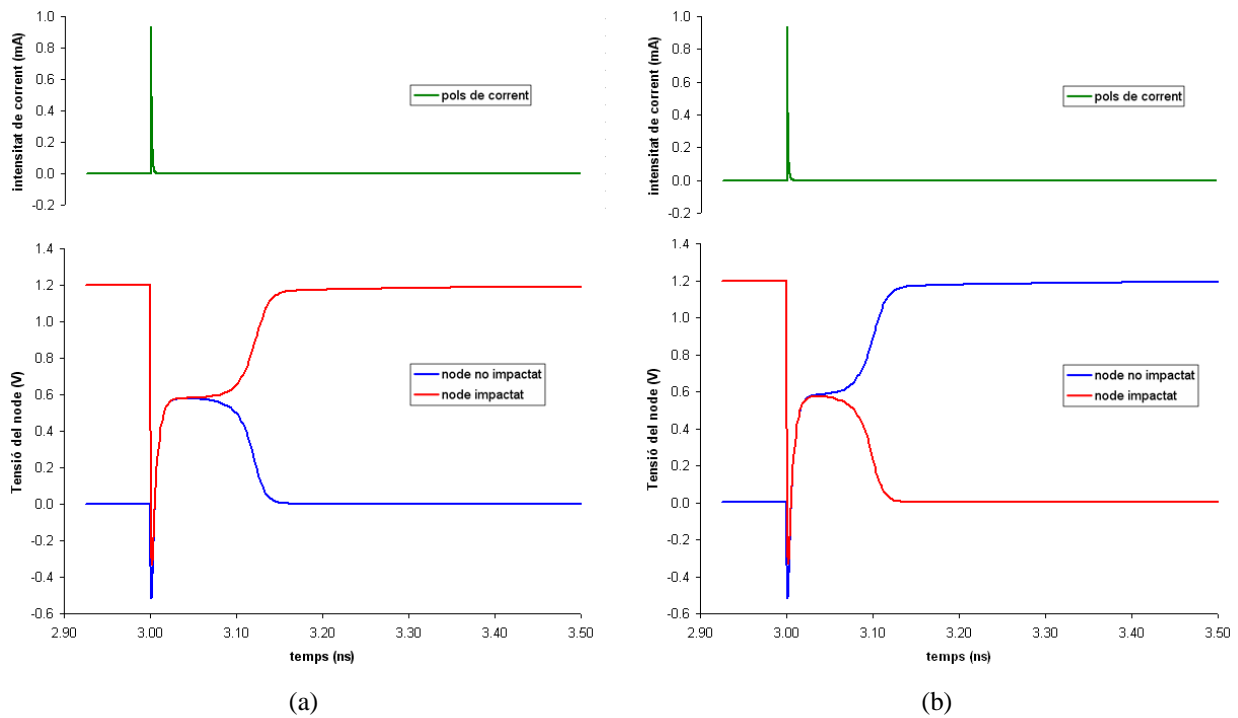


figura 4.8. Evolución de los nodos de la celda debido a un pulso de corriente de 5 ps. a) perturbación cuasicrítica. b) perturbación crítica.

Se observa lo siguiente:

- En el momento de la inyección del pulso de corriente, los dos nodos resultan fuertemente perturbados y su valor de tensión baja de forma acusada. Esto se debe a que la fuente de corriente inyecta carga negativa (electrones) al nodo que recoge la carga (al que llamaremos nodo impactado). El otro nodo, al que llamaremos nodo no impactado, se ve afectado debido a las capacidades parásitas existentes entre ambos y, por este motivo, también adquiere un valor de tensión bajo. El valor de i_{max} necesario para provocar un cambio en la celda con un pulso de 5 ps es muy elevado, por este motivo los dos nodos llegan incluso a tener valores negativos.
- El pulso de corriente acaba mucho antes de que se produzca el cambio de estado de la celda. Es decir, la duración del pulso es inferior al tiempo que necesita la celda para cambiar.

Ancho de pulso de 30 ps:

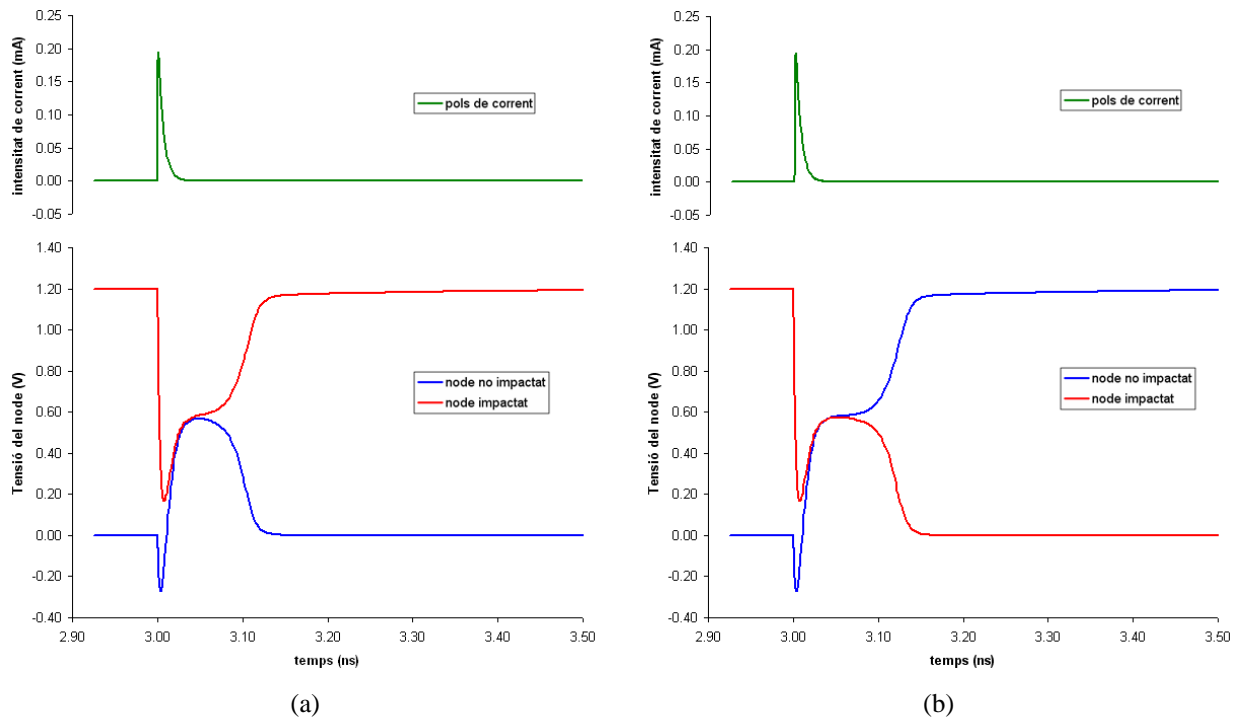


figura 4.9. Evolución de los nodos de la celda debido a un pulso de corriente de 30 ps. (a) perturbación cuasicrítica. (b) perturbación crítica.

Se observa que:

- Los nodos no se ven tan fuertemente perturbados como en el caso del pulso de 5 ps, ya que el valor de i_{max} necesario para el pulso de 30 ps no es tan elevado como en el caso del de 5 ps. El nodo que recibe el impacto (y que se encontraba a nivel alto) no llega a valores negativos de tensión. El nodo que no recibe el impacto ve disminuida su tensión como en el caso del pulso de 5 ps pero en mucha menor medida, la razón de esto es que el pico de corriente inyectado es también menor.
- El pulso de corriente finaliza aproximadamente al mismo tiempo en que se empieza a producir el cambio en la celda.

Ancho de pulso de 500 ps:

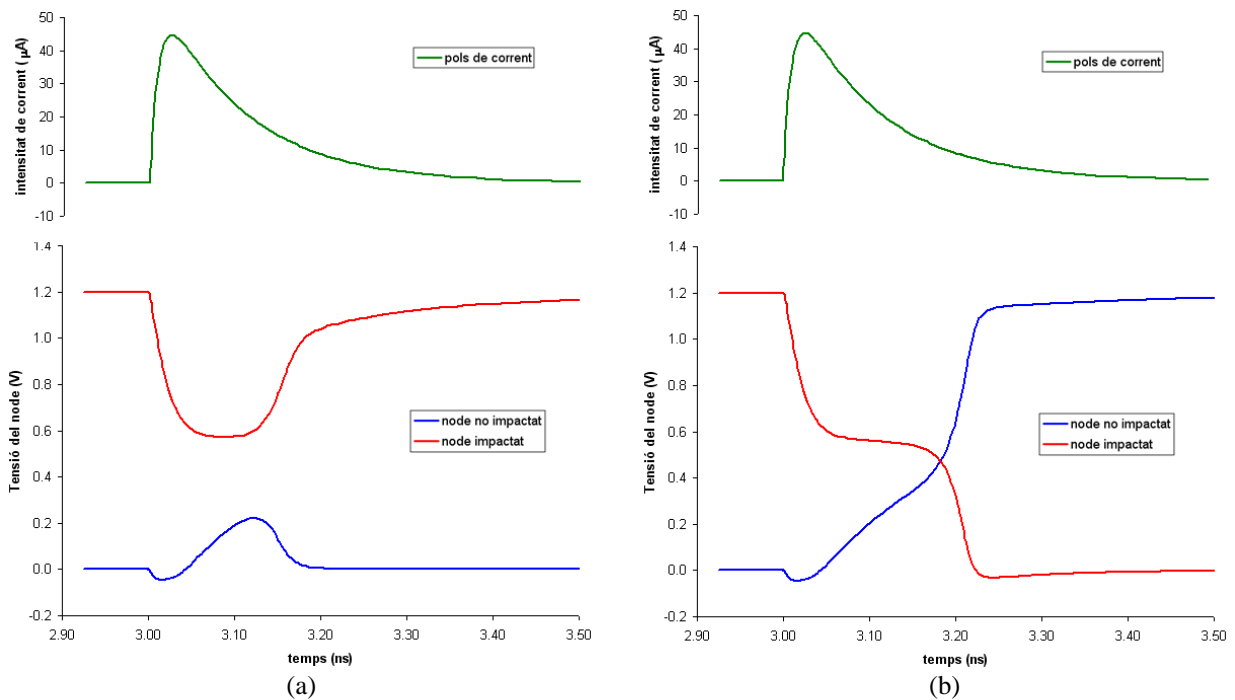


figura 4.10. Evolución de los nodos de la celda debido a un pulso de corriente de 500 ps. (a) perturbación cuasicrítica. (b) perturbación crítica.

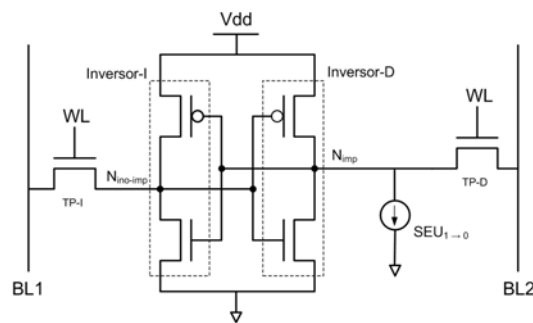


figura 4.11. Celda SRAM 6T para el caso de una transición de 1 a 0 causada por un SEU.

Se observa que:

- Los nodos resultan mucho menos perturbados que en los casos anteriores. De hecho, el nodo que no recibe la inyección de carga prácticamente no adquiere valores negativos y posteriormente se recupera hacia valores positivos. A medida que la tensión del nodo impactado N_{imp} disminuye (ver figura 4.11), aumenta la del nodo no impactado N_{no-imp} por efecto del inversor-I. Al comienzo la realimentación de la celda se opone a la perturbación. Sin embargo, si la magnitud de la disminución de la tensión del nodo N_{imp} sobrepasa un cierto valor, el nodo N_{no-imp} adquiere una tensión lo suficientemente positiva como para vencer al mecanismo de realimentación de la celda y provocar que el mecanismo de realimentación actúe en sentido contrario (que

el nodo N_{imp} tienda a nivel bajo y N_{no-imp} a nivel alto). Cuando se llega a este punto, aunque el pulso de corriente desaparezca, el cambio de estado lógico de la celda se producirá gracias al propio mecanismo de realimentación de la celda.

- El pulso de corriente finaliza después de que la celda haya llegado a un estado estable, ya sea el mismo que antes de iniciar el pulso o en contrario.

4.3.3. Influencia de la tensión de alimentación en la carga crítica

Para reducir el consumo por *leakage* en memorias SRAM se puede disminuir la tensión de alimentación de las celdas durante los periodos en que no se accede a ellas (modo almacenamiento). Por este motivo, se ha decidido realizar un estudio de la carga crítica para tensiones de alimentación inferiores a la nominal.

En la siguiente figura se muestra la carga crítica en función de la tensión de alimentación para la tecnología de 65 nm.

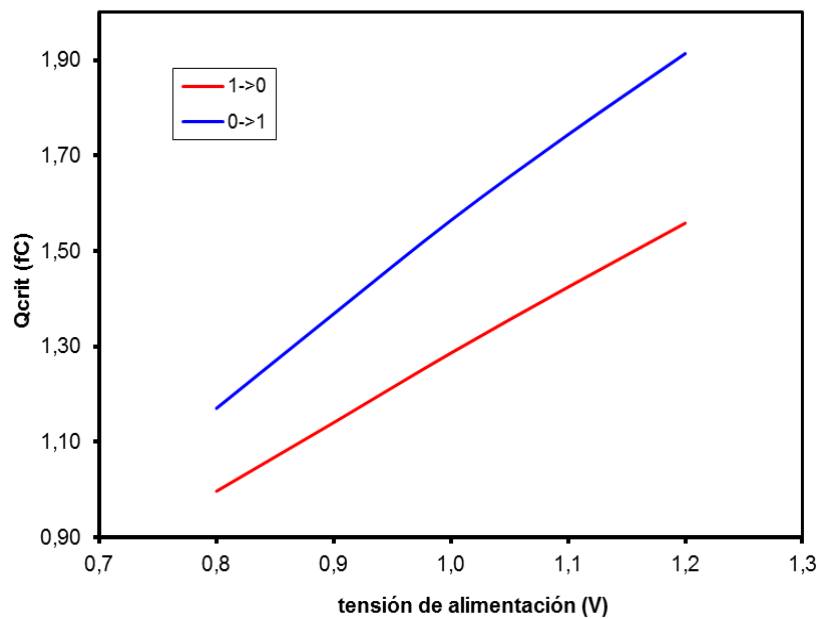


figura 4.12. Efecto de la tensión de alimentación en la carga crítica.

Del análisis de la figura anterior se desprende que, si se disminuye la tensión de alimentación, la carga mínima necesaria para provocar un cambio en la celda también disminuye, es decir, la celda se vuelve más sensible a los efectos transitorios producidos por la radiación (*soft errors*). Por tanto, este es un factor importante a tener en cuenta en el diseño de memorias para las que se quiera tener una buena robustez a *soft errors* y bajo consumo.

4.3.4. Carga crítica en modo lectura

Se ha comentado anteriormente en el apartado 3.3 que, durante el periodo de lectura, la celda se encuentra en su estado más débil. Además, este fenómeno se cuantifica en términos de estabilidad (SNM) en el apartado 4.5.

Hasta este punto, la carga crítica se ha calculado solamente para el estado en el que la celda está en modo de almacenamiento. Sin embargo, en este apartado se pretende calcular la carga crítica también para el modo lectura. El objetivo es determinar si, de igual modo que existe una pérdida de estabilidad en términos de SNM, existe también una disminución en la robustez a eventos transitorios debidos a radiación en términos de carga crítica.

La carga crítica se calcula normalmente en modo de almacenamiento ya que es el estado en el que las celdas de memoria pasan la mayor parte del tiempo. Sin embargo, el número de operaciones de lectura y escritura es cada vez más elevado, de manera que la probabilidad de tener eventos inducidos por radiación durante una lectura es cada vez mayor [BHA05]. Además hay que recordar que, tal y como se ha justificado en el apartado 3.2.2 en la página 46, cuando se activan los transistores de paso de la celda que se pretende leer, se activan también los del resto de celdas de la misma fila aunque no se las pretenda ni leer ni escribir. Recordemos que dichas celdas reciben el nombre de *half-selected*.

Cuando una celda se encuentra en modo de almacenamiento, se encuentra en estado estacionario, por tanto, el instante de inicio de la perturbación no afecta al valor de la carga crítica. En cambio, cuando se pretende calcular la carga crítica en modo lectura, al tratarse de un proceso dinámico, el valor obtenido depende del instante en el que se produce la perturbación. Por este motivo, las cargas críticas en modo lectura, además de depender del ancho de pulso, dependerán también del instante de tiempo en que sucede el evento.

El proceso de lectura de una celda SRAM 6T se ha descrito de manera esquemática en el apartado 3.1.1.2 en la página 36. En la figura 4.13 se representan los instantes de tiempo representativos de cara a comprender el comportamiento de la carga crítica durante una lectura.

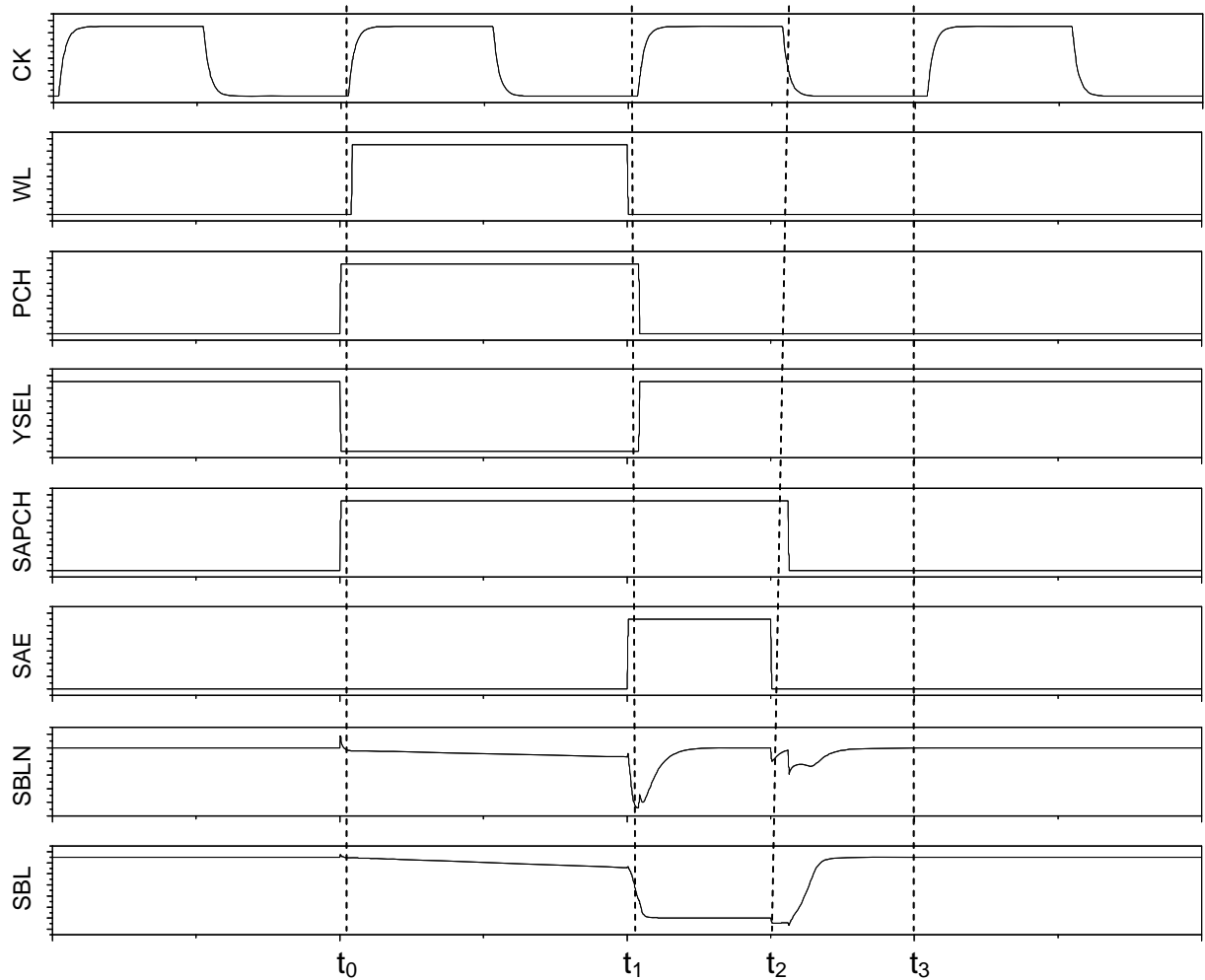


figura 4.13. Instantes representativos de una operación de lectura 6T.

Los instantes de tiempo de la figura 4.13 corresponden a:

- t_0 : inicio de la lectura. Se activan los transistores de paso mediante la señal WL (*word-line*) Los nodos de la celda quedan conectados a las *bit-lines*. En instantes anteriores a t_0 se está en modo de almacenamiento. Todavía no se ha activado el *sense-amplifier*.
- t_1 : Se desactivan los transistores de paso (señal WL). Se activa el *sense-amplifier*. A partir de t_1 el proceso de lectura continua, pero desde el punto de vista de la celda, se encuentra en modo de almacenamiento ya que los transistores de paso ya no la conectan a las *bit-lines*.
- t_2 : Se deshabilita el *sense-amplifier*.
- t_3 : Lectura finalizada.

A continuación se presentan los resultados de carga crítica en lectura para el caso $SEU_{1 \rightarrow 0}$ y $SEU_{0 \rightarrow 1}$. Los resultados están en función del instante de inicio de la perturbación y se han calculado para anchos de pulso de 30 ps y 200 ps.

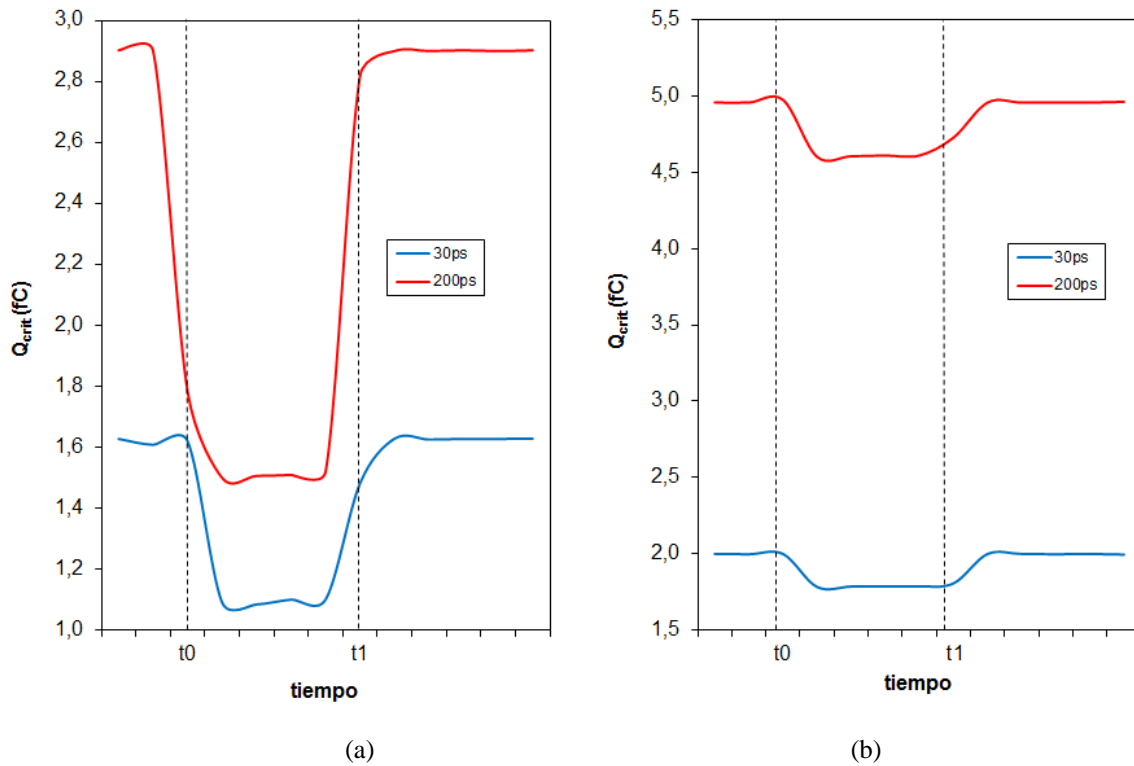


figura 4.14. Carga crítica inyectada a la celda necesaria para generar un SEU en función de los diferentes instantes representativos del proceso de lectura. a) caso $SEU_{1 \rightarrow 0}$. b) caso $SEU_{0 \rightarrow 1}$.

En la figura anterior se puede ver como la carga crítica entre los instantes t_0 i t_1 (periodo durante el cual se está accediendo para leer la celda) es significativamente más baja que fuera de este periodo (modo almacenamiento). Esto significa que mientras se está accediendo a la celda se produce una degradación de su carga crítica lo que significa que durante el periodo de tiempo en que los transistores de paso están activados, la celda se vuelve menos robusta.

Es importante remarcar que la figura 4.14 no representa ninguna forma de onda, es una representación gráfica de la carga crítica en función del instante de tiempo de inicio de la perturbación.

Además, del análisis de la figura 4.14 se desprenden las siguientes conclusiones:

- Fuera del intervalo (t_0 , t_1) se recuperan los valores de carga crítica calculados para el modo de almacenamiento.
- La transición de 1 a 0 continúa siendo la que tiene carga crítica más baja.
- A medida que se aumenta el ancho de pulso considerado, aumenta la carga crítica.

- La disminución de carga crítica es más acusada para el caso de la transición de 1 a 0 que no para el caso de la transición de 0 a 1. A la siguiente tabla se muestra como disminuye la carga crítica en lectura respecto a la del periodo de almacenamiento para los dos casos de SEU y para tres anchos de pulso diferentes.

$Q_{crit\ almacen.} / Q_{crit\ lectura}$	tipo de SEU	
ancho de pulso (ps)	SEU _{1→0}	SEU _{0→1}
30	1,50	1,12
200	1,92	1,07
500	2,08	1,05

tabla 4.1 Disminución de la carga crítica en lectura respecto al valor en modo almacenamiento para diferentes combinaciones de anchos de pulso y transiciones.

Los resultados presentados hasta ahora en este apartado son consistentes con el hecho de que durante una lectura 6T, los niveles de tensión de los nodos internos de la celda se vean perturbados, tal y como se ha justificado en el apartado 3.1.1.2 en la página 36. Esto reduce la capacidad de la celda para oponerse a perturbaciones externas como por ejemplo frente a una inyección de corriente que emula el efecto del paso de una partícula energética. En el apartado 4.5 se estudia este mismo fenómeno desde el punto de vista de la estabilidad de la celda.

En una celda 8T, el proceso de lectura es diferente, se realiza a través de una etapa específica que no perturba los nodos internos, tal y como se ha justificado en el apartado 3.1.2 en la página 37. Para comprobar el efecto de una lectura 8T en términos de carga crítica y averiguar si se produce la misma degradación de robustez que para el caso 6T, se ha calculado la carga crítica a lo largo de un proceso de lectura de una celda 8T. En la figura 4.15 se muestran los resultados de carga crítica para una celda 8T, para el caso SEU_{1→0} y para un pulso de 30 ps. Se representan también los resultados anteriores para una celda 6T para que puedan compararse con facilidad. Hay que remarcar que para el caso 8T se presentan dos resultados, uno para el nodo ND y otro para el nodo NI, el nodo ND tiene una carga crítica ligeramente superior debido a la capacidad adicional de la etapa de lectura.

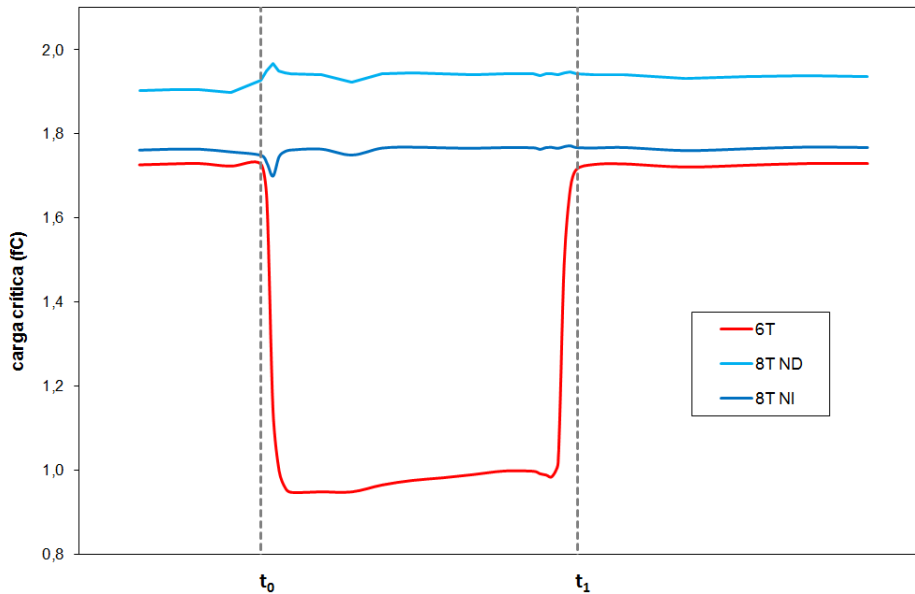


figura 4.15. Evolución de la carga crítica durante una lectura de una celda 6T y de una 8T

Del análisis de la figura anterior se desprende que la celda 8T tiene un comportamiento radicalmente diferente al de una celda 6T durante el periodo de la lectura en que se está accediendo a la celda. Sin embargo, durante el periodo de almacenamiento y durante la parte de la lectura en que no se accede a la celda 6T, el comportamiento de la celda 8T es similar al caso 6T. Estos resultados son consistentes con el hecho de que el proceso de lectura 8T no perturba los niveles de tensión de los nodos de la celda.

Las cargas críticas de los dos nodos de la celda 8T son ligeramente superiores a las de la celda 6T. Estas diferencias se explican por la presencia de una capacidad adicional debida a la etapa de lectura de la celda 8T.

Anteriormente se ha justificado que durante el periodo de lectura y escritura de una memoria 6T, y solamente durante la escritura en el caso 8T, existen celdas *half-selected* que experimentan una situación similar a si se las estuviera leyendo cuando en realidad no se está haciendo. Se ha calculado la carga crítica para celdas *half-selected* 6T y 8T, los resultados se muestran a continuación:

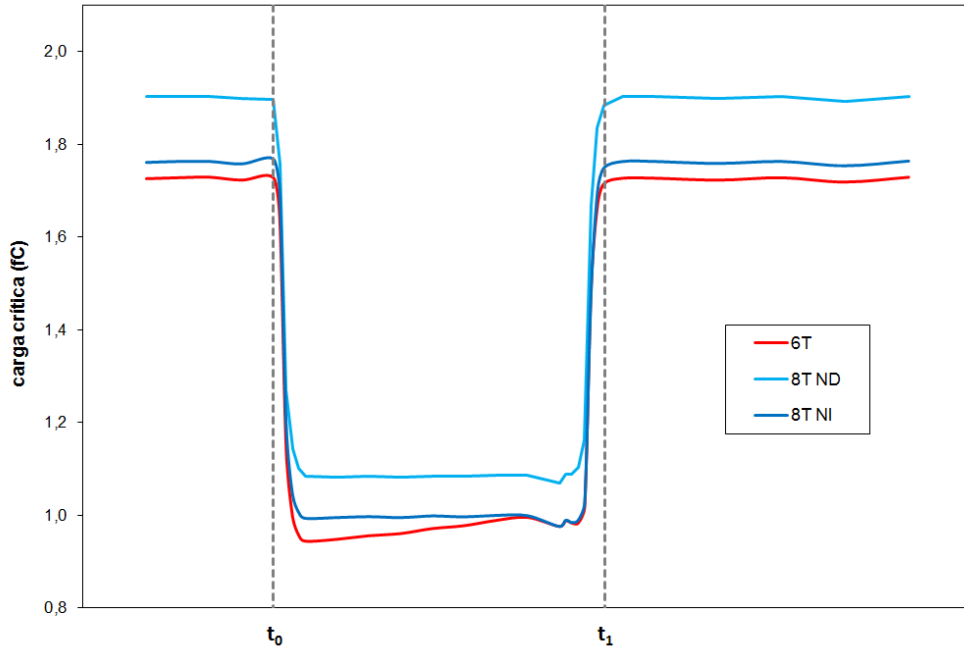


figura 4.16. Evolución de la carga crítica de celdas *half-selected* 6T y 8T.

Analizando la figura 4.16 se desprende dos conclusiones importantes:

- El comportamiento de la carga crítica para el caso 6T *half-selected* es el mismo que para el caso 6T en lectura de la figura 4.15. Este resultado es consistente con el hecho de que en ambos casos los procesos que experimenta la celda son virtualmente idénticos con la única excepción de que en el caso de la lectura las *bit-lines* están conectadas a un *sense-amplifier* mientras que el caso *half-selected* no.
- El comportamiento de los dos nodos de la celda 8T *half-selected* (figura 4.16) es muy diferente al caso de la celda 8T en lectura (figura 4.15). La celda 8T se comporta de manera similar a una 6T cuando está *half-selected*.

Estos resultados confirman que la carga crítica en lectura se degrada solamente si está accediendo a las celdas a través de los transistores de paso. La causa de esta degradación es la perturbación producida en los nodos de la celda por el hecho de encontrarse conectados a las *bit-lines*. Por tanto, esta degradación existe no solamente para el caso de memorias 6T sino también para memorias 8T aunque en este último caso solamente para las celdas *half-selected*. En el apartado 3.2.2 en la página 46 se proponen soluciones para eliminar las celdas *half-selected*.

Hasta ahora se ha justificado que el impacto de una partícula durante una lectura puede provocar el cambio del valor que guarda la celda. Llegados a este punto, cabe preguntarse si la lectura que se está efectuando se realizará de forma correcta o incorrecta. La respuesta es que depende del momento de llegada de la perturbación. Si el pulso de corriente llega al inicio de la lectura, la celda cambia lo suficientemente rápido como para que el *sense-amplifier* lea el nuevo valor de la celda. Sin embargo, si la perturbación llega al final del periodo de lectura, la celda terminará de cambiar una vez que ya no se esté accediendo a ella y, por tanto, el *sense-amplifier* leerá el valor correcto. Hay que tener en cuenta que, aunque se lea el valor correcto, la celda habrá cambiado y, por tanto, si no es sobrescrita antes de efectuar una segunda lectura, se leerá el valor incorrecto. Estas afirmaciones se hacen a la luz de los datos obtenidos de una modificación de la definición de carga crítica para adaptarla a las necesidades de evaluar el efecto del impacto de una partícula, no sobre el estado de la celda, sino sobre el valor leído. La carga crítica convencional se define como el valor mínimo de carga que es necesario inyectar en el nodo de una celda para que cambie su estado lógico. Esta nueva carga crítica se define como la carga mínima que hay que inyectar en un nodo de la celda para que el valor leído sea incorrecto. La denominaremos $Q_{\text{crit-SA}}$ en donde SA hace referencia a que el valor de carga crítica se obtiene en función de la salida del *sense-amplifier*.

El siguiente gráfico muestra los resultados para el caso 6T:

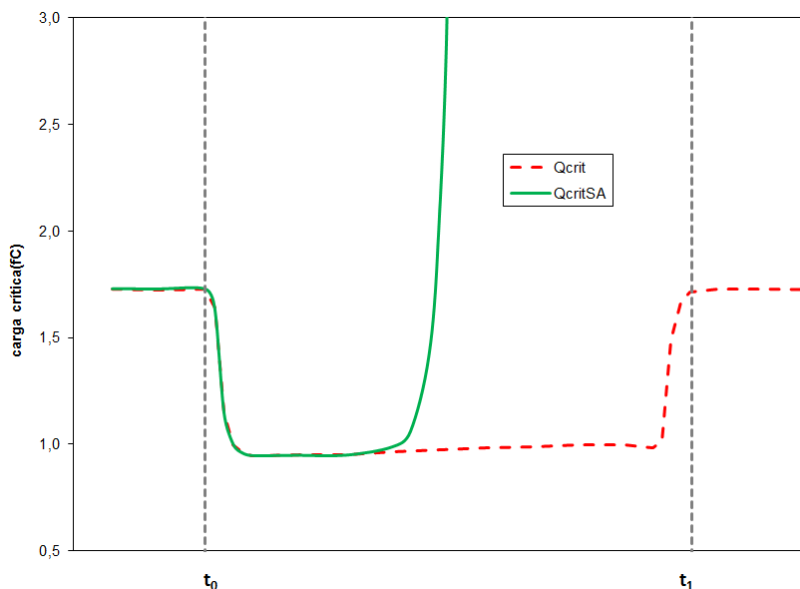


figura 4.17. Evolución de Q_{CRIT} y $Q_{\text{CRIT-SA}}$ para una celda 6T

Del análisis de la figura 4.17 se pueden extraer las siguientes conclusiones:

- $Q_{crit-SA}$ no es nunca inferior Q_{crit} . Esto significa que siempre que se lee un resultado incorrecto es debido a que la celda ha sido perturbada y ha cambiado de estado.
- A partir de un cierto instante de tiempo, $Q_{crit-SA}$ sobrepasa a la carga crítica para cambiar la celda. Esto significa que si la perturbación llega pasado este instante de tiempo se producirá un SEU (la celda cambiará) pero se leerá el valor correcto.
- El incremento de $Q_{crit-SA}$ que se observa a medida que el inicio de la perturbación se acerca a t_1 se explica del siguiente modo: se necesita aplicar un pulso de corriente mucho más grande para conseguir perturbar suficientemente los nodos de la celda antes de que se cierren los transistores de paso y la celda quede aislada de las *bit-lines*.
Cuanto más cerca de t_1 se inicie la perturbación, más grande deberá ser.

Es importante remarcar que la definición de $Q_{crit-SA}$ tiene sentido también durante el modo de almacenamiento aunque, como se puede comprobar en la figura 4.17, su valor coincide con el de Q_{crit} .

Se ha realizado el mismo tipo de simulación para el caso de lectura de una celda 8T, los resultados se muestran en la figura 4.18 junto con los de 6T, para el caso 8T se muestra el comportamiento de uno de los dos nodos, el otro presenta un comportamiento análogo.

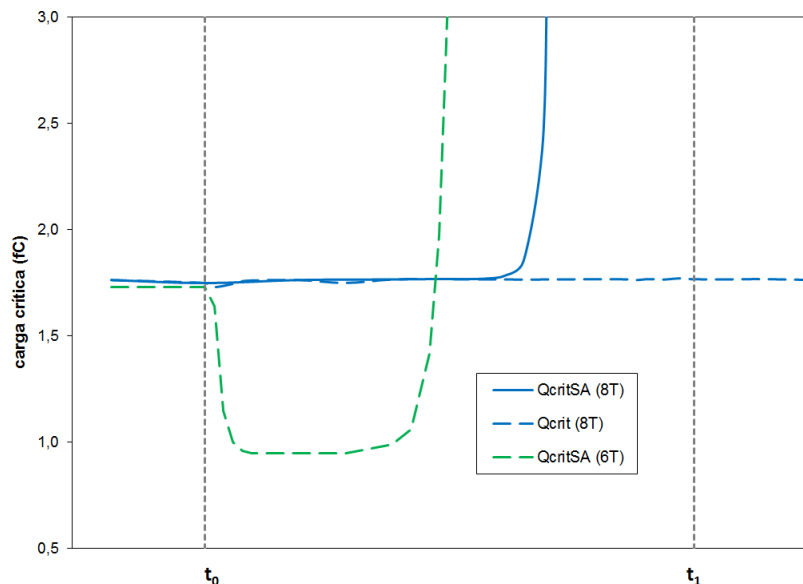


figura 4.18. Evolución de $Q_{CRIT-SA}$ para una celda 8T y para una 6T a modo de referencia

Las conclusiones son las siguientes:

- $Q_{\text{crit-SA8T}}$ es igual a Q_{crit8T} hasta un cierto instante en que la primera empieza a aumentar respecto a la segunda. Por tanto, siempre que se lea un valor erróneo la celda habrá cambiado, pero a partir de cierto instante de inicio de la perturbación, la celda puede cambiar sin que se lea un resultado incorrecto.
- Mientras no se produce este súbito incremento de carga crítica, el valor de $Q_{\text{crit-SA8T}}$ no se ve alterado respecto al de Q_{crit8T} ya que la celda se está leyendo sin perturbar las tensiones de los nodos internos.

4.4. Estudio de la robustez a SEUs en celdas de *layout* regular. Técnicas de mitigación

En este apartado se estudia por simulación el comportamiento de las celdas SRAM frente a los efectos de la radiación capaces de producir SEUs y se presentan algunas técnicas cuyo objetivo es mitigar la tasa de SEUs. Para evaluar eficacia de la técnica es decir, la robustez de la celda, se utilizará su carga crítica de la celda. Estas técnicas tienen que ser compatibles con los *layouts* regulares descritos en el apartado 3.4.1 en la página 53, ya que, tal y como se ha justificado, para tecnologías nanométricas es conveniente utilizar este tipo de *layouts* para minimizar los problemas derivados de la variación de parámetros. Como resumen, este tipo de *layout* tiene todas las líneas de polisilicio alineadas en la misma dirección y además no presenta escalones en las áreas activas. El *layout* utilizado puede verse en la siguiente figura para el caso 6T y 8T:

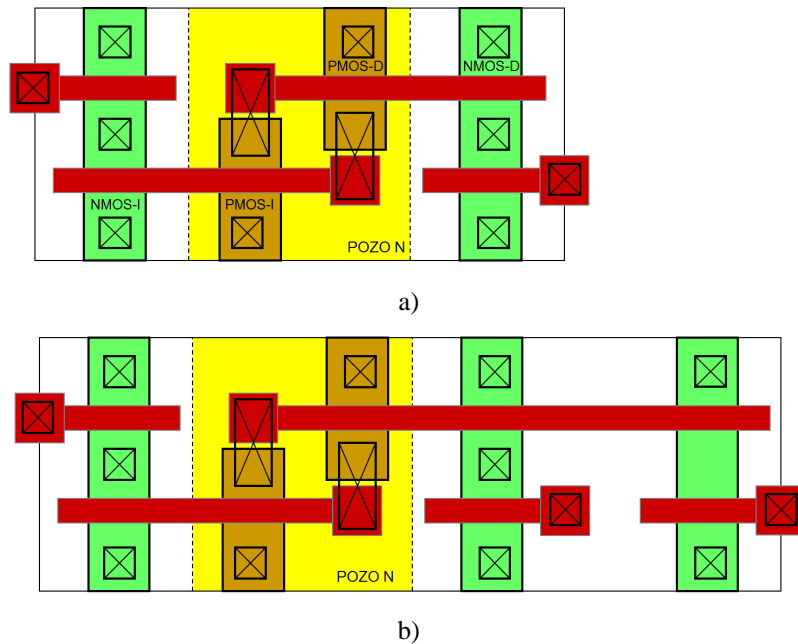


figura 4.19. Representación esquemática de un *layout* de tipo regular. a) celda 6T. b) celda 8T.

Otro requisito de las técnicas que se desarrollan en este capítulo es que no tienen que comportar un gran aumento de área ya que, a diferencia de ciertas aplicaciones en donde el coste no es un parámetro crucial (como por ejemplo en la industria aeroespacial), uno de los objetivos de esta tesis es desarrollar técnicas que puedan utilizarse en múltiples aplicaciones y que sean implementables sin grandes modificaciones respecto a los diseños de memorias ya existentes. Además, si la técnica a aplicar no requiere grandes modificaciones de estructura de la memoria será fácilmente implementable en los compiladores de memorias existentes.

En este capítulo se describen y analizan tres técnicas para incrementar la robustez de celdas compatibles con *layouts* regulares.

- Selección de las tensiones umbral (V_t) de los transistores que forman la celda de memoria. Esta técnica no modifica la forma del *layout* y, por tanto, es plenamente compatible con cualquier tipo de *layout* en general y con los *layouts* regulares en particular.
- Modulación de los anchos de canal de los transistores de la celda. Esta modificación se hace de tal forma que no genera escalones en las zonas de difusión.
- Disminución de la tensión de *word-line*. Esta técnica no modifica el *layout* de las celdas.

Todos los resultados presentados se han obtenido para una tecnología CMOS de 65 nm.

4.4.1. Selección de las tensiones umbral

Las tecnologías nanométricas acostumbran a ofrecer transistores con diferentes valores de tensiones umbral (V_t). La elección de la V_t permite al diseñador escoger entre velocidad o bajo consumo, ya que con una V_t baja se obtienen puertas más rápidas a costa de incrementar el consumo, mientras que con una V_t alta reduce el consumo a cambio de sacrificar velocidad de operación.

La idea fundamental de esta técnica es aprovechar, desde el punto de vista de robustez, la posibilidad de disponer de celdas SRAM formadas por transistores con diferentes V_t . El objetivo es calcular la carga crítica para cada una de las celdas que pueden formarse con las diferentes V_t disponibles y determinar si alguna de ellas resulta más robusta que las demás.

Las celdas SRAM consideradas son celdas de 6 transistores: cuatro que forman parte de los dos inversores realimentados y dos transistores de paso que permiten realizar las acciones de lectura y escritura. Durante el modo de almacenamiento los dos transistores de paso están en corte y, por tanto, la influencia de su tensión umbral será pequeña. Por este motivo, la selección de la V_t se ha considerado solamente para los cuatro transistores que forman los dos inversores realimentados. Todas las celdas consideradas tienen todos los transistores de medidas mínimas.

La tecnología de 65 nm ofrece transistores *General Purpose* (GP) y *Low Power* (LP). Este estudio se centra en los transistores LP ya que tienen mucha menos corriente de *leakage*, esto

es muy deseable en estructuras masivas como el caso de las memorias SRAM. La tecnología ofrece 3 V_t diferentes para los transistores LP:

- HVT: *High Vt*
- SVT: *Standard Vt*
- LVT: *Low Vt*

Con 3 V_t diferentes para asignar a 4 transistores, se pueden formar un total $3^4 = 81$ celdas diferentes.

Como primera aproximación, para limitar el número de configuraciones posibles, y debido a que no siempre es tecnológicamente posible disponer de las 3 V_t al mismo tiempo, se ha decidido separar las V_t en dos conjuntos:

- Conjunto HVT/SVT
- Conjunto SVT/LVT

Con 2 V_t diferentes se obtienen un total de $2^4 = 16$ celdas diferentes para cada conjunto de V_t . Las posibles configuraciones se representan de forma esquemática en la siguiente figura.

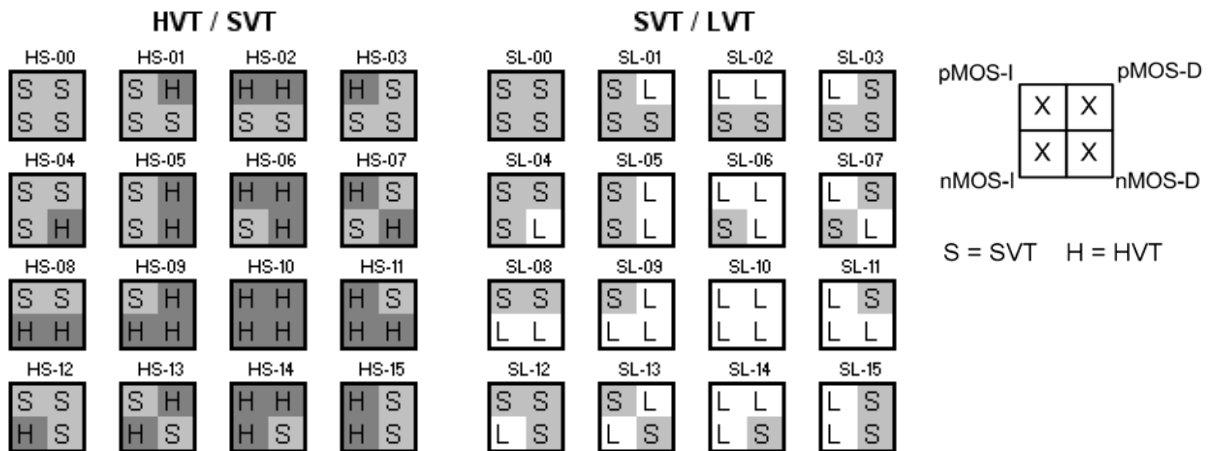


figura 4.20. Representación esquemática de las diferentes configuraciones de V_t consideradas. H=HVT, S=SVT i L=LVT.

Las 4 letras de cada configuración representan los cuatro transistores de una celda 6T tal y como se muestra en la siguiente figura:

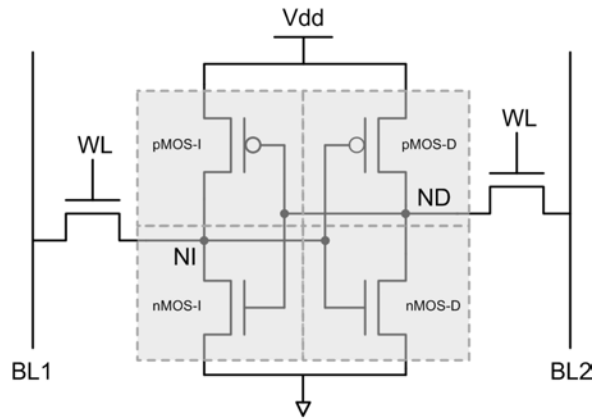


figura 4.21. Celda 6T explicitando los transistores que tienen en cuenta para la selección de las V_t .

Se han realizado simulaciones en función del ancho de pulso para cada una de las 32 configuraciones y los resultados pueden encontrarse publicados en [TOR08].

Si se observa la figura 4.20 puede verse que hay configuraciones que presentan simetría derecha-izquierda, mientras que las para las que son asimétricas existe siempre otra configuración que es su imagen especular. La simetría importante es la derecha-izquierda ya que la parte derecha de cada configuración representa el inversor de la izquierda mientras que la parte derecha representa el inversor de la derecha.

De este estudio preliminar se desprende que existen diferencias de carga crítica entre las distintas configuraciones. Sin embargo, la conclusión más importante es que las configuraciones interesantes son las que presentan simetría derecha-izquierda ya que las demás pueden ser más robustas para un determinado tipo de transición en un determinado nodo pero, puesto que no es posible predecir qué nodo será el que recibirá el impacto, no resultan útiles. Además, si se tiene en cuenta que cada nodo tiene las mismas posibilidades de recibir el impacto, la carga crítica resultante es peor para las configuraciones asimétricas que para las simétricas.

A la vista de los resultados de este estudio previo, del total de 81 posibles configuraciones solamente se consideran aquellas que presenten simetría derecha-izquierda. De esta manera el número de configuraciones diferentes se reduce a 9, tal y como puede verse en la siguiente figura:

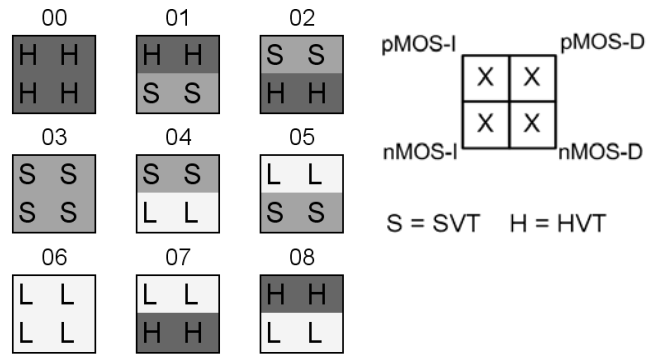


figura 4.22. Representación esquemática de las 9 configuraciones simétricas

Las configuraciones simétricas consideradas incluyen dos casos que combinan transistores LVT y HVT (configuraciones 07 y 08). En ciertas tecnologías esto puede no ser posible, pero se ha decidido incluirlos para tener una visión global del comportamiento de la celda frente a cambios en las tensiones umbral de sus transistores.

Como ya se ha comentado anteriormente, la carga crítica para el caso $SEU_{1 \rightarrow 0}$ es menor que la de la de $SEU_{0 \rightarrow 1}$, por este motivo, solamente se tendrá en cuenta este último caso ya que resulta el más restrictivo.

Si se calcula la carga crítica para cada configuración y para diferentes anchos de pulso se obtiene la siguiente figura:

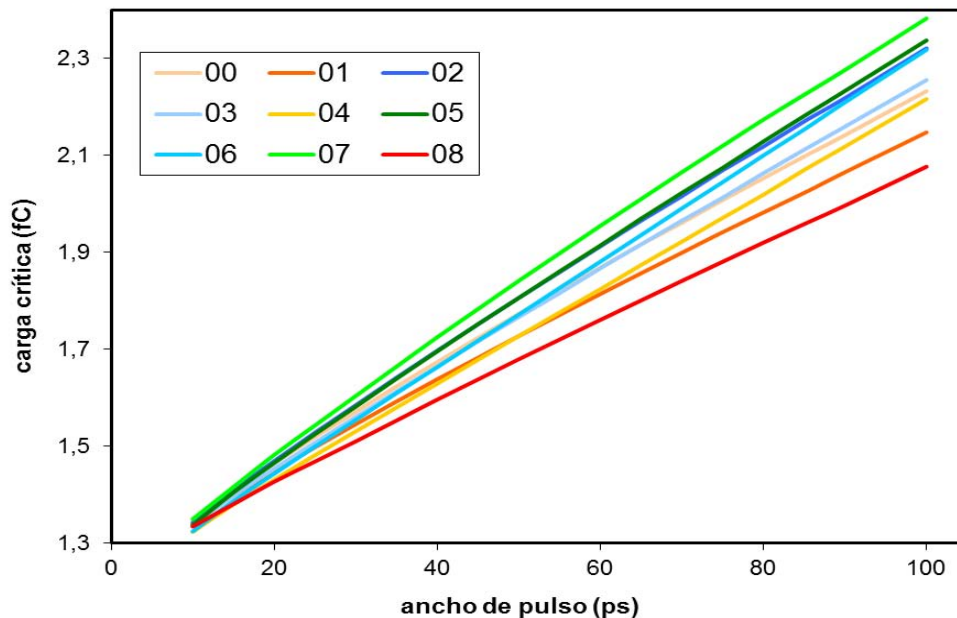


figura 4.23. Carga crítica en función del ancho de pulso para las diferentes configuraciones consideradas

Del análisis de la figura anterior se desprende que hay configuraciones que presentan una mejor carga crítica que otras aunque las diferencias son pequeñas. Además se sigue manteniendo la relación de linealidad anteriormente mencionada. El rango escogido incluye una anchura de pulso considerada típica para partículas alpha, 30 ps [WAL05].

La configuración con mayor carga crítica es la 07. Sin embargo, para apreciar mejor las diferencias entre unas configuraciones y otras, es útil restringir los datos a un ancho de pulso determinado, en este caso 30 ps. Los resultados se muestran en la siguiente tabla, junto con la corriente de *leakage* y el tiempo de escritura (normalizado):

config.	Q_{crit} (fC)	tiempo escritura (norm.)	corriente de <i>leakage</i> (pA)
00	1,57	1,14	18,6
01	1,55	1,11	83,1
02	1,58	1,05	28,9
03	1,56	1,03	93,4
04	1,53	1,02	573,0
05	1,58	1,01	292,9
06	1,55	1,00	772,4
07	1,60	1,02	228,4
08	1,51	1,09	562,6

tabla 4.2. Carga crítica, corriente de *leakage* y tiempo de escritura (normalizado) para las diferentes configuraciones consideradas.

Del análisis de la tabla anterior se confirma que la configuración más robusta es la 07, seguida por la 05 y la 02. Sin embargo, las corrientes de *leakage* son mucho mayores para las configuraciones 07 y 05 que no para la 02 ya que las dos primeras tienen transistores LVT y la tercera no.

Para ver con mayor claridad el tipo de configuración que resulta más robusta es útil representar la carga crítica en función del tipo de transistor pMOS y nMOS de la celda en un gráfico bivariente como el de la siguiente figura:

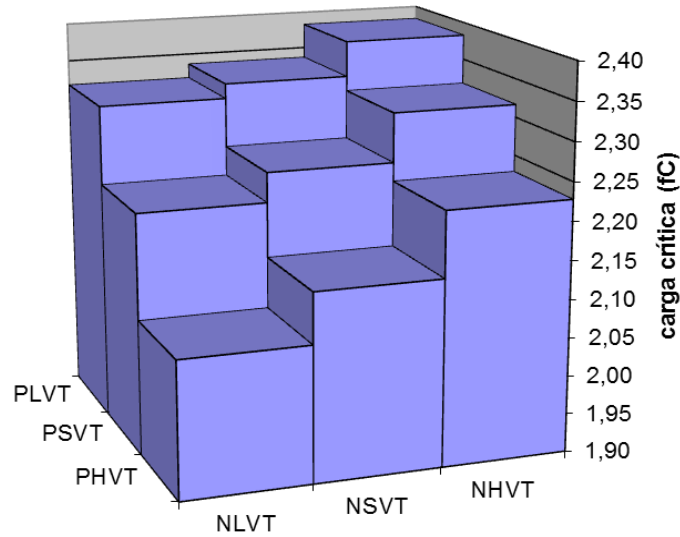


tabla 4.3. Representación de la carga crítica en función de la V_t de los nMOS y de los pMOS de la celda.

Del estudio del gráfico anterior se desprende que la carga crítica se incrementa a medida que aumenta la tensión umbral de los transistores pMOS y disminuye la de los nMOS. Es decir, que interesa que la V_t de los pMOS sea lo más pequeña posible y la de los nMOS lo más grande posible. Estas dos condiciones se maximizan en el caso de la configuración 07 (pMOS LVT y nMOS HVT).

Las características de las tres configuraciones con mayor carga crítica se resumen en la siguiente tabla:

config.	Q_{crit} (fC)	tiempo escritura (norm.)	corriente de leakage (pA)
07 L L H H	2,38	228,4	1,02
05 L L S S	2,34	292,9	1,01
02 S S H H	2,32	28,9	1,05

tabla 4.4. Carga crítica, corriente de leakage y tiempo de escritura (normalizado) para las tres configuraciones con mayor carga crítica.

La configuración 02 tiene la carga crítica un 2,5% menor que la 07 pero tiene mucha menos corriente de leakage ya que no contienen ningún transistor LVT. Además, hay que tener en cuenta que la configuración 07 combina transistores HVT y LVT, esta combinación puede no ser posible en determinadas tecnologías.

Como conclusión para este apartado cabe decir que se han encontrado diferencia en términos de carga crítica entre unas configuraciones y otras. Sin embargo, aunque la diferencia entre las mejores y las peores supera el 10%, no son en general demasiado significativas. También se ha visto que, si no interesa aumentar demasiado el *leakage*, no conviene utilizar transistores LVT.

El principal atractivo de seleccionar las tensiones umbral es que no modifica la estructura del *layout* ni las dimensiones de ningún transistor y, por tanto, es una técnica fácilmente aplicable a cualquier diseño realizado con una tecnología que permita utilizar a la vez transistores con diferentes tensiones umbral. Dado que las diferencias encontradas en términos de carga crítica son pequeñas, puede resultar más conveniente utilizar, la elección de V_t con otros criterios de diseño como por ejemplo el consumo por *leakage*.

Finalmente, cabe comentar que, puesto que la incidencia en términos de carga crítica de esta técnica es pequeña, no se ha implementado en el prototipo de memoria que se ha diseñado y fabricado y que se describe en el capítulo 5.

4.4.2. Modulación del ancho de canal de los transistores

Las memorias acostumbran a ser estructuras en las que se persigue la máxima densidad de integración. Por este motivo, los transistores que forman las celdas de memoria suelen ser de dimensiones cercanas a las mínimas que permite la tecnología. Sin embargo, en este apartado se describe cómo se pueden conseguir celdas SRAM más robustas utilizando transistores con ancho de canal superior al mínimo. Esta técnica tiene un claro impacto en el área que ocupa cada celda y, por tanto, en el área total de la memoria. Por este motivo, se estudia la manera de utilizar el aumento de área de la manera más eficiente, es decir, la manera de conseguir una cierta ganancia en carga crítica con la mínima área adicional.

En el apartado 3.4 en la página 51 se ha justificado la conveniencia de utilizar *layouts* regulares para las celdas SRAM. Este tipo de *layouts* (ver figura 4.24) proporciona ventajas en términos de dispersión de parámetros, factor que se ha convertido en un parámetro clave en el diseño de memorias.

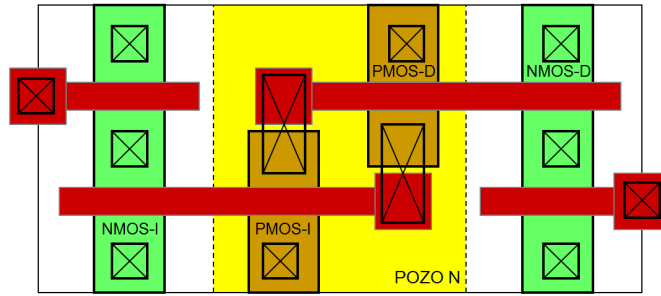


figura 4.24. Ejemplo de *layout* regular para una celda SRAM 6T

La utilización de *layouts* regulares impone restricciones de tipo geométrico, por ejemplo tener que orientar todas las líneas de polisilicio en la misma dirección y alineadas. Pero, el condicionante que más repercute en la técnica de modificar en ancho de canal de los transistores es el hecho de no poder introducir escalones en las zonas de difusión, ya que esto implica no poder modificar libremente los anchos de canal de los transistores.

La formación de escalones en una celda simétrica derecha-izquierda puede evitarse si el ancho de canal de todos los transistores nMOS es el mismo así como también el ancho de canal de todos los pMOS. Si se examina la figura 4.24 se verá como de esta manera, las áreas de difusión se mantienen rectas. Si se parte de una celda donde los anchos de canal de todos los transistores sea el mínimo, la restricción impuesta se expresa de la siguiente manera:

$$\begin{aligned} W_n &= c_n \cdot W_{\min} \\ W_p &= c_p \cdot W_{\min} \end{aligned} \quad (Ec. 4.5)$$

El ancho de canal mínimo de los transistores es $W_{\min} = 150$ nm. Con estas restricciones, el ancho de canal de los nMOS puede variar de forma independiente al ancho de canal de los pMOS. Esto implica que se dispone de dos grados de libertad.

Se ha calculado la carga crítica para diversas combinaciones de W_p , W_n . En la siguiente figura se representan los resultados en un gráfico bivariante donde las variables independientes son W_p , W_n para dos anchos de pulso diferentes:

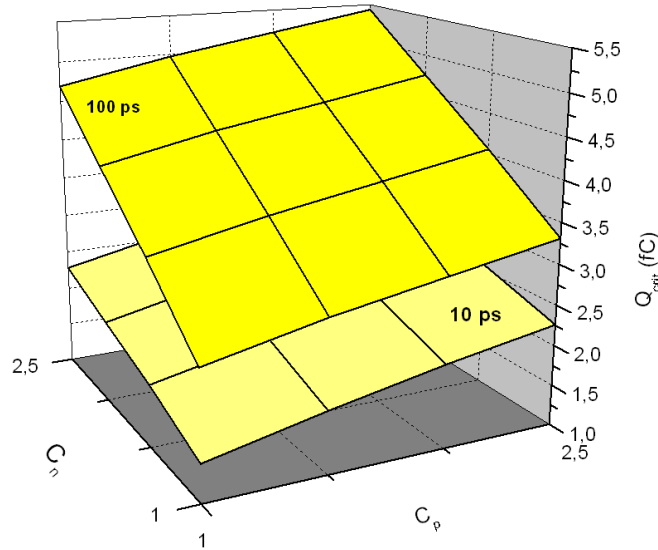


figura 4.25. Carga crítica en función de W_p , W_n para pulsos de 10 ps y 100 ps.

La figura anterior muestra como la celda es más robusta a medida que se aumenta el ancho del canal de los transistores. Es evidente que incrementar el ancho de canal de los transistores produce un claro y desfavorable impacto en el área de cada celda y, como consecuencia, en el área total de la memoria. Por este motivo, es necesario establecer un compromiso entre aumento de la robustez y el área adicional utilizada. Además, es conveniente utilizar el área adicional de la forma más eficiente posible. Esto se discute en el siguiente apartado.

También se ha estudiado cómo afecta la tensión de alimentación a la robustez de estas celdas de medidas no mínimas. En la siguiente figura se representan los resultados de carga crítica para un ancho de pulso de 30 ps en función de W_p , W_n para dos tensiones de alimentación diferentes:

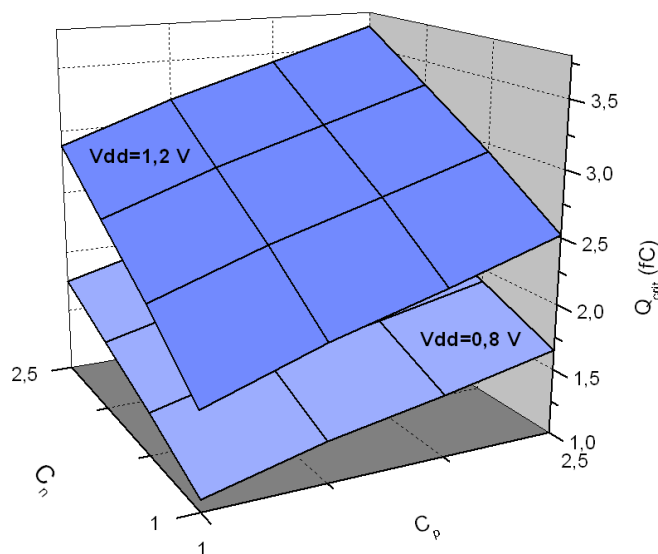


figura 4.26. Carga crítica en función de W_p , W_n para un pulso de 30 ps y para la tensión nominal de alimentación y para una tensión de alimentación de 0,8 V.

Se observa que la disminución de la tensión de alimentación produce una reducción de la carga crítica para todas las combinaciones de anchos de canal de los transistores.

Hasta ahora se ha estudiado la influencia de la modulación del ancho de canal de los transistores sobre la carga crítica en modo almacenamiento. Sin embargo es posible realizar el mismo estudio sobre la carga crítica en modo lectura. En la siguiente figura se muestra una comparativa entre los resultados de carga crítica en modo almacenamiento y lectura para un ancho de pulso de 30 ps.

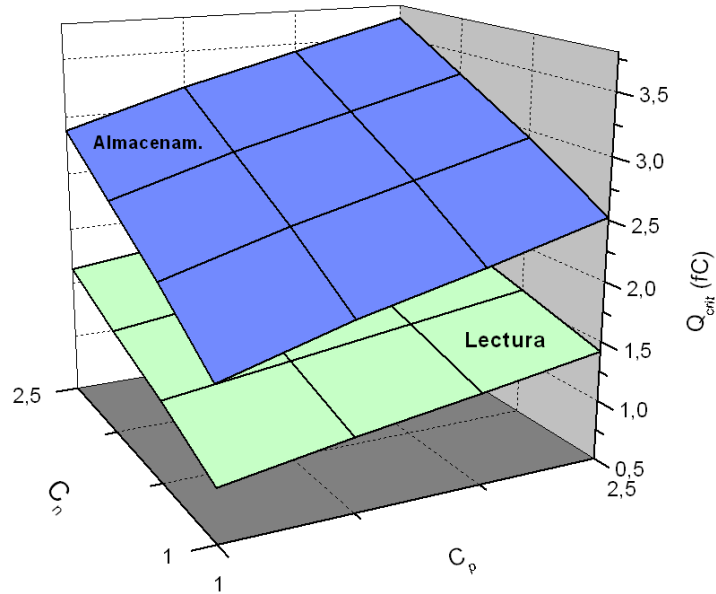


figura 4.27. Carga crítica en modo almacenamiento y lectura en función de W_p , W_n para pulsos de 30 ps.

Del análisis de los resultados de la figura anterior se desprende que la carga crítica en modo lectura es inferior a la de almacenamiento para cualquier combinación de ancho de canal de transistores. Además, la tendencia en modo lectura es la misma que la del modo almacenamiento, a mayor ancho de canal, mayor carga crítica.

Optimización del uso del área adicional para incrementar la robustez a SEUs

Debido a la naturaleza lineal del gráfico de la figura 4.25 y posteriores, es posible definir los siguientes coeficientes de forma que resultan independientes de W_p y de W_n .

$$\eta_p = \frac{\delta Q_{CRIT}}{\delta W_p} \quad \text{y} \quad \eta_n = \frac{\delta Q_{CRIT}}{\delta W_n} \quad (\text{Ec. 4.6})$$

Estos dos coeficientes representan la eficiencia, en términos de carga crítica, de un cierto incremento en el ancho de canal de los transistores (pMOS en el caso η_p , nMOS en el caso de η_n).

Geoméricamente los coeficientes son las pendientes de los planos en las dos direcciones horizontales de la figura 4.25. Estas pendientes varían en función de los diferentes anchos de pulso, por tanto, los coeficientes son función del ancho de pulso considerado. Si se representa gráficamente esta dependencia, se obtiene la siguiente figura:

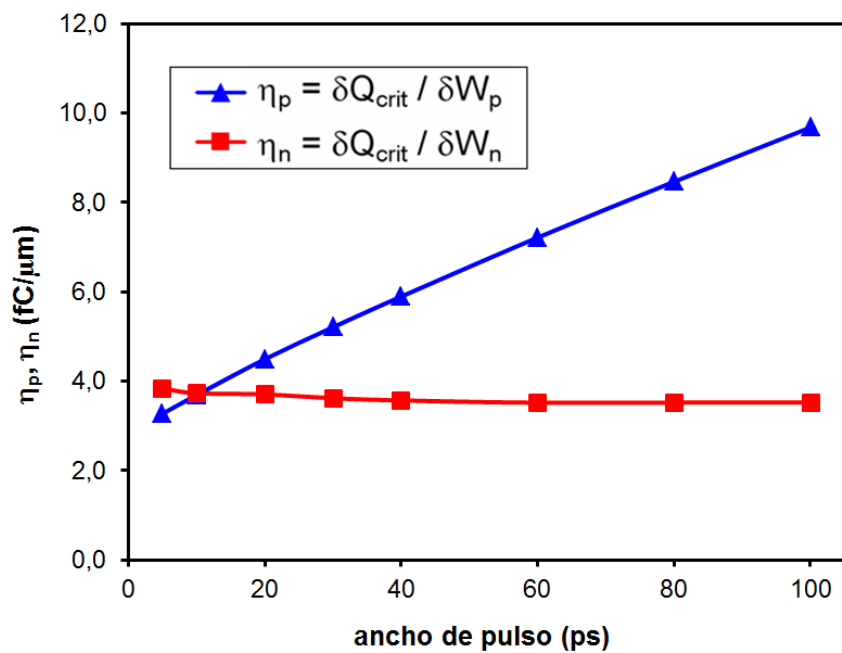


figura 4.28. Dependencia de los parámetros η_p y η_n en función del ancho de pulso para la tensión nominal de alimentación.

En la figura anterior se observa que en general η_p es más grande que η_n , solamente para pulsos muy cortos η_n tiende a igualar o incluso a superar el valor de η_p . Esto significa que para pulsos superiores a unos 10 ps, incrementar solamente el ancho de los transistores pMOS (W_p) es más eficiente que incrementar la de los nMOS (W_n). Los anchos de los pulsos de corriente inducidos cuando se produce un SEU son variables, pero para partículas alpha un ancho típico de pulso es de unos 30 ps [WAL05]. Para este ancho de pulso, aumentar W_p es más eficiente que aumentar W_n .

Se han repetido estos mismos resultados para una tensión de alimentación de 0,8 V, los resultados se muestran en el siguiente gráfico:

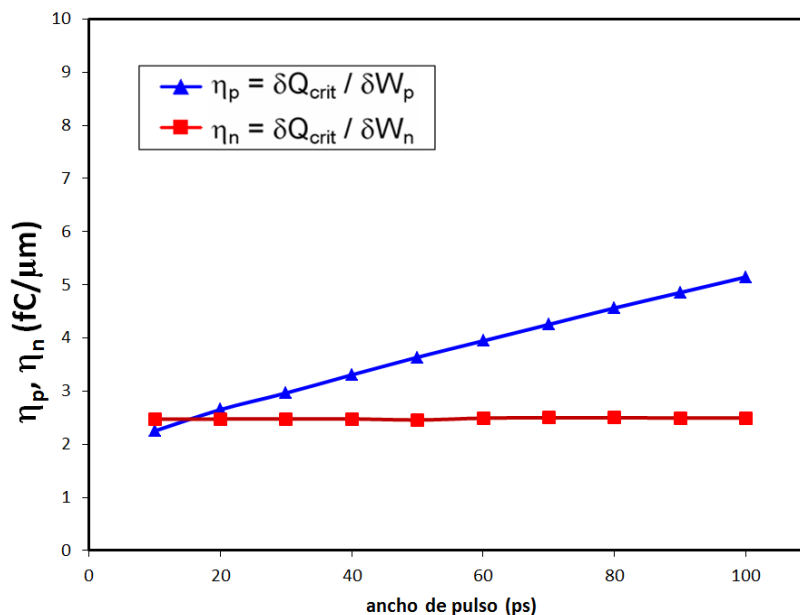


figura 4.29. Dependencia de los parámetros η_p y η_n en función del ancho de pulso para una tensión de alimentación de 0,8 V.

Los resultados obtenidos son análogos a los de la figura 4.28. Sin embargo, los valores de η_p y η_n para 0,8 V son menores que para 1,2 V (nótese que los gráficos de la figura 4.28 y de la figura 4.29 están representados en la misma escala). Esto significa que disminuir la tensión de alimentación no solamente reduce la carga crítica sino que reduce también la eficiencia en términos de carga crítica al hacer los transistores pMOS más anchos.

Para corroborar estos resultados se ha graficado η_p en función del ancho de pulso y de la tensión de alimentación y se ha representado en un gráfico bivariante y como una familia de curvas generadas mediante el parámetro de la tensión de alimentación.

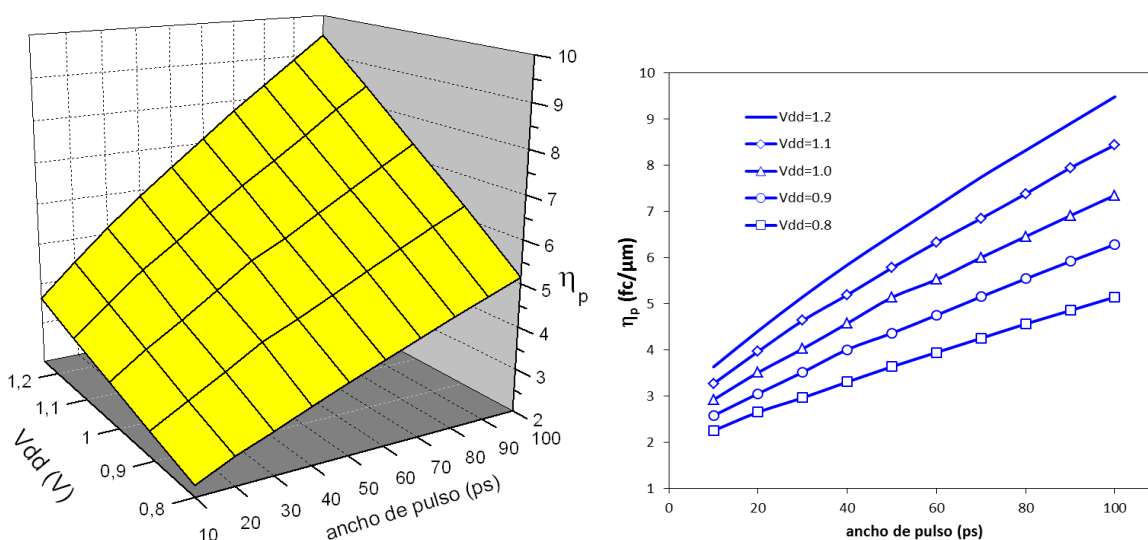


figura 4.30. Dependencia de parámetro η_p en función del ancho de pulso y de la tensión de alimentación.

Del gráfico anterior se desprende que reducir la tensión de alimentación o el ancho de pulso reduce la eficiencia en términos de carga crítica de modular el ancho de canal de los transistores pMOS.

A la luz de todos los resultados expuestos en este apartado se deduce que si se quiere incrementar la robustez de una celda SRAM en un cierto porcentaje, aumentar el ancho solamente de los pMOS y dejar los nMOS sin modificar es más eficiente que cualquier otra combinación de aumento. O bien que, para un ciento incremento de área permitido, la manera de aumentar al máximo la carga crítica de la celda es incrementando solamente W_p .

Esta técnica ha demostrado por simulación ser muy efectiva en términos de carga crítica. Por este motivo se ha decidido implementarla en el prototipo de memoria que se ha diseñado y fabricado tal y como se escribe en el capítulo 5. Se han implementado celdas 6T con 5 combinaciones de anchos de canal de transistores diferentes.

4.4.3. Disminución de la tensión de *word-line*

En el apartado 4.3.4 se ha justificado que durante una lectura la carga crítica de una celda 6T disminuye. La celda se vuelve menos robusta como consecuencia de la perturbación que el proceso de lectura 6T ejerce sobre los valores de tensión de los nodos internos.

La perturbación que se genera al leer la celda puede disminuirse reduciendo la cantidad de carga que se transfiere entre la celda y la *bit-line*. Esto puede hacerse de diversas maneras:

- Reduciendo el tiempo de lectura. Si la lectura se realiza en menos tiempo, la perturbación disminuye en magnitud. Para conseguirlo se necesita utilizar *sense-amplifiers* rápidos y capaces de reaccionar ante diferencias pequeñas de tensión entre las *bit-lines*, cosa que no siempre es posible.
- Utilización de celdas que no perturben la celda durante la lectura: Existen celdas que utilizan 7 transistores [TAW08] o la de 8T [SIL07] contemplada también en esta tesis, que no perturban la celda cuando se procede a su lectura. Sin embargo, tal y como se ha justificado, hay que tener en cuenta la existencia de celdas *half-selected* que pueden sufrir los mismos problemas de estabilidad. En el apartado 3.2.2 se ha comentado que existen estructuras de memorias y topologías de celdas que eliminan las celdas *half-selected*. Además, existen circuitos de ayuda a la lectura como el propuesto en se han propuesto como el descrito en [PIL07] que sin eliminar la perturbación, consiguen reducir su magnitud.

El enfoque de este apartado va en la misma dirección, mitigar la perturbación que se genera al leer una celda. La idea es que al reducir la tensión de *word-line* disminuye la capacidad de conducción de los transistores de paso y, por tanto, se reducirá también la magnitud de la perturbación de la celda. En este apartado se pretende determinar si disminuyendo la tensión de *word-line* durante una lectura, la carga crítica varía respecto al valor de una lectura convencional.

Se ha calculado la carga crítica para un pulso de 30 ps, para el caso $SEU_{1 \rightarrow 0}$ y para todo el rango de tensiones de *word-line* desde cero hasta la nominal. Los resultados se muestran en la siguiente figura:

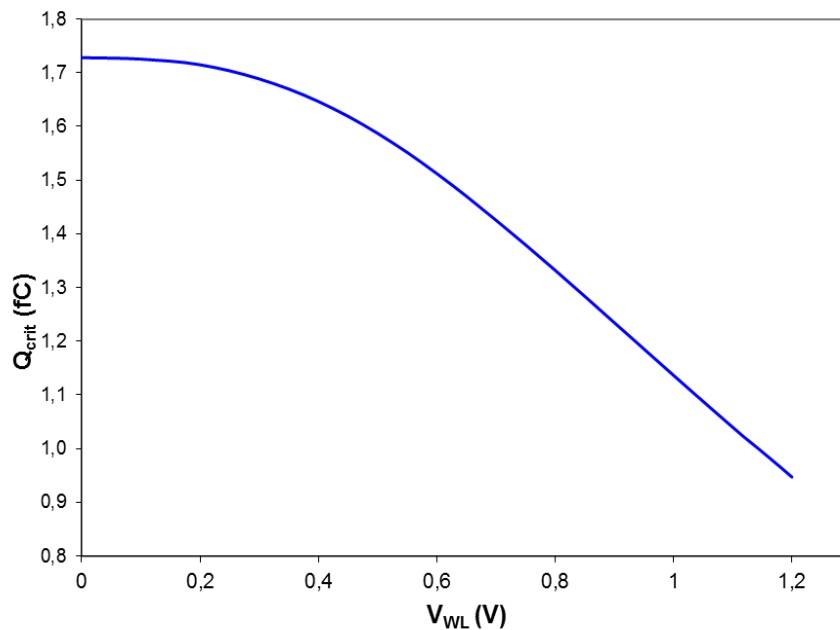


figura 4.31. Evolución de la carga crítica en modo lectura en función de la tensión de *word-line*.

Del análisis de la figura anterior se desprende que la disminución de la tensión de *word-line* provoca un aumento de la carga crítica en lectura hasta llegar al valor de 0 V (transistores en corte) para el que se recupera el valor de la carga crítica para el modo de almacenamiento. Hay que remarcar que este incremento de carga crítica afecta también a todas las celdas seleccionadas por la misma señal de *word-line* pero sobre las que no se está efectuando ninguna operación ni de lectura ni de escritura (*half-selected*).

El comportamiento de la carga crítica frente a la reducción de la tensión de *word-line* es muy similar al que se observa para el SNM y que se encuentra explicado con detalle en el apartado 4.5.3.

La principal ventaja de esta técnica es que no requiere ningún cambio en la matriz de celdas. Los únicos elementos que es necesario modificar son los circuitos de salida del decodificador de fila. De hecho, el decodificador no necesita ser modificado en su totalidad, solamente se requieren buffers que sean capaces de modificar el nivel de tensión de su salida hacia las *word-lines*. Una posible estructura se muestra de forma esquemática en la siguiente figura:

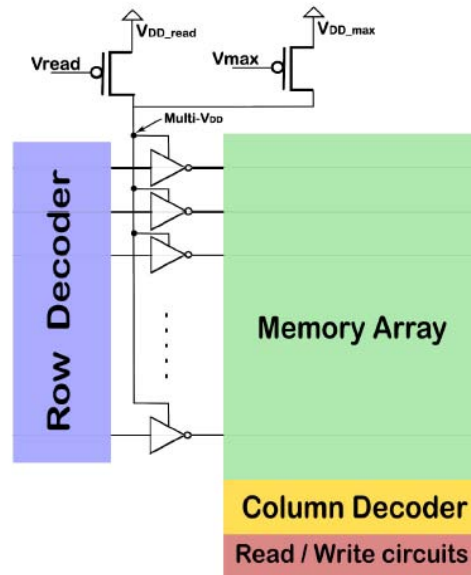


figura 4.32. Representación esquemática de una posible estructura para implementar la técnica de modulación de la tensión de *word-line*.

Una tensión de *word-line* reducida disminuye la capacidad de conducción de los transistores de paso y, por tanto, dificulta las operaciones que los utilizan (lectura y escritura). Sin embargo, con el esquema propuesto, la escritura puede realizarse a la tensión nominal y, por tanto, no verse afectada. De este modo, disminuir la tensión de *word-line* tiene un efecto negativo solamente en el tiempo de lectura.

En la siguiente tabla se recogen los tiempos de lectura normalizados junto con la carga crítica en lectura para diferentes tensiones de *word-line*.

tensión de WL (V)	tiempo de lectura (normalizado)	Q_{crit} (fC)
1,2	1,00	0,95
1,0	1,05	1,14
0,8	1,12	1,33
0,6	1,18	1,51

tabla 4.5. Tiempo de lectura normalizado y carga crítica para diferentes tensiones de *word-line*.

El tiempo de lectura aumenta a medida que se disminuye la tensión de *word-line* pero no de manera muy acusada. El aumento de carga crítica aunque apreciable es moderado. Si la reducción del valor de la tensión de *word-line* es no es muy acusada, el aumento del tiempo de lectura es aceptable, por ejemplo reducir la tensión de *word-line* a 1,0 V conlleva un aumento del tiempo de lectura de un 5% y un incremento de carga crítica del 20%.

La efectividad de esta técnica para mejorar la carga crítica en lectura es significativa pero no se obtienen grandes incrementos de carga crítica. Además, hay que recordar que esta técnica solamente mejora la robustez de las celdas durante el tiempo que se están leyendo o que están *half-selected* ya que la carga crítica durante el periodo de almacenamiento no se ve modificada. Sin embargo, el gran beneficio de esta técnica es en términos de estabilidad de la celda durante la lectura, tal y como se describe más adelante en el apartado 4.5.3. El incremento de carga crítica obtenido, aunque beneficioso, no justificaría por si solo la utilización de esta técnica. Ahora bien, la ganancia en carga crítica combinada con la mejora en estabilidad, convierten a esta técnica en un serio candidato a tener en cuenta.

Estudio combinado de la modulación del ancho de canal de los transistores y de la reducción de la tensión de *word-line*

En el apartado 4.4.2 se ha visto como incrementando el ancho de los transistores se consigue incrementar la carga crítica en modo almacenamiento y en modo lectura. Posteriormente, se ha puesto de manifiesto como la carga crítica en modo lectura puede aumentarse si se realiza la lectura con una tensión de *word-line* reducida. Es este apartado se estudian los efectos sobre la carga crítica en modo lectura de ambas técnicas implementadas conjuntamente.

En concreto se ha estudiado la influencia de la tensión de *word-line* sobre la carga crítica para 4 tamaños de celda diferentes. Los cuatro tamaños son los cuatro valores extremos considerados en el apartado 4.4.2, sus características se detallan a continuación:

	C_n	W_n (nm)	C_p	W_p (nm)
celda mínima	1,0	150	1,0	150
celda-n	2,5	375	1,0	150
celda-p	1,0	150	2,5	375
celda-np	2,5	375	2,5	375

$$W_n = c_n \cdot W_{\min}$$

$$W_p = c_p \cdot W_{\min}$$

tabla 4.6. Características de las cuatro celdas consideradas para estudiar la influencia de la variación en la tensión de *word-line*.

Para estos cuatro tamaños de celda se ha realizado una exploración completa de la tensión de *word-line* cuyos resultados se muestran a continuación:

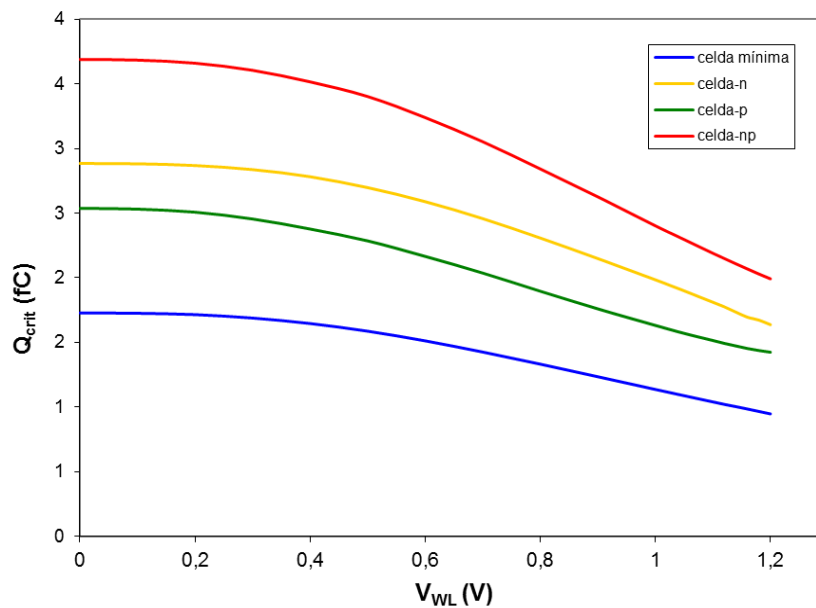


figura 4.33. Evolución de la carga crítica en modo lectura en función de la tensión de *word-line* para cuatro tamaños de celda diferentes.

Los resultados de la figura anterior muestran como la tendencia de aumento de la carga crítica al disminuir la tensión de *word-line* se mantiene para los cuatro tamaños de celda considerados.

Finalmente, cabe indicar que la memoria que se ha diseñado y construido, y que se describe en el capítulo 5, incluye celdas de diferentes tamaños y la posibilidad de modificar la tensión de *word-line*.

4.5. Estabilidad de la celda

Uno de los parámetros críticos en el diseño de una SRAM es la estabilidad de las celdas, especialmente durante un proceso de lectura 6T ya que es cuando se encuentra en el estado más vulnerable [PIL07] puesto que la tensión de sus nodos internos resulta perturbada.

A lo largo de en este capítulo se han expuesto varias técnicas compatibles con *layouts* regulares para incrementar la robustez frente a eventos transitorios debidos a radiación para celdas SRAM. En este apartado se pretende estudiar el impacto de la aplicación de estas técnicas sobre la estabilidad de las celdas, en especial la técnica de modulación del ancho de canal de los transistores y la de modulación de la tensión de *word-line*.

4.5.1. Medida de la estabilidad de la celda. El SNM

La manera clásica de estudiar la estabilidad de una celda SRAM es mediante el parámetro SNM (*Static Noise Margin*) que representa el ruido máximo en tensión que se puede tener a la salida de los inversores realimentados sin provocar que la celda cambie de estado. Es una medida estática y se obtiene mediante análisis DC. El método para determinar el SNM consiste en la superposición en un gráfico de las dos curvas de transferencia de los dos inversores de la celda tal y como puede verse en la siguiente figura:

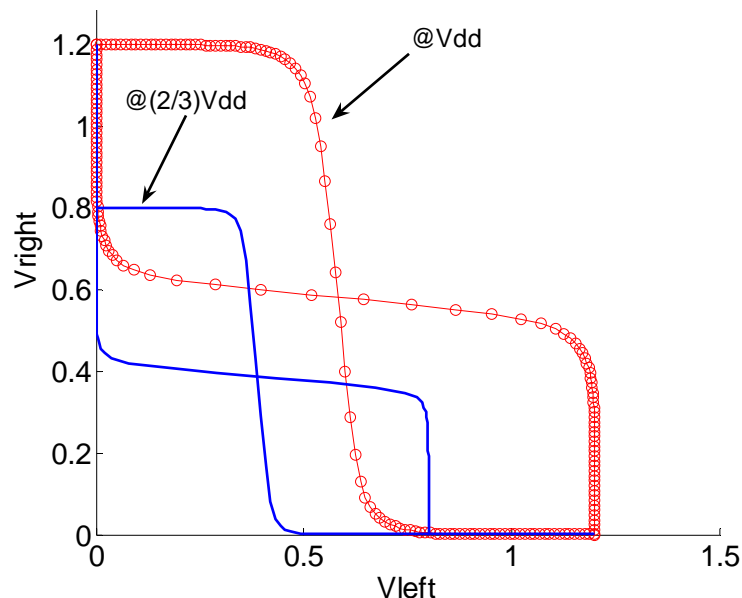


figura 4.34. Diagrama en forma de mariposa para determinar el SNM de una celda en modo de almacenamiento para dos valores de la alimentación.

El diagrama resultante tiene dos lóbulos y, por este motivo, también se le conoce con el nombre de diagrama de mariposa. En el caso de la figura 4.34 se trata de las curvas características de los inversores cuando la celda se encuentra en modo de almacenamiento. El parámetro SNM se define como la medida del lado del mayor cuadrado que puede inscribirse dentro de uno de los lóbulos del diagrama de mariposa. Si los dos lóbulos no son iguales se utilizará el valor más restrictivo de SNM, es decir, el menor. El SNM tiene unidades de voltaje.

En la figura 4.34 se ha representado también el diagrama de mariposa para una tensión de alimentación más baja ($2/3 V_{dd}$). Se puede comprobar gráficamente como el máximo cuadrado que puede inscribirse en cualquiera de los dos lóbulos es más pequeño cuando la tensión de alimentación es más baja. Esto implica que disminuir la alimentación reduce el SNM y, por tanto, hace la celda más vulnerable.

De la misma manera que se han obtenido los diagramas en forma de mariposa para el modo de almacenamiento, se pueden confeccionar para el modo de lectura. Para esto es necesario poner en conducción los transistores de paso de la celda (*word-line* a nivel alto) y poner las dos *bit-lines* también a nivel alto, es decir, precargadas tal y como están durante el proceso de lectura. El diagrama resultante puede verse en la siguiente figura:

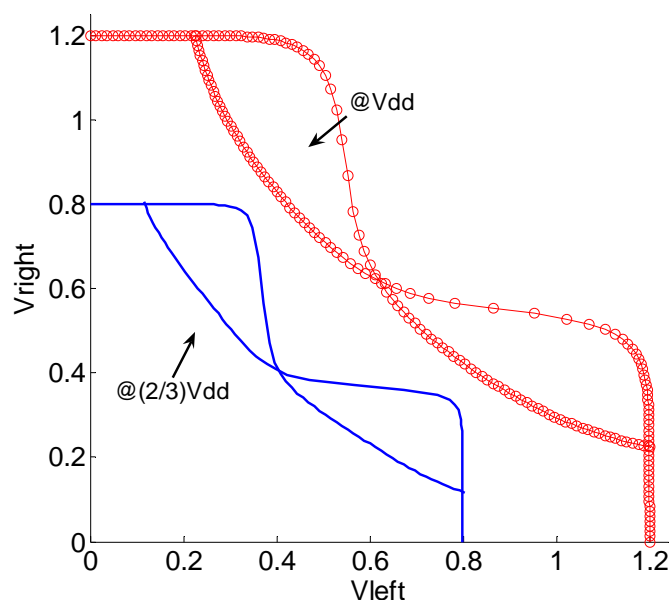


figura 4.35. Diagrama en forma de mariposa para determinar el SNM de una celda en modo de lectura para dos valores de la alimentación.

Si se compara la figura 4.34 (modo de almacenamiento) con la figura 4.35 (modo lectura) se aprecia como el SNM del modo lectura es notablemente inferior al modo de almacenamiento. Esto cuantifica la afirmación anterior referente a que durante la lectura es el momento en que la celda es más inestable y, por tanto, más vulnerable a perturbaciones.

La degradación de SNM durante una lectura se debe al hecho de que en esta situación el nodo de la celda que se encuentra a nivel bajo incrementa su tensión debido al efecto de la *bit-line* (nivel alto) a la que está conectado mediante el transistor de paso. De la figura 4.35 se desprende también que en modo lectura, bajar la tensión de alimentación provoca igualmente un empeoramiento del SNM.

En la siguiente tabla se detallan los valores numéricos del SNM para el caso de almacenamiento y lectura y para las dos tensiones consideradas.

SNM (mV)	Vdd	(2/3) Vdd
almacenamiento	448,4	320,3
lectura	173,5	131.9

tabla 4.7. SNM en modo almacenamiento y lectura para dos niveles de tensión de alimentación

4.5.2. Estudio de la repercusión de las restricciones dimensionales en la estabilidad de la celda

Para conseguir *layouts* que minimicen la variación de parámetros en el apartado 3.4.1 en la página 53 se ha propuesto la utilización de la celda ancha (denominada también celda litográficamente simétrica) en su configuración de *layout* de difusiones rectangulares. Es decir el *layout* al que hemos denominado “*layout* regular”. Para ello, las dimensiones de los transistores tienen que cumplir ciertas restricciones que se han justificado anteriormente en el apartado 4.4.2. En particular, todos los transistores nMOS tienen que tener el mismo ancho y todos los pMOS también. Además, se ha propuesto una técnica de modulación del ancho de canal de los transistores compatible con *layouts* regulares para mejorar la robustez de la celda a efectos transitorios debidos a radiación.

El objetivo de este apartado es estudiar el efecto, en términos de SNM, de las restricciones impuestas para tener *layouts* regulares así como el efecto de la modulación del ancho de canal de los transistores.

Para estudiar el comportamiento del SNM de la celda se han elegido los tres parámetros que se han introducido en el apartado 3.1.1 en la página 33. Por comodidad, repetimos de forma resumida sus definiciones:

$$\gamma = \frac{W_{pas}}{W_{min}}, \quad \alpha = \frac{W_n}{W_{pas}}, \quad \beta = \frac{W_p}{W_{pas}} \quad (Ec. 4.7)$$

En primer lugar se hará variar de forma libre estos tres parámetros y, posteriormente, se impondrán restricciones dimensionales para determinar cómo afectan al SNM.

Se ha calculado el SNM de la celda para todas las posibles combinaciones de valores de estos 3 parámetros. Los valores se han hecho variar entre 1 y 2,5 para obtener celdas de medidas razonables. Los cálculos se han realizado tanto para el modo lectura como para el modo de almacenamiento. Este último sirve como referencia para apreciar mejor la degradación de SNM en modo lectura. Los resultados pueden verse en la gráfico bivariante de la figura 4.36 que utiliza α y β como a variables independientes y γ como a parámetro para obtener una familia de planos. En la figura, cada valor de γ (1,0 , 1,5 , 2,0 y 2,5), está representado por un plano diferente aunque, al ser prácticamente coincidentes, son difíciles de apreciar. Esto es un resultado importante ya que significa que el parámetro γ tiene muy poca influencia en el SNM.

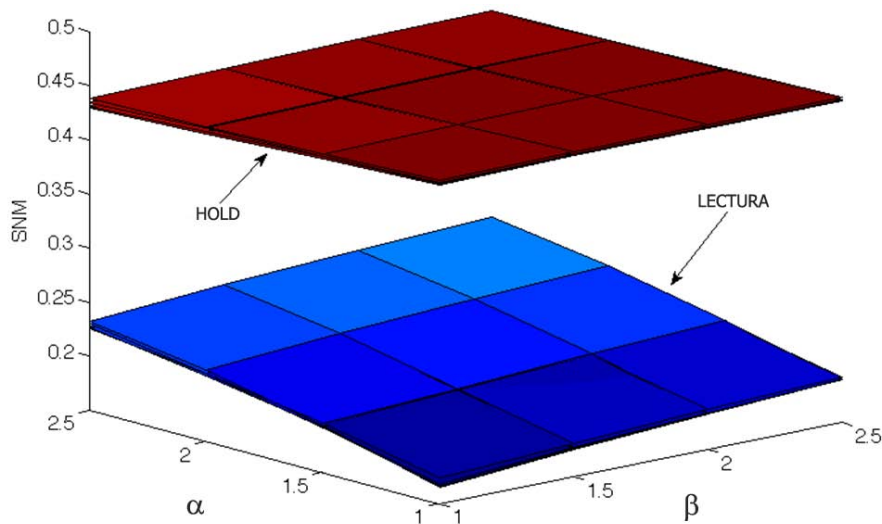


figura 4.36. Variación del SNM en función de los parámetros de diseño utilizados para dimensionar los anchos de los transistores para el modo almacenamiento y para el modo lectura

Si se analizan las definiciones de α , β y γ se deduce que aumentar γ , manteniendo α y β constantes, implica incrementar los anchos de canal todos los transistores de la celda (W_n , W_p

y W_{pas}). Por tanto, hacer todos los transistores de la celda más anchos no proporciona una mejora de SNM. Sin embargo, tal y como se ha justificado en el apartado 4.4.2 la carga crítica más alta se obtiene cuando se maximizan los anchos de canal de todos los transistores. Con los resultados aquí expuestos se deduce que, en este aspecto, el SNM tiene un comportamiento radicalmente diferente al de la carga crítica.

Continuando con el análisis de la figura 4.36 se llega a las siguientes conclusiones adicionales:

- En el caso del modo de almacenamiento, α y β tienen poco efecto sobre el SNM.
- El máximo SNM en lectura se obtiene para el caso en el que α y β son máximos.
- En el caso del modo lectura, aumentar α resulta más efectivo para incrementar el SNM que aumentar β .

Lo expuesto hasta aquí implica que, para aumentar el SNM en lectura, conviene utilizar valores de α superiores a 1 (hacer W_n más grande que W_{pas}). Este requerimiento es incompatible con la restricción que impone la utilización de *layouts* regulares (sin escalones en las zonas de difusión) ya que todos los transistores nMOS tienen que tener el mismo ancho ($\alpha = 1$ o $W_n = W_{pas}$). En *layouts* no regulares los valores de α suelen estar comprendidos entre 1,8 y 2,5 [BAN05].

Para solucionar este problema de posible falta de estabilidad en celdas con *layouts* regulares existen soluciones donde en lugar de aumentar W_n se aumenta la longitud de canal de los transistores de paso. En el apartado 4.5.3 en la página 118 se presenta otra solución al problema de la estabilidad en modo lectura con *layouts* regulares.

Una vez impuestas las restricciones para obtener un *layout* regular ($\alpha = 1$) es posible modificar los anchos de canal de los transistores nMOS y pMOS de manera independiente. En el apartado 4.4.2 se han explorado las posibilidades de obtener celdas más robustas desde el punto de vista de la carga crítica con estas restricciones. En este apartado se pretende determinar cómo afectan estas restricciones al SNM. Con $\alpha = 1$ ($W_n = W_{pas}$), el parámetro γ (al que le ha añadido el sufijo “reg” para indicar que se trata de un *layout* regular) queda:

$$\gamma_{reg} = \frac{W_n}{W_{min}} \quad (Ec. 4.8)$$

Por tanto, aumentar W_n implica incrementar γ_{reg} que, a la luz de los resultados de la figura 4.36 tiene muy poca influencia en el SNM tanto en modo almacenamiento como en modo lectura.

Para estudiar el caso de incrementar W_p manteniendo $W_n = W_{\min}$ el parámetro β_{reg} queda:

$$\beta_{\text{reg}} = \frac{W_p}{W_{\min}} \quad (\text{Ec. 4.9})$$

Por tanto, aumentar W_p manteniendo W_n sin modificar implica aumentar β_{reg} . De los resultados de la figura 4.36 se desprende que, en este caso, se obtiene una cierta mejora en los resultados de SNM en lectura aunque mucho menor que la que podría obtenerse si se pudiera aumentar α .

Como conclusión de este apartado cabe decir que las restricciones dimensionales impuestas por el hecho de utilizar *layouts* regulares impiden utilizar las técnicas de mejora del SNM en lectura habituales o, como mínimo, limita los grados de libertad a disposición del diseñador. Sin embargo, las modificaciones de los anchos de canal de los transistores propuestas en el apartado 4.4.2 para mejorar la carga crítica afectan marginalmente al SNM y en todo caso lo mejoran ligeramente.

4.5.3. Estudio de la repercusión de la disminución de la tensión de *word-line* en la estabilidad de la celda. Técnica de mejora de la estabilidad en modo lectura

En este apartado se analiza el comportamiento del SNM en lectura cuando se aplica la técnica de disminución de la tensión de *word-line* presentada en el apartado 4.4.3 en la página 108. Allí, se ha justificado que es posible aumentar la carga crítica en lectura a expensas de incrementar el tiempo de lectura. Disminuir la tensión de *word-line* reduce la perturbación que sufre la celda durante la lectura, por tanto, resulta interesante averiguar conlleva también una mejora en términos de SNM en lectura.

Además, en el apartado anterior se ha justificado que la utilización de *layouts* regulares restringe las posibilidades de optimización de la celda en términos de SNM en lectura. Por tanto, en caso que la tensión de *word-line* tenga impacto sobre el SNM en lectura, puede utilizarse como método para contrarrestar la pérdida de grados de libertad a disposición del diseñador para optimizar la estabilidad debido a la utilización de *layouts* regulares. Esta técnica no afecta a la estructura de la celda y, por tanto, es plenamente compatible con todo tipo de *layout*.

El esquema de funcionamiento es el mismo del apartado que se propone en el apartado 4.4.3 y consiste en utilizar durante la lectura una tensión de *word-line* por debajo de la de alimentación. De esta manera, se consigue reducir la capacidad de conducción de los transistores de paso y, en consecuencia, reducir el trasvase de carga entre las *bit-lines* y la celda. La tensión de *word-line* no se disminuye durante el modo de escritura.

Se ha calculado el SNM para diferentes valores de tensión de *word-line*, desde 0 V (modo almacenamiento) hasta la tensión de alimentación. Los resultados pueden verse en la siguiente figura:

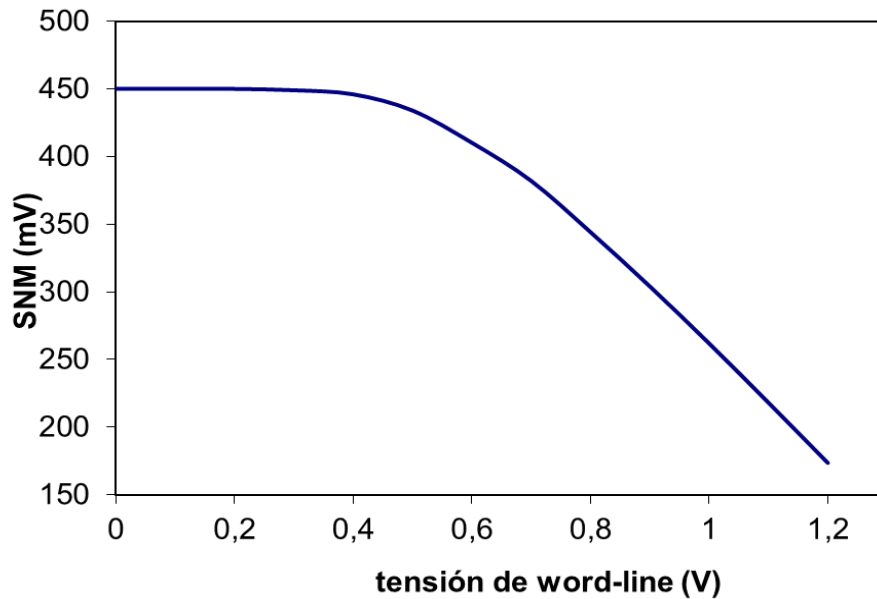


figura 4.37. Evolución del SNM en función de diferentes tensiones de *word-line*.

Como puede verse en el gráfico anterior, a medida que se disminuye la tensión de *word-line* se incrementa el SNM hasta llegar al valor de SNM para el modo de almacenamiento. Hay que remarcar que este método de mejora del SNM afecta también a todas las celdas seleccionadas por la misma señal de *word-line* pero sobre las que no se está efectuando ninguna operación ni de lectura ni de escritura (celdas *half-selected*).

También se ha estudiado si esta tendencia de mejora del SNM se mantiene cuando se combina con la técnica de mejora de la carga crítica por modulación del ancho de los transistores. Se ha repetido el cálculo del SNM en función de la tensión de *word-line* para 3 casos diferentes.

En el siguiente gráfico se muestran los resultados para:

- Celda mínima: celda con los anchos de canal de todos sus transistores mínimos.
- Celda-p: celda con los anchos de canal de los transistores pMOS incrementados ($W_p = 2,5 \cdot W_{min}$) y los de los nMOS mínimos. Este es el caso óptimo desde el punto de vista de la robustez a efectos transitorios debidos a radiación utilizando el área adicional de manera eficiente.
- Celda-n: celda con los anchos de canal de los transistores nMOS incrementados ($W_n = 2,5 \cdot W_{min}$) y los de los pMOS mínimos.

Los resultados pueden verse en la siguiente figura:

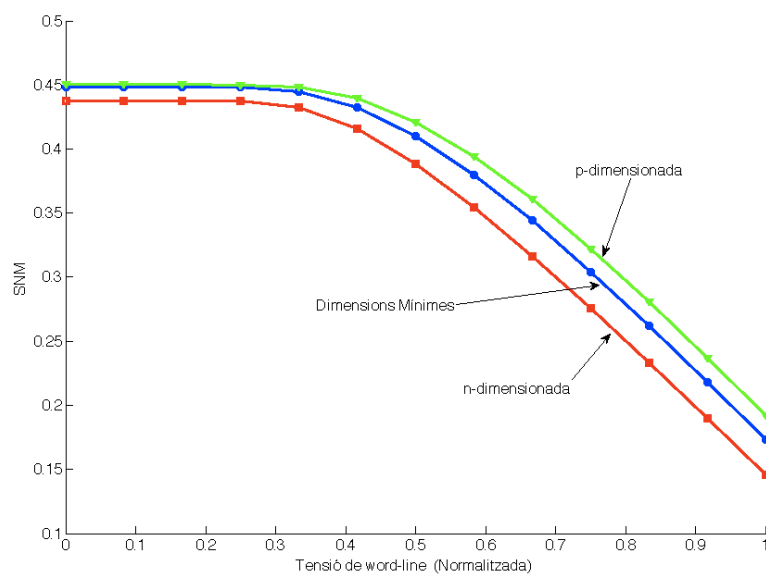


figura 4.38. Evolución del SNM con la tensión de *word-line* para diferentes casos de anchos de transistores.

Del análisis de la figura 4.38 se desprende que, para las diferentes opciones de modulación de ancho de canal de los transistores consideradas, se mantiene una tendencia similar en cuanto al aumento del SNM al disminuir la tensión de *word-line*.

La técnica de disminuir la tensión de *word-line* ha demostrado ser capaz de incrementar el valor de SNM en lectura, sin embargo, utilizar este método presenta el inconveniente de incrementar el tiempo de lectura. Como ya se ha comentado anteriormente, el hecho de que los transistores de paso tengan menos capacidad de conducción, provoca que la tensión de la línea de *bit-line* conectada al nodo que se encuentra a nivel bajo disminuya más lentamente y que, por tanto el tiempo de lectura se incremente. En la siguiente tabla se muestran valores numéricos de SNM y de tiempo de lectura para el caso de una celda de dimensiones mínimas y para el de la celda-p.

Celda-mínima ($W_n=W_{\min}$ y $W_p=W_{\min}$)			Celda-p ($W_n=W_{\min}$ y $W_p=2,5 \cdot W_{\min}$)		
tensión de WL (V)	tiempo de lectura (normalizado)	SNM (mV)	tensión de WL (V)	tiempo de lectura (normalizado)	SNM (mV)
1,2	1,00	173,5	1,2	1,00	192,4
1,0	1,05	261,8	1,0	1,05	280,6
0,8	1,12	344,1	0,8	1,12	360,9
0,6	1,18	410,2	0,6	1,18	420,8

tabla 4.8. SNM y tiempo de lectura normalizado para diferentes valores de tensión de *word-line* para dos casos de dimensionado de los transistores de la celda.

Del análisis de la tabla 4.8 se desprende que el tiempo de lectura aumenta al disminuir la tensión de *word-line*. Sin embargo, este descenso es mucho menos acusado que el incremento de SNM conseguido. Por ejemplo, reducir la tensión de *word-line* hasta 1 V incrementa el tiempo de lectura un 5% pero se consigue una ganancia en términos de SNM de un 45-50% según la opción de dimensionado de los transistores que se considere. Cabe remarcar que el tiempo de lectura no varía entre las dos opciones de dimensionado mostradas en la tabla 4.8, esto se debe a que el tiempo de lectura viene determinado en gran parte por la capacidad de conducción de corriente de los transistores nMOS de la celda, ya que son los que descargan las *bit-lines*. En los dos casos considerados los transistores nMOS son iguales.

Como conclusión cabe decir que la técnica de disminución de la tensión de *word-line* es efectiva para mejorar el SNM en lectura a expensas de un cierto incremento del tiempo de lectura. Si se realizan reducciones moderadas de la tensión de *word-line*, el tiempo de lectura no se incrementa excesivamente. Este sistema se propone como posible solución para contrarrestar la pérdida de estabilidad de las celdas SRAM diseñadas con *layouts* regulares. Además, la técnica no afecta ni a las corrientes de *leakage* ni a la carga crítica en modo almacenamiento. Sin embargo, tal y como se ha justificado en apartado 4.4.3, también contribuye a mejorar la carga crítica en modo lectura. Finalmente, la técnica tiene la ventaja adicional de no alterar la estructura de la matriz de celdas de memoria ni las celdas en sí mismas, por tanto, requiere de mínimas modificaciones para su implementación y deja las dimensiones de los transistores de la celda como parámetros libres para que el diseñador ajuste otras características de las celdas.

Comparativa entre el comportamiento de del SNM y de la carga crítica frente a la disminución de la tensión de *word-line*

A la luz de todo lo expuesto hasta este punto se puede concluir que existe un paralelismo entre el comportamiento de la carga crítica y del SNM durante una lectura de una celda 6T. Ambas magnitudes sufren una degradación fruto de la perturbación que experimenta la celda cuando se conecta a las *bit-lines* a través de los transistores de paso. Además, se ha visto que si se disminuye la tensión de *word-line* durante la lectura, la evolución de ambos parámetros sigue un comportamiento similar.

En la siguiente figura puede verse una comparativa entre el comportamiento del SNM y de la carga crítica frente a una misma disminución de la tensión de *word-line*:

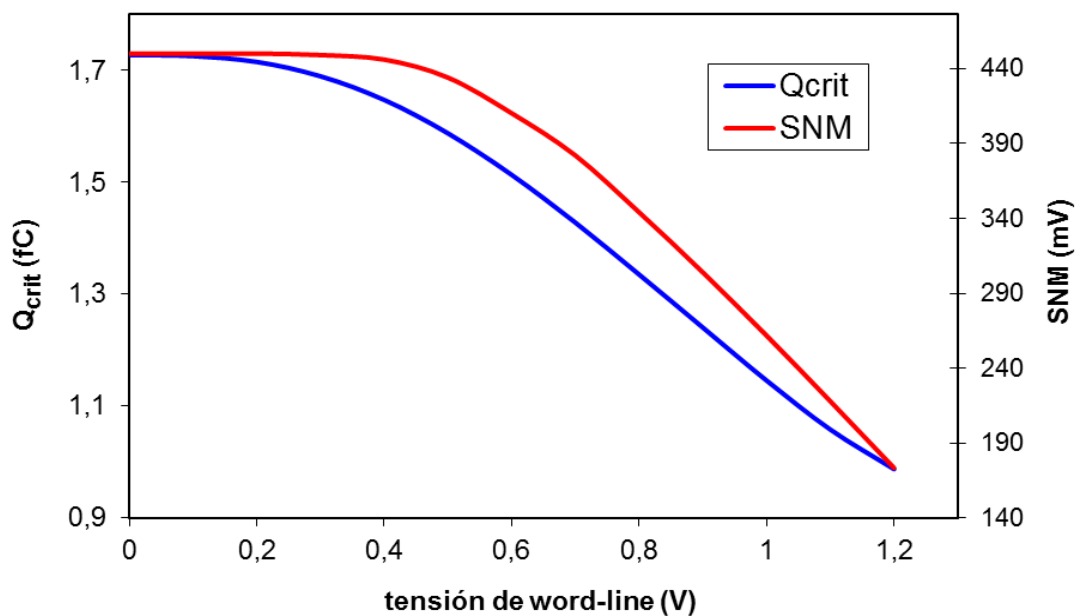


figura 4.39. Comparativa de la evolución del SNM y de la carga crítica en función de diferentes tensiones de *word-line*.

Cabe remarcar que las escalas verticales para la carga crítica y para el SNM son diferentes y que se ha hecho coincidir los dos extremos de las dos curva solamente para facilitar su comparación.

Las dos curvas tienen una tendencia similar, presentan la pendiente más pronunciada (más negativa) en las cercanías de la tensión nominal que se va reduciendo a medida que nos acercamos a la tensión de corte de los transistores.

Capítulo 5

Diseño del prototipo de memoria

El segundo de los objetivos de esta tesis es diseñar y fabricar un prototipo de memoria SRAM con el objetivo de estudiar sobre un circuito real los efectos de los fenómenos transitorios inducidos por radiación y verificar experimentalmente algunas de las técnicas de mitigación presentadas en el capítulo anterior.

El chip que se ha diseñado y fabricado contiene cinco bloques independientes de memoria. Como se comprobará a lo largo de este capítulo, el diseño proporciona flexibilidad en los modos de operación de las memorias, además de un total de seis tipos de celda diferentes, sensores de corriente para detectar la ocurrencia de SEUs, apertura de ventanas en las capas de metal para facilitar la emulación de SEUs mediante láser, celdas especiales que permiten la inyección de fallos en forma SEUs y control independiente de diversos voltajes de polarización.

Cada una de las memorias que forman parte del chip es diferente, ya sea en cuanto a la distribución de elementos o con la presencia o ausencia de ellos. Estas variaciones entre diseños están orientadas a facilitar el estudio de los efectos de la radiación en diferentes condiciones y para evaluar mejor el efecto individual de cada elemento a la vez que se maximiza la versatilidad del prototipo de memoria. El objetivo de todo esto es diseñar un chip

de memoria que permita realizar la mayor cantidad posible de experimentos diferentes y que tenga la máxima flexibilidad de operación para incrementar así el número de fenómenos que sea posible estudiar.

5.1. Motivación

Esta tesis pretende estudiar el efecto de los fenómenos inducidos por radiación en memorias SRAM nanométricas. Como se ha justificado en el apartado 3.5.2 en la página 60 esto puede llevarse a cabo por simulación eléctrica utilizando la carga crítica como métrica para evaluar la robustez frente a efectos transitorios debidos a radiación o mediante el SER. La carga crítica presenta múltiples ventajas como por ejemplo la versatilidad que ofrecen las simulaciones o la posibilidad de medir parámetros que de otra forma no sería posible conocer. Sin embargo, el parámetro que realmente refleja la robustez de una memoria frente a fenómenos transitorios inducidos por radiación es el SER y, aunque existen maneras de correlacionar SER y carga crítica (ver apartado 3.5.2 en la página 60), la única manera de obtener una medida del SER sin depender de modelos más o menos precisos, es disponiendo de una memoria sobre la que experimentar.

Se podría haber optado por utilizar memorias comerciales, sin embargo el fabricante no suele facilitar muchos de los datos de su implementación que pueden resultar cruciales para un buen estudio. Además, las memorias comerciales se diseñan pensando en el uso que van a tener y, por tanto, no es posible modificar demasiados parámetros de su funcionamiento ni, por supuesto, ningún parámetro de diseño. Otra solución podría haber sido diseñar un chip que contuviera una o diversas memorias compiladas. Esta solución permite disponer de diferentes memorias en un mismo chip modificando en cada una de ellas los parámetros que el compilador de memorias permita controlar. Estos parámetros no acostumbran a ser parámetros a bajo nivel como modificaciones en la estructura de conexiones internas, sino parámetros referentes a la capacidad de la memoria, o compromisos entre velocidad de operación, densidad de celdas y consumo. No obstante, no suele ser posible conocer con precisión cómo se traducen a nivel de circuito o de *layout* las diferentes elecciones de parámetros del compilador.

Para cumplir disponer de un prototipo de memoria que sirva de banco de pruebas para realizar múltiples experimentos conociendo y controlando el mayor número de parámetros, se ha decidido diseñar y construir un integrado con bancos de memoria *full-custom* cuyas características de diseño se encuentran descritas a lo largo de este capítulo. Esta solución,

pese a ser la más versátil, tiene el inconveniente del mayor esfuerzo de diseño que requiere. En los siguientes apartados se detallan las características del diseño del prototipo de memoria.

La exploración completa de las capacidades experimentales de la memoria está fuera de los objetivos de esta tesis, sin embargo se ha realizado una verificación experimental del correcto funcionamiento de todos los módulos diseñados en el marco de esta tesis, así como de los diferentes modos de operación. De esta forma se han explorado y determinado las potencialidades experimentales de la memoria. Además, se ha irradiado la memoria con partículas alpha y se han extraído conclusiones respecto a la validez de algunas de las técnicas para aumentar la robustez de las celdas expuestas en el capítulo anterior.

5.2. Características generales del diseño

El diseño se ha implementado en una tecnología comercial CMOS de 65 nm.

Cada memoria está formada por:

- El núcleo de la memoria que a su vez consta de:
 - o Las celdas de memoria
 - o *Sense-amplifiers*
 - o Otros elementos para el correcto funcionamiento
- Lógica de control

El núcleo de la memoria se ha diseñado *full-custom*, mientras que la lógica de control se ha implementado mediante *standard-cells*.

5.2.1. Organización y dimensionado

El chip contiene 5 memorias independientes, cada una de ellas con características diferentes para poder estudiar mejor la influencia de cada uno de los parámetros de diseño o de los dispositivos que las diferencian. Sin embargo, cada memoria, tienen el mismo número de celdas, 16.384 celdas distribuidas en 256 filas y 64 columnas. Cada celda almacena un bit, por tanto, se trata de memorias de 16 kb. Los datos se leen en palabras de 8 bits, lo que resulta en 2048 palabras de 8 bits o 2 kB. A continuación se presentan en forma resumida estas características:

Características de cada banco de memoria:

- Celdas totales: 16.384
- Número de filas: 256
- Número de columnas: 64
- Capacidad: 16 kb ó 2 kB
- Longitud de palabra: 8 bits

El número de celdas de cada banco de memoria es lo bastante grande como para poder recoger suficientes datos si la memoria se somete a un proceso de irradiación en el que no sea posible controlar la distribución de las celdas afectadas.

5.2.2. Tipologías de celda utilizadas

Para el diseño de la memoria se han utilizado dos tipologías diferentes de celda SRAM:

- Celda SRAM de 6 transistores (6T)
- Celda SRAM de 8 transistores (8T)

Ambas celdas se han descrito en el apartado 3.1 en la página 32. La razón de elegir estas dos celdas se debe a que se trata de las dos tipologías más utilizadas actualmente en memorias SRAM comerciales. La celda 6T viene utilizándose desde hace más tiempo que la celda 8T, sin embargo esta última está ganando protagonismo hasta el punto de que por ejemplo Intel® las utiliza en las memorias caché de nivel 1 y 2 (L1 y L2) de algunos de sus procesadores [KUM09].

En cuanto al *layout*, se ha optado por utilizar una topología denominada *layout* regular [OSA01], para las celdas 6T (figura 5.1) y una variación de la misma para las celdas 8T. A esta celda se la denomina también celda ancha, celda litográficamente simétrica o, en la versión que se utilizará, celda de difusiones rectangulares. En el apartado 3.4 en la página 51 se puede encontrar más información referente a este *layout*.

Las razones de su elección son básicamente que consigue disminuir la variación de parámetros y que se recomienda su uso a partir del nodo de 90 nm.

Las características básicas de esta *layout* son las siguientes:

- Todas las líneas de polisilicio están alineadas en la misma dirección.
- Las zonas activas son rectas es decir sin cambios de ancho.

En la siguiente figura puede verse el resultado final del *layout* que se ha diseñado para la celda 6T sin las capas de metal:

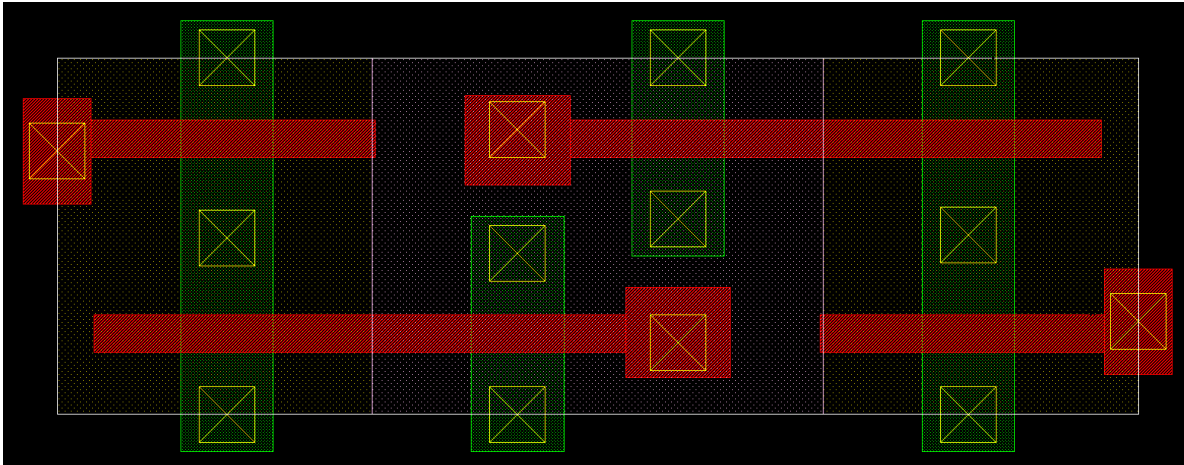


figura 5.1. *Layout* utilizado per a la celda 6T sin las capas de metal.

En el *layout* se aprecian las características anteriormente mencionadas, no hay cambios de ancho en las zonas activas y las líneas de polisilicio van todas en dirección horizontal y están alineadas.

5.2.3. Otras características del diseño:

Para el diseño se ha utilizado una tecnología comercial de 65 nm que ofrece diversas tensiones umbral para los transistores, divididas en dos grupos:

- Transistores *Low Power* (LP):
 - *High V_t* (HVT)
 - *Standard V_t* (SVT)
 - *Low V_t* (LVT)
- Transistores *General Purpose* (GP):
 - *High V_t* (HVT)
 - *Standard V_t* (SVT)

Los transistores LP tienen mucha menos corriente de *leakage* que los GP. En una estructura con gran densidad de transistores, como el caso de una memoria SRAM, interesa no tener un consumo demasiado elevado, por este motivo, se ha descartado utilizar los transistores GP. De entre las tres V_t de los transistores LP se ha optado finalmente por los SVT por representar un buen compromiso entre consumo y velocidad.

No se ha considerado utilizar transistores de diferentes V_t en una misma celda para implementar la técnica de selección de tensiones umbral descrita en el apartado 4.4.1 en la página 96 porque, tal y como ha quedado justificado, no reporta beneficios significativos en términos de carga crítica.

La memoria se lee y escribe en palabras de 8 bits. Cada uno de estos bits no se encuentra en columnas consecutivas sino están a una distancia de 8 columnas. Tal y como se ha descrito en el apartado 3.2.1 en la página 46 esto implica una distancia de *interleaving* de 8. El *interleaving* juega un papel importante si se implementan códigos detectores y correctores de errores cuando se producen errores simultáneos en diversas celdas adyacentes (MCUs). Si los bits de cada palabra se encuentran separados, resulta poco probable que una misma partícula afecte a dos celdas que pertenezcan a la misma palabra. De esta forma, se reduce la probabilidad de tener MBUs y los códigos de detección y corrección pueden ser menos complejos.

Para poder detectar o corregir errores es necesario que la memoria disponga de bits redundantes y que incorpore códigos de detección o corrección de errores y algoritmos para su utilización. La memoria que se ha diseñado y construido no incorpora dichos códigos. Sin embargo, se ha decidido realizar un diseño con una distancia de *interleaving* de 8 para posibilitar que en futuras modificaciones que incorporen códigos de detección y corrección de errores, los cambios a realizar en el *layout* sean menores.

5.3. Descripción de las diferentes partes de la memoria

Cada una de los 5 bancos de memoria que forman el prototipo que se ha diseñado y construido tiene una estructura similar formada por diferentes módulos que se describen en detalle a lo largo de este apartado.

En líneas generales, cada banco de memoria está formado por (figura 5.2):

- Una matriz de celdas SRAM de 256 filas y 64 columnas. Estas 64 columnas se estructuran en 8 palabras de 8 bits. Cada matriz está formada íntegramente por celdas 6T o por celdas 8T, en el caso de las matrices 6T, algunas matrices están formadas por celdas con transistores de diferente ancho de canal.
- Unidad de control: la unidad de control de cada banco de memoria realiza diversas funciones:

- Generación de las señales de control necesarias para el funcionamiento de los demás elementos de la memoria. Estas señales se generan en función de las señales de entrada que recibe. Además de poder leer y escribir de manera convencional se le han añadido algunas funcionalidades adicionales descritas en detalle en el apartado 5.5.1.
- Decodificador de fila: A partir de la dirección de fila que se le suministra (n bits), activa la señal de *word-line* de la fila correspondiente (2^n filas).
- Decodificador de columna: A partir de la dirección de columna que se le suministra (m bits), activa las puertas de transmisión necesarias para conectar las columnas correspondientes con los elementos encargados de la lectura y de la escritura.
- Buffer del decodificador de fila: El decodificador de fila de la unidad de control utiliza un buffer que permite modificar el nivel de tensión de las señales de *word-line* generadas.
- Transistores de *pull-up*: se encargan de precargar a nivel alto la *bit-lines* para las operaciones de lectura y escritura.
- Puertas de transmisión: conectan las *bit-lines* con el bus que contiene los datos a escribir o con los *sense-amplifiers* para las operaciones de lectura.
- *Sense-amplifiers*: Un *sense-amplifier* es un elemento capaz de leer los niveles de tensión de las *bit-lines* y determinar el contenido de la celda que en ese momento está conectada a las *bit-lines*. La lectura de las celdas 6T se realiza de manera diferente a las 8T, por tanto, los *sense-amplifiers* son también diferentes.

En las siguientes páginas se describen de forma detallada cada uno de estos elementos.

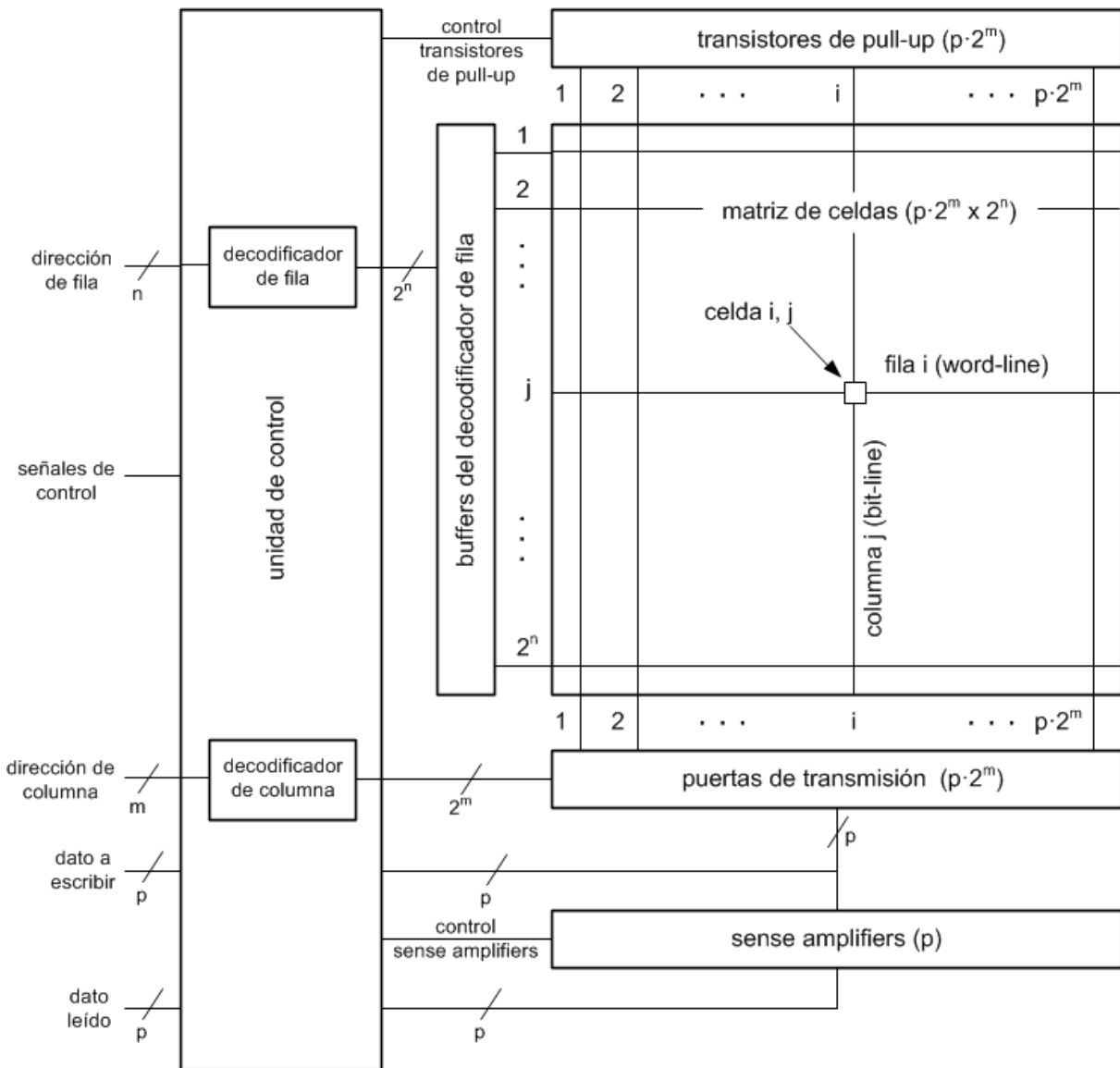


figura 5.2. Representación esquemática y genérica de los principales elementos que forma parte de cada banco de memoria.

5.3.1. Celdas SRAM

Los resultados de simulación descritos en el apartado 4.4.2 en la página 102 muestran como el ancho de canal de los transistores que forman las celdas SRAM influyen en su robustez en términos de carga crítica. Para poder comprobar experimentalmente si el ancho de los transistores se ve reflejado también en la robustez de las celdas desde el punto de vista del SER, se ha decidido implementar celdas con diferentes anchos de canal. Las celdas resultantes tienen diferentes tamaños.

5.3.1.1. Celdas 6T

A continuación se muestra el diseño del *layout* de una celda 6T de dimensiones mínimas sin las capas de metal junto con su circuito para poder identificar la posición en el *layout* de cada transistor. También se incluye la celda con las capas de metal per que pueda verse la posición de las *bit-lines*, *word-lines*, líneas de alimentación y líneas de tierra.

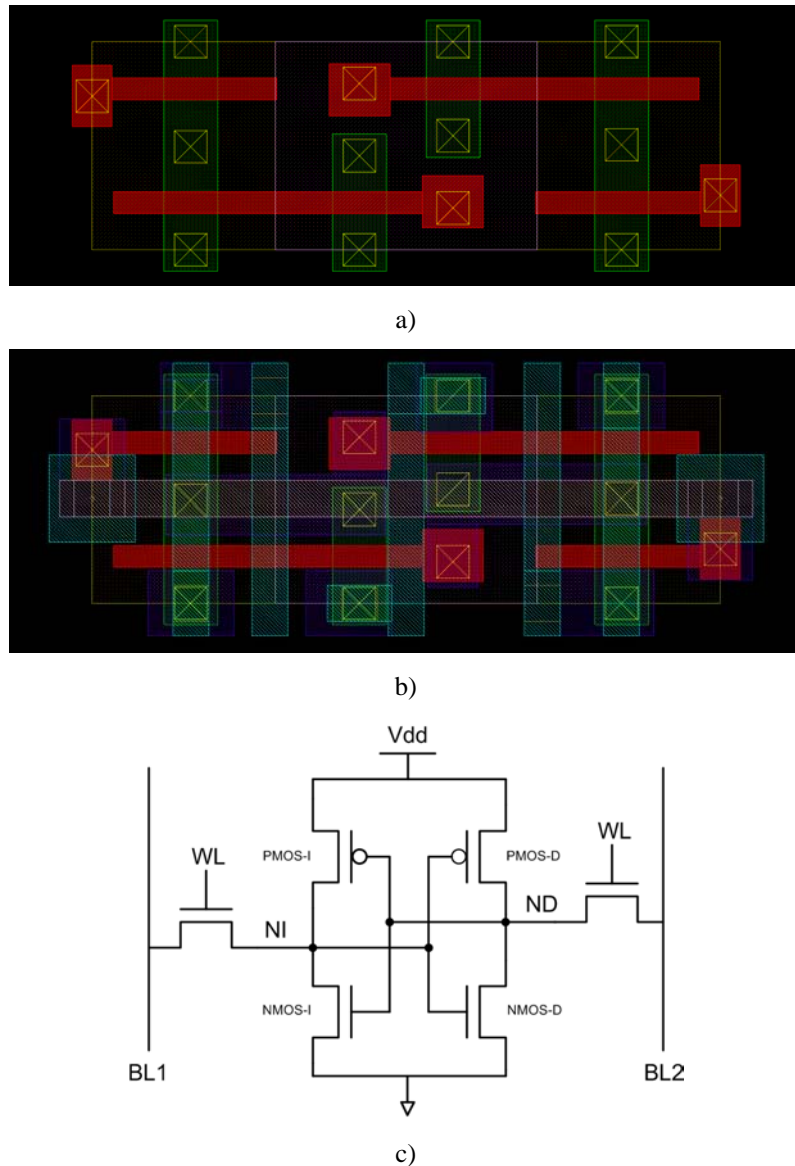


figura 5.3. Celda 6T de dimensiones mínimas a) *Layout* sin las capas de metal. b) *Layout* con las capas de metal, c) Circuito de una celda.

Se aprecia como el *layout* cumple las características de *layout* regular, zonas activas de ancho constante y líneas de polisilicio en la misma dirección y alineadas. A continuación se describen algunas características adicionales del diseño del *layout* que se ha realizado:

- Los dos transistores pMOS se encuentran en el centro de la celda flanqueados a derecha e izquierda por los transistores nMOS.

- Los dos transistores de cada inversor tienen que tener sus puertas conectadas entre sí, por tanto, en el *layout* se sitúan a la misma altura para que una sola línea de polisilicio horizontal pueda ser a la vez puerta e interconexión entre puertas.
- La línea de *word-line* está realizada en metal 3, y discurre horizontalmente justo por el centro de la celda. La razón de hacerlo de esta manera es para que sus conexiones a los dos transistores de paso que se ubican, uno en la parte superior de la celda y el otro en la parte inferior, tengan la misma longitud y, por tanto, no se introduzca ninguna asimetría entre la parte derecha e izquierda de la celda.
- La línea de alimentación está realizada en metal 2, y discurre verticalmente justo por el centro de la celda entre los transistores pMOS a los que alimenta. De esta manera tampoco se introduce ninguna asimetría en la alimentación de la celda.
- Hay dos líneas de tierra separadas y realizadas en metal 2 que discurren verticalmente justo por encima de cada grupo de transistores (nMOS-I y nMOS-D) a los que alimentan. De esta manera se asegura una conexión a tierra simétrica para los dos.
- Las *bit-lines* están realizadas en metal 2 y discurren verticalmente a cierta distancia de los transistores de paso. La distancia de cada *bit-line* a su transistor de paso es la misma para no introducir asimetrías entre el acceso a la celda por la derecha o por la izquierda.

Ya se ha comentado anteriormente que a esta topología de *layout* se le denomina *layout* ancho en contraposición al *layout* alto que se ha utilizado tradicionalmente (apartado 3.1.1 en la página 33). El hecho que esta topología tenga una relación de aspecto con la dimensión vertical substancialmente menor que la horizontal tiene la ventaja que, a igual número de filas, las *bit-lines* son más cortas si se la compara con la topología alta. Esto tiene como consecuencia una reducción en la capacidad parásita de las *bit-lines* que, además se encuentran apantalladas por las líneas de alimentación y tierra lo que reduce el *crossstalk* entre ellas [OSA01]. Por supuesto, a igualdad de celdas esta topología tiene las *word-lines* más largas y, por tanto, con mayor capacidad parásita.

La memoria utiliza celdas 6T y 8T pero el estudio de la influencia del ancho de canal de las celdas se centra únicamente en las celdas 6T. Se han diseñado 5 celdas 6T diferentes con 5 combinaciones de anchos de los transistores que las forman. Todas estas combinaciones cumplen las restricciones impuestas para tener un *layout* regular, además, se corresponden a combinaciones que han sido simuladas con anterioridad. A continuación se detallan las

principales características en cuanto a las dimensiones de los transistores para las 5 celdas, (en la tabla 5.1 se pueden consultar las características detalladas):

- Celda 6T-A: se trata de una celda con todos los transistores con ancho de canal mínimo. El ancho mínimo tanto para pMOS como nMOS es 0,15 μm .
- Celda 6T-B: es una celda con un ancho de canal para los transistores pMOS igual a 1,5 veces el mínimo. Los nMOS son de ancho de canal mínimo.
- Celda 6T-C: es una celda con un ancho de canal para los transistores pMOS igual a 2,0 veces el mínimo. Los nMOS son de ancho de canal mínimo.
- Celda 6T-D: es una celda con un ancho de canal, tanto para los transistores pMOS como para los nMOS, igual a 1,5 veces el mínimo.
- Celda 6T-E: es una celda con un ancho de canal para los transistores nMOS igual a 2,0 veces el mínimo. Los pMOS son de ancho de canal mínimo.

A continuación se representan de forma gráfica los 5 tamaños de celda 6T elegidos:

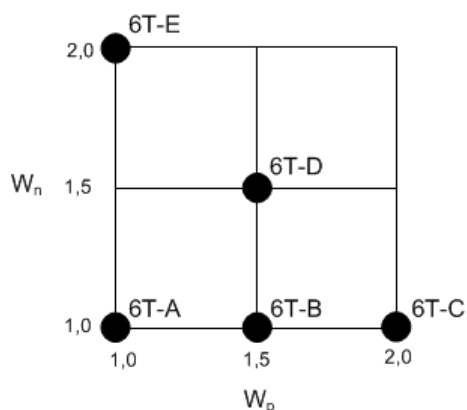


figura 5.4. Representación de los cinco tamaños de celda 6T utilizados.

En las siguientes líneas se justifica la elección tanto del número de tipologías de celda como de sus características.

Resulta conveniente formar memorias con un número de celdas diferentes que sea potencia de 2 para tener una relación simple entre las direcciones de cada palabra, sus bits y sus correspondientes tamaños. Se han elegido 5 tamaños diferentes para poder confeccionar memorias formadas íntegramente por celdas de dimensiones mínimas (6T-A) y memorias con los restantes 4 tamaños de celda. Se ha limitado a 4 el número de tamaños de celda no-mínimo para poder disponer de un número considerable de celdas iguales en los bancos de memoria. Esto es importante por ejemplo a la hora de irradiar el circuito, ya que disponer de un buen número de celdas de cada tipología facilita la obtención de resultados significativos.

Los bancos con una única tipología de celda tienen 16.384 celdas, mientras que los bancos con 4 tipos de celda tienen 4096 celdas de cada uno.

Dada la restricción de 5 tamaños de celda, la elección de los tamaños se ha realizado cuidadosamente. De entre todas las posibles combinaciones de tamaños, se han elegido los 5 que se muestran en la figura 5.4 porque de esta manera se tiene un conjunto con las siguientes características:

- Contiene una celda de dimensiones mínimas utilizada como referencia para las demás.
- Tiene celdas en las que solamente se modifica W_n o W_p y se cubre hasta 2 veces la dimensión mínima en cada caso.
- Tiene una celda en la que se modifica conjuntamente W_n y W_p .
- Hay 2 celdas con W_p diferente a la mínima mientras que solamente una con W_n diferente. Esto se debe a que se ha priorizado las variaciones de tamaño en los transistores pMOS frente a los nMOS. Esta decisión se justifica por los resultados de simulación descritos en el apartado 4.4.2 en la página 102 en donde se ha determinado que, en términos de carga crítica, es más efectivo incrementar las dimensiones de los pMOS.

A continuación se muestra el *layout* sin las capas de metal para que se aprecie mejor el incremento de ancho de canal en los transistores para las cinco tipologías de celdas 6T:

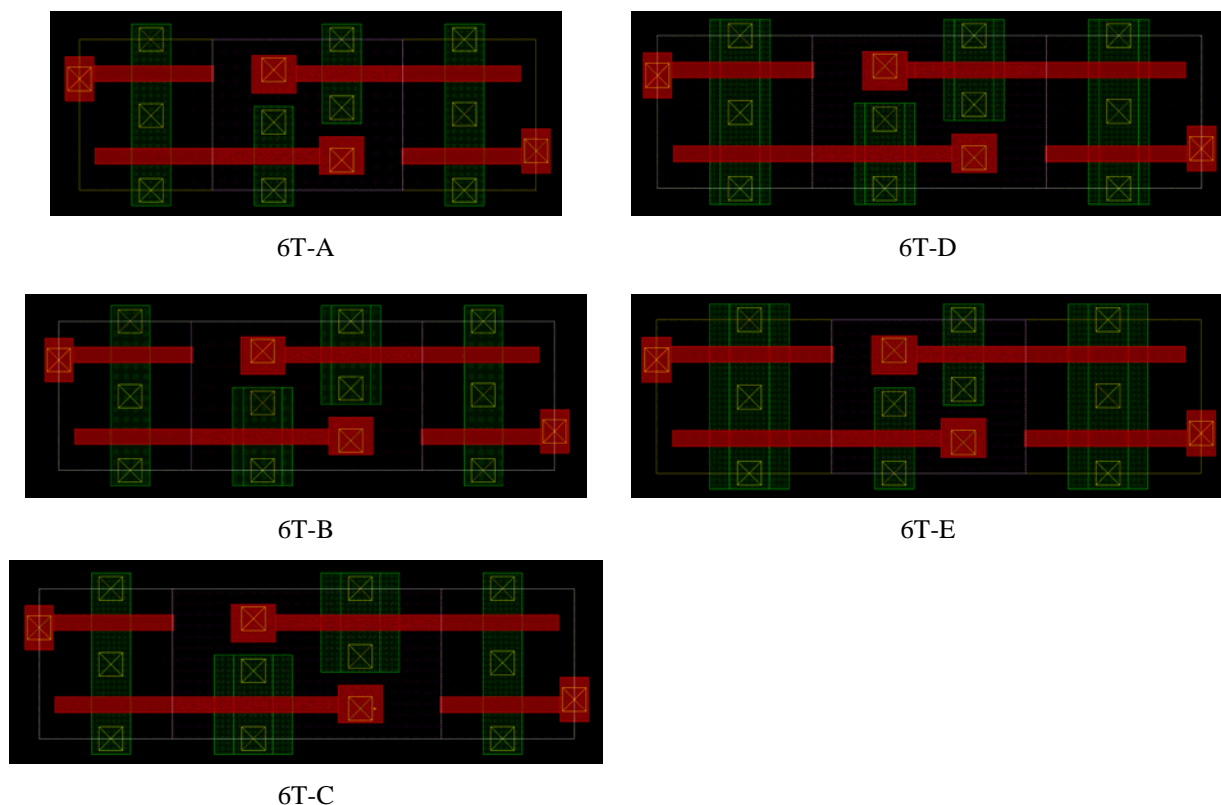


figura 5.5. Comparativa entre los *layouts* de las 5 celdas 6T utilizadas

En los 5 casos se mantiene la estructura de *layout* regular sin escalones en las zonas de activas y con todas las líneas de polisilicio alineadas en la misma dirección. La dimensión vertical de la celda se mantiene mientras que solamente cambia su dimensión horizontal. Esto representa una ventaja a la hora de confeccionar matrices de celdas con diferentes tamaños de celda ya que, al tener todas la misma altura, no es necesario modificar las medidas de los elementos que se conectan a los dos lados verticales de la matriz de celdas, solamente hay que hacerlo para los que se conectan a los lados horizontales.

En la siguiente tabla se detallan las principales característica de cada celda:

	ancho pMOS, W_p (μm)	ancho nMOS, W_n (μm)	altura celda (μm)	ancho celda (μm)	incremento de ancho respecto a 6T-A	área celda (μm^2)	incremento de área respecto a 6T-A
6T-A	0,15	0,15	0,58	1,75	0%	1,01	0%
6T-B	0,23	0,15	0,58	1,91	9%	1,10	9%
6T-C	0,30	0,15	0,58	2,05	17%	1,18	17%
6T-D	0,23	0,23	0,58	2,07	18%	1,19	18%
6T-E	0,15	0,30	0,58	2,05	17%	1,18	17%

tabla 5.1. Comparativa de las principales características de las celdas 6T

El área de cada una de las celdas está optimizada al máximo según las reglas de diseño disponibles para la tecnología, para ello todos los elementos cuyo incremento de dimensiones provoca un aumento en el área de la celda se han diseñado con las dimensiones mínimas que permite la tecnología. Además, las distancias entre elementos también esta optimizada al máximo de acuerdo con las restricciones de las reglas de diseño. Sin embargo, el diseño incluye criterios de diseño para la manufacturabilidad siempre y cuando su aplicación no comporte un aumento de área. En el apartado 5.3.1.4 se describe un ejemplo de los criterios aplicados.

5.3.1.2. Celdas 8T

Para las celdas 8T se ha considerado una sola medida de ancho de canal de los transistores, la mínima. Por tanto se tiene un único tamaño de celda. El *layout* que se ha diseñado consiste en una variación del que ha descrito para la celda 6T, a la derecha se han añadido dos transistores adicionales para formar la etapa de lectura de la celda 8T y cuya función se encuentra descrita en el apartado 3.1.2 en la página 37.

A continuación se muestra una comparativa entre los *layouts* de una celda 6T y una 8T, ambas de dimensiones mínimas y sin las capas de metal. También se incluye el *layout* de una celda 8T con las capas de metal y el circuito a nivel de transistores de la celda 8T:

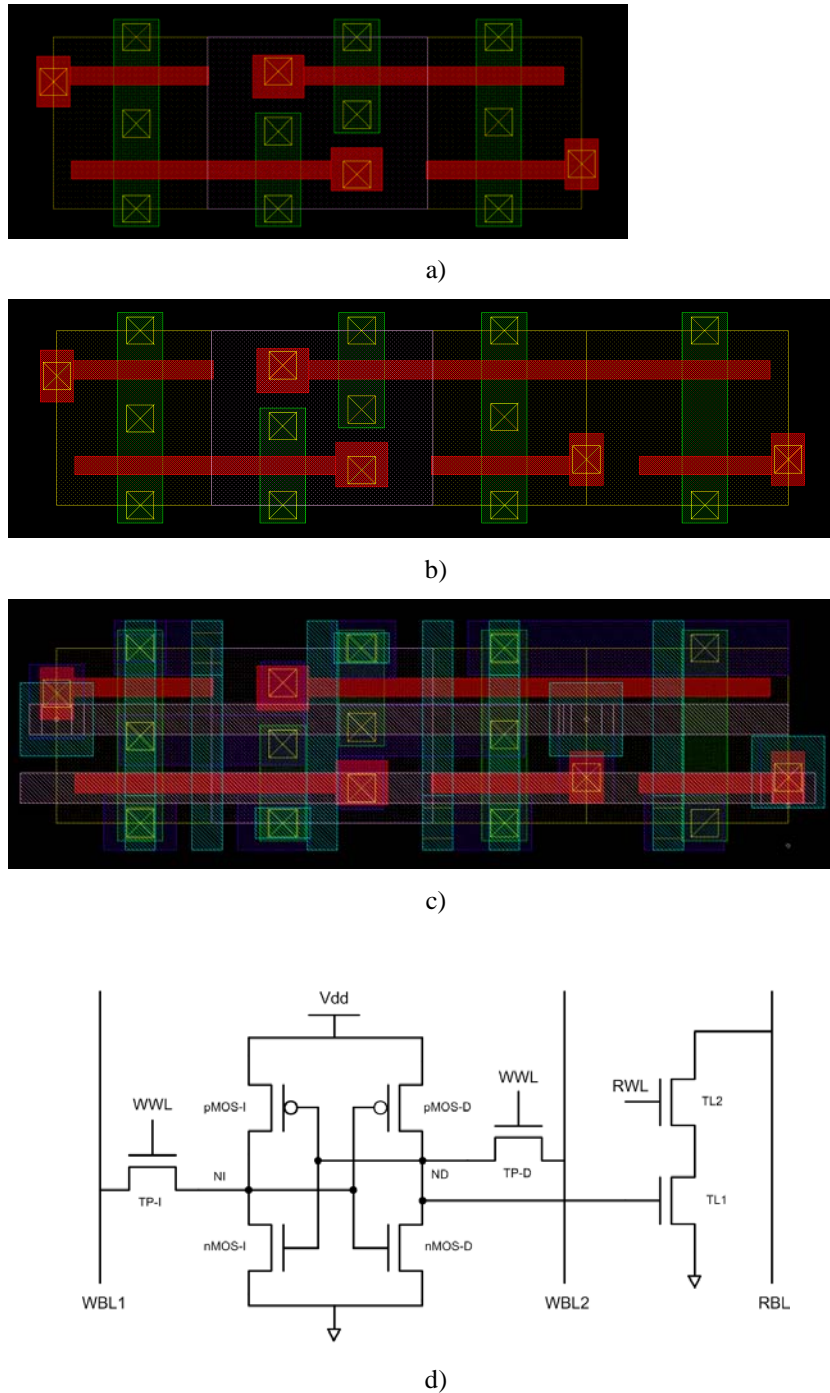


figura 5.6. Comparativa entre el *layout* de una celda 6T y una 8T. a) *Layout* 6T sin las capas de metal. b) *Layout* 8T sin las capas de metal. c) *Layout* de una celda 8T con las capas de metal. d) Circuito de una celda 8T.

En la figura 5.6 se observa como para formar la celda 8T se ha añadido a la derecha del *layout* de una celda 6T la etapa de lectura. Sus líneas de polisilicio siguen la misma orientación que las 6T y están alineadas con las existentes o son su prolongación. Tampoco se introduce ninguna curva en las nuevas zonas activas. El transistor de la etapa de lectura que comparte línea de polisilicio con el inversor es el que se encarga de leer el estado de la celda, el otro es el transistor que se conecta a la *bit-line* de lectura.

La topología de las *bit-lines* de escritura 8T es la misma que la descritas para las *bit-lines* de la celda 6T con la única diferencia que, en el caso 8T, se usan solamente para la escritura mientras que en la celda 6T para la lectura y escritura. En la celda 8T existe una *bit-line* de lectura realizada en metal 2 y que discurre paralelamente a las de escritura por encima de la etapa de lectura de la celda. Por lo que respecta a la línea de alimentación y a las dos de tierra su disposición es la misma que para el caso 6T con la diferencia que la de tierra de la derecha se conecta además al transistor TL1 de la etapa de lectura mediante metal 1. En cuanto a las *word-lines*, en el caso 8T hay dos, una para lectura (RWL) y otra para la escritura (WWL). En el caso 6T la única *word-line* discurre por el centro de la celda para no introducir asimetrías entre las dos mitades de la misma. Sin embargo, en el caso de la celda 8T se ha optado por hacer una distribución más regular de la disposición conjunta de las dos *word-lines*. Así, se obtiene una distribución de metales más homogénea lo que ayuda a la efectividad de las técnicas de planarización durante la manufactura del chip. Como contrapartida, la conexión entre la WWL y el transistor de paso de la derecha es más larga que con el transistor de paso de la izquierda. Sin embargo, la introducción de esta asimetría no tiene demasiada importancia en una celda 8T, que por definición es asimétrica al tener la etapa de lectura conectada solamente a uno de los dos nodos internos.

En la siguiente tabla se detallan las principales características de la celda 8T junto con la de la celda 6T de medidas mínimas para su comparación:

	ancho pMOS, W_p (μm)	ancho nMOS, W_n (μm)	altura celda (μm)	ancho celda (μm)	incremento de ancho respecto a 6T-A	área celda (μm^2)	incremento de área respecto a 6T-A
6T-A	0,15	0,15	0,58	1,75	0%	1,01	0%
8T	0,15	0,15	0,58	2,41	38%	1,39	38%

tabla 5.2. Comparativa de las principales características de la celda 8T y 6T de medidas mínimas.

La celda 8T de dimensiones mínima ocupa un 38% más que la versión 6T de medidas mínimas. Las ventajas de su utilización se han descrito en el apartado 3.1.2 en la página 37.

5.3.1.3. Disposición de las celdas en la matriz

Una vez descritas las características de las celdas, es necesario especificar su distribución en el *layout*. En una matriz con un gran número de celdas es importante dedicar una parte importante del esfuerzo de diseño a empaquetar las celdas de la forma más eficiente en términos de área. Una pequeña ganancia en cada celda puede traducirse en una gran diferencia en el área total para memorias muy grandes.

La disposición más lógica es siguiendo una distribución ortogonal en forma de filas y columnas, de esta manera, las líneas de alimentación (V_{DD}), tierra (GND), *bit-lines* (BL) y *word-lines* (WL) quedan alineadas. Sin embargo, esta distribución sin más, resulta bastante ineficiente en términos de área ya que el *layout* individual de cada celda no es ni simétrico respecto a un eje vertical ni respecto a un eje horizontal, en el apartado 3.4.1 en la página 53 se describe con más detalle el tipo de simetría que posee el *layout* elegido. Por tanto, la simple yuxtaposición de celdas en vertical y horizontal tiene como resultado que entre celdas contiguas no coincidan ninguno de los nodos situados en el perímetro exterior de cada celda. Por tanto, debe dejarse un espacio vacío entre una celda y su vecina para cumplir con las reglas de diseño. En la siguiente figura se muestra una distribución hipotética de celdas mediante simple yuxtaposición.

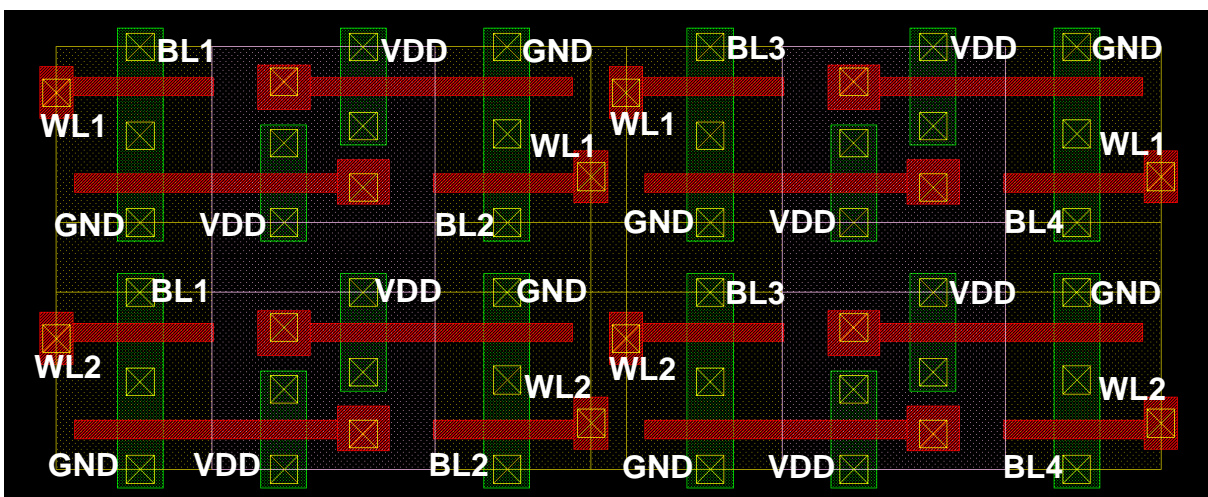


figura 5.7. Hipotética distribución de celdas sin aplicar una distribución mediante la utilización de simetrías en donde se pone de manifiesto que se obtendría una utilización ineficiente del área.

Sin embargo, las celdas pueden disponerse de forma simétrica de la manera representada esquemáticamente en la figura 5.8 en donde se hace uso de la letra R para clarificar las simetrías que se han aplicado.

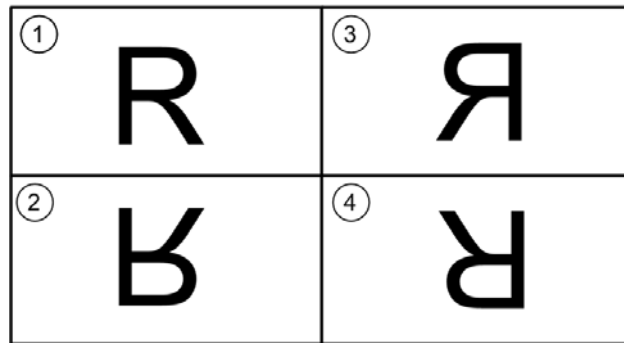
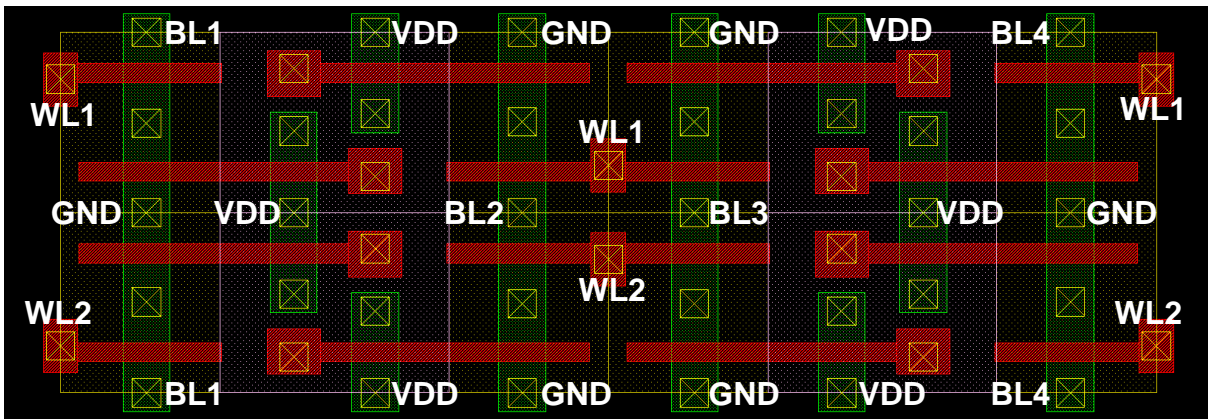


figura 5.8. Representación esquemática de la disposición de celdas utilizada para generar la matriz de celdas. Las letras R ponen de manifiesto las simetrías utilizadas.

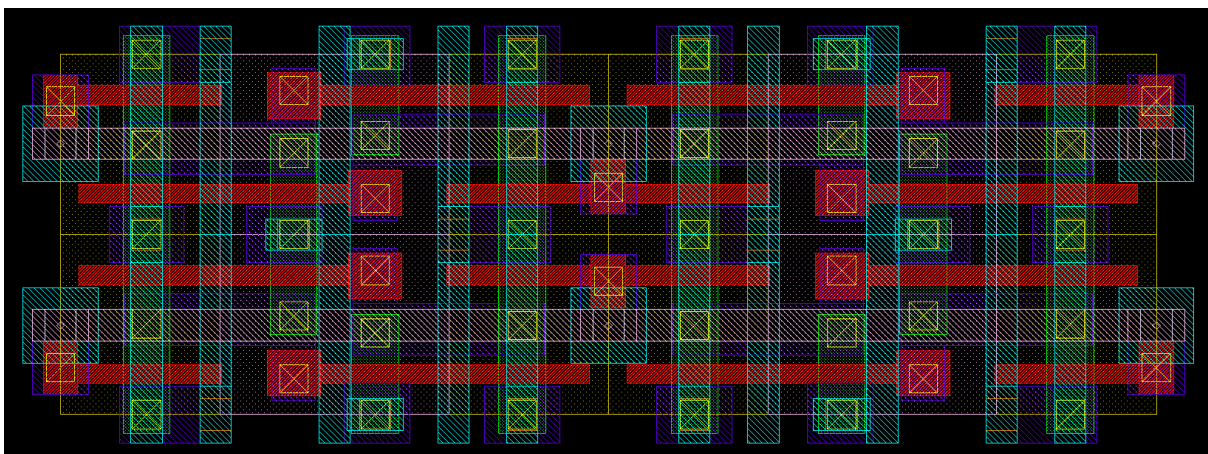
La celda 2, situada debajo de la 1, es la versión simétrica respecto a un eje horizontal de la 1. La celda 3, que se encuentra a la derecha de la 1, es su versión simétrica respecto a un eje vertical. La celda 4 es la versión simétrica respecto a la vertical de 2 o también la versión simétrica respecto a la horizontal de la 3. Además la celda 4 equivale a una rotación de 180° de la celda 1.

Con esta disposición de celdas, cada una tiene por vecina (tanto en horizontal como en vertical) una versión simétrica de ella misma y, de esta manera, los nodos situados en el contorno exterior de cada celda no solamente no necesitan estar separados una cierta distancia de los del contorno de la celda adyacente, sino que pueden superponerse por completo y ser compartidos (ver figura 5.9). Esto conlleva una disminución considerable de área. De hecho, el diseño de la celda se ha realizado teniendo en cuenta que la disposición de celdas se haría de esta manera y el *layout* de la celda se ha optimizado al máximo teniendo siempre presente la distribución simétrica que iba a realizarse. Los nodos que se comparten con las celdas adyacentes de cada columna son V_{DD} , GND, y las dos *bit-lines* (BL1 y BL2). Con las celdas adyacentes de cada fila se comparte la señal WL propia de cada fila.

En la siguiente figura se muestra el *layout* (sin metales y con metales) de 4 celdas con las simetrías descritas para el caso 6T. También se especifican los nombres de los nodos compartidos entre celdas adyacentes.



a)



b)

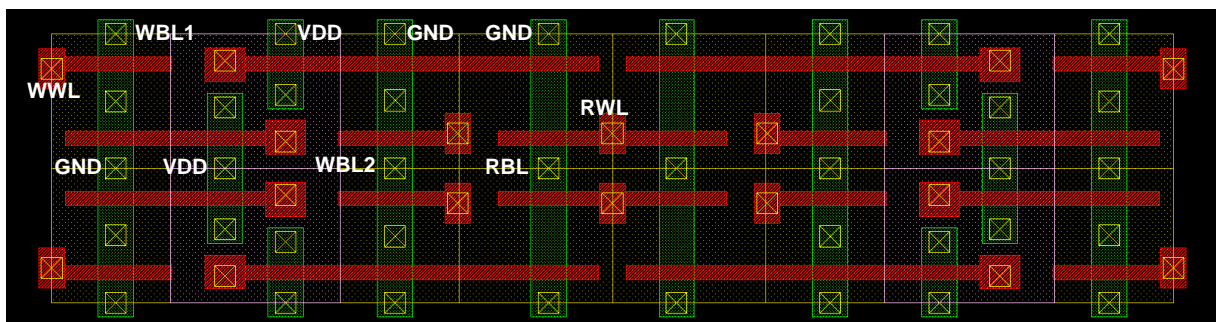
figura 5.9. Conjunto de 4 celdas SRAM 6T de dimensiones mínimas que forman el conjunto generador de la matriz de celdas. a) Sin metales. b) Con metales.

Esta disposición de celdas maximiza la eficiencia en el uso del área y es la que se ha utilizado en el *layout* de cada uno de los bancos de memoria. El conjunto de estas 4 celdas representa la unidad básica que se repite para formar la matriz de celdas de dimensiones mínimas. Con esta disposición, además de minimizar el área, minimiza también el número de interrupciones de las líneas de polisilicio y de las zonas activas lo que constituye una medida de diseño para la manufacturabilidad. Si se compara la figura 5.10 con figura 5.9 y se analizan con detenimiento, se llega a la conclusión que en una disposición simétrica las líneas de polisilicio se interrumpen 3 veces en cada celda, mientras que en una disposición no simétrica se interrumpen 4 veces por celda. Para este cálculo, cada interrupción que se produce en el interior de la celda se ha contado entera, mientras que cuando se produce entre celdas adyacentes se ha contabilizado como media ya que la otra media se tiene en cuenta al considerar la celda contigua. Las zonas activas de los transistores nMOS en distribución simétrica no se interrumpen en toda una columna de celdas, mientras que en la no simétrica

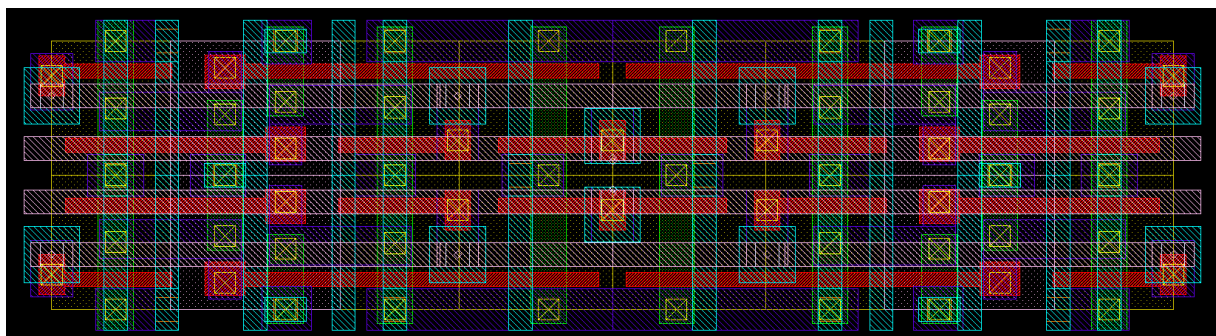
hay 2 interrupciones por celda. La zona activa de los pMOS se interrumpe 2,5 veces por celda para la distribución simétrica y 3 veces por celda para la no simétrica.

Para el caso de las celdas 6T de dimensiones no mínimas el *layout* contiene exactamente el mismo tipo de simetrías solamente cambian las dimensiones de las celdas que lo integran.

El caso de la matriz de celdas 8T es análogo al de 6T. Sin embargo, los nodos del contorno de la celda que se encontrarán con sus equivalentes en la celda simétrica adyacente son diferentes de los del caso 6T. En la celda 8T, los nodos comunes para celdas adyacentes de una columna son V_{DD} , GND, las dos *write bit-lines* (WBL1 y WBL2) y la *read bit-line* (RBL). Para cada fila, *write word-line* (WWL) y *read word-line* (RWL). A continuación se muestra el resultado final (sin metales y con metales) del conjunto de 4 celdas generador de la matriz para el caso 8T:



a)



b)

figura 5.10. Conjunto de 4 celdas SRAM 8T que forman el conjunto generador de la matriz de celdas.

a) Sin metales. b) Con metales.

5.3.1.4. Diseño para la manufacturabilidad

Anteriormente ya se ha descrito como la distribución de celdas simétrica minimiza el número de interrupciones entre celdas de las zonas activas de los transistores nMOS y pMOS respecto a una distribución no-simétrica. De hecho en los pMOS minimiza el número de interrupciones y en los nMOS las reduce a cero. Las interrupciones en las líneas de polisilicio resultan también minimizadas. El objetivo de esta es realizar una distribución de celdas con estas características es minimizar el área, sin embargo, puesto que minimiza también las interrupciones la convierte en una medida de diseño para la manufacturabilidad.

Además, se han implementado otras medidas adicionales de diseño para la manufacturabilidad cuando su aplicación no supone un incremento del área de la celda. A continuación se describe a modo de ejemplo una de estas medidas, se trata del caso de la extensión necesaria del polisilicio de las puertas de los transistores (*polysilicon overhang o gate extension*).

Según las reglas de diseño, el polisilicio tiene que sobresalir de la difusión como mínimo $0,12\ \mu\text{m}$ para evitar tener problemas con la retracción del polisilicio que se produce en el *layout* una vez fabricado con respecto a las dimensiones nominales del diseño. Además, tiene que haber una distancia mínima entre polisilicios de también $0,12\ \mu\text{m}$. En la zona A de la siguiente figura, tanto la extensión del polisilicio como su distancia con el polisilicio adyacente es la mínima, puesto que incrementar cualquiera de las dos supone un aumento en las dimensiones de la celda. Sin embargo, en la zona B se ha ampliado la extensión del polisilicio sin llegar a alcanzar la distancia mínima con el polisilicio contiguo. Aplicar esta medida no añade área adicional a la celda ya que existe otra regla de diseño que es la responsable de limitar las dimensiones de la celda, en este caso se trata de la distancia entre zonas activas de transistores nMOS y pMOS.

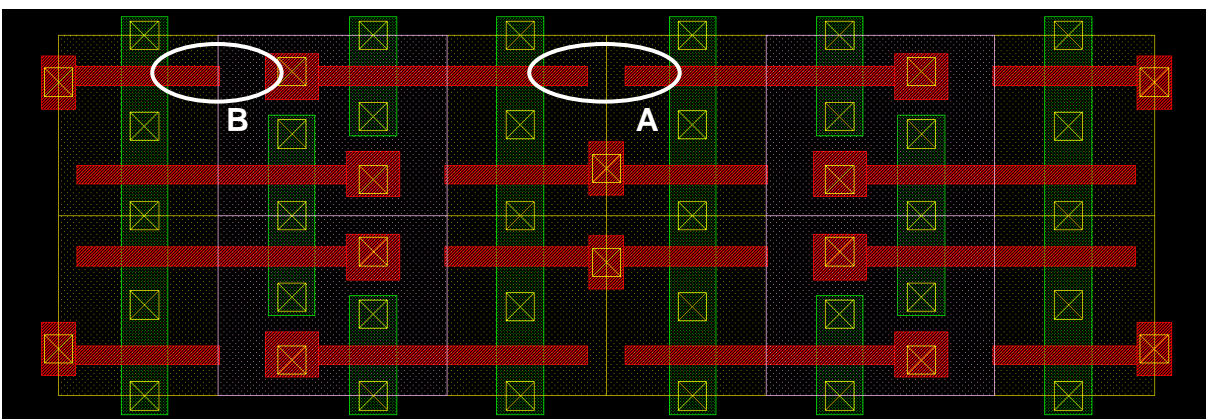


figura 5.11. Zonas de aplicación de técnicas de diseño para la manufacturabilidad

5.3.2. Buffer del decodificador de fila

Para dotar de la máxima flexibilidad experimental al chip, se ha decidido diseñar el sistema para que sea posible controlar a voluntad el voltaje de las *word-lines* de las memorias para así poder modificar la tensión de puerta de los transistores de paso de las celdas. Las *word-lines* están controladas por el decodificador de fila. Se quiere modificar el voltaje de las *word-lines* de forma independiente sin afectar a la polarización de otros bloques de la memoria, incluido el de la lógica de la unidad de control. Hay que recordar que la unidad de control de cada banco de memoria incluye el decodificador de fila, es decir que está implementado mediante *standard-cells* que no permiten trabajar de manera directa con dos niveles de tensión diferentes. Por este motivo, se ha decidido implementar una etapa *full-custom* que se conecta a la salida del decodificador implementado mediante *standard-cells*. Esta etapa consiste en un inversor polarizado mediante un pad de alimentación específico alimentado a la tensión V_{BUF} , ajustable desde el exterior. La entrada de dicho inversor proviene de la salida del decodificador de fila implementado mediante *standard-cells*, por tanto, sus niveles de entrada son los de la lógica de control. La salida del inversor está conectada directamente a la línea de *word-line*, por lo que el nivel de dicha línea depende de V_{BUF} . Evidentemente, en el diseño del decodificador se ha tenido en cuenta que esta etapa, aparte de cambiar el nivel de las señales del decodificador, las invierte.

Los inversores son un total de 256 para las memorias 6T, uno para cada *word-line* y 512 para la memoria 8T (256 para las WWL y 256 para las RBL). Los inversores se han dimensionado de acuerdo a las capacidades conectadas a su salida. Sin embargo, para su diseño se ha tenido en cuenta también que, por razones de economía de área es deseable que su altura sea un múltiplo de la altura de una celda. Teniendo en cuenta todos estos condicionantes, el diseño final del inversor ocupa 2 celdas de altura y cada transistor tiene 3 *fingers* que totalizan un ancho de canal de 3,855 μm . Al ocupar dos filas, es necesario disponer de dos columnas de inversores para las memorias 6T, uno para las filas pares y otra para las impares. Las memorias 8T requieren cuatro columnas de inversores, ya que cada fila necesita 2 inversores, uno para la WWL y otro para la RWL.

5.3.3. Circuito de precarga.

Las *bit-lines* necesitan un circuito que sea capaz de llevarlas a un valor alto de tensión para después proceder a realizar las operaciones de lectura y de escritura. El circuito utilizado es ligeramente diferente en el caso de las memorias 6T y de las 8T. A continuación se muestra el circuito utilizado en cada caso:

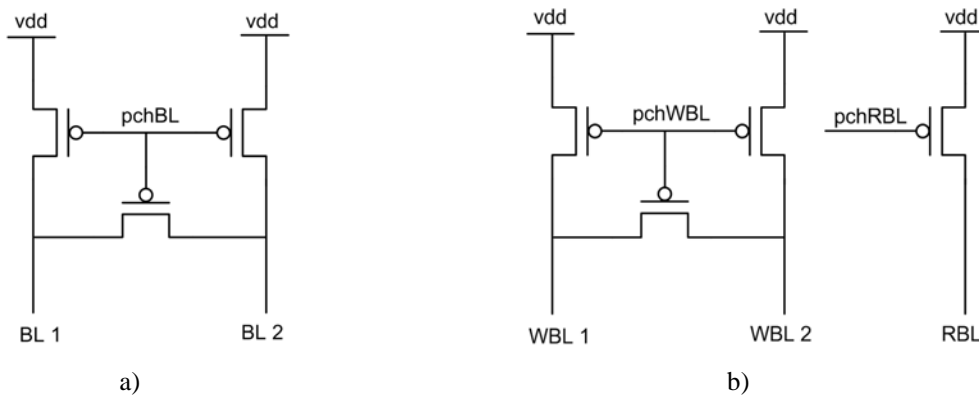


figura 5.12. Circuito de precarga. a) para memorias 6T. b) para memorias 8T

En el caso de las memorias 6T, cada *bit-line* está conectada mediante un transistor pMOS a Vdd, además hay otro pMOS adicional que conecta entre sí las *bit-lines* para asegurar que tengan el mismo valor de tensión, lo que resulta conveniente antes de iniciar una lectura. Los tres transistores están gobernados por la señal *pchBL* que genera la unidad de control y que se encarga de precargar o no precargar las *bit-lines* en función de las necesidades durante las operaciones de lectura y escritura.

El circuito utilizado para 8T tiene una parte igual al de 6T a diferencia de la señal que gobierna los tres transistores que se llama *pchWBL* porque estas *bit-lines* solamente se utilizan para la escritura. Además, tiene otro transistor de precarga gobernado por la señal *pchRBL* que se encarga de precargar la *bit-line* de lectura (RBL). Ambas señales son generadas también por la unidad de control.

El circuito de precarga se ubica encima de la matriz de celdas. Se ha impuesto como condición que ocupe un múltiplo de columnas para maximizar el uso del área. Se ha dimensionado teniendo en cuenta las capacidades que tiene que tiene que precargar y hacerlo en un tiempo razonable. El diseño final utiliza aproximadamente el ancho de una celda 6T de dimensiones mínimas y cada transistor tiene 3 *fingers* que totalizan un ancho de canal de 1,605 μm y 0,15 μm de largo.

Se ha tenido que realizar un *layout* ligeramente diferente para cada medida de celda 6T ya que, aunque quepan en una columna 6T de medidas no mínimas, hay que modificarlos para que encajen correctamente con el espaciado de las *bit-lines* de cada tipo de columna. Para las columnas 8T se le ha añadido el transistor de precarga adicional con su correspondiente señal de control. Por tanto se han creado un total de 6 bloques diferentes de transistores de *pull-up*.

5.3.4. *Sense-amplifier* y puertas de transmisión

La misión de un *sense-amplifier* es leer rápidamente el valor almacenado en una celda SRAM. Esta lectura se realiza a través de dos *bit-lines* en el caso de memorias 6T y mediante una sola *bit-line* en el caso 8T. Por tanto, el tipo de *sense-amplifier* a utilizar en cada caso será diferente.

Sense-amplifier 6T

Los bancos de memoria 6T utilizan *sense-amplifiers* diferenciales para amplificar la diferencia de tensión que se produce entre las *bit-lines* durante una lectura. Los *sense-amplifiers* se diseñan para que reaccionen ante diferencias de tensión pequeñas, de este modo, se reduce el tiempo necesario para una lectura. Además, así se puede conseguir que la *bit-line* que sufre la descarga (la que está conectada al nodo de la celda que está a nivel bajo) no experimente una descarga muy acusada y reducir así el consumo de la memoria.

El diseño del *sense-amplifier* utilizado es el denominado tipo *latch* [PAV08, pág. 29] que está formado por un par de inversores realimentados similares a los de una celda SRAM (ver figura 5.13). Este diseño de *sense-amplifier* tiene además una etapa de precarga e igualación de los dos nodos de los inversores realimentados (N1 y N2) y un transistor (M5) conectado a la señal SAE que permite activar el funcionamiento del *sense-amplifier*. Finalmente, el diseño incorpora dos transistores pMOS que lo aíslan de las dos líneas del bus de datos al que está conectado. Estas líneas están conectadas a las *bit-lines* a través de las puertas de transmisión.

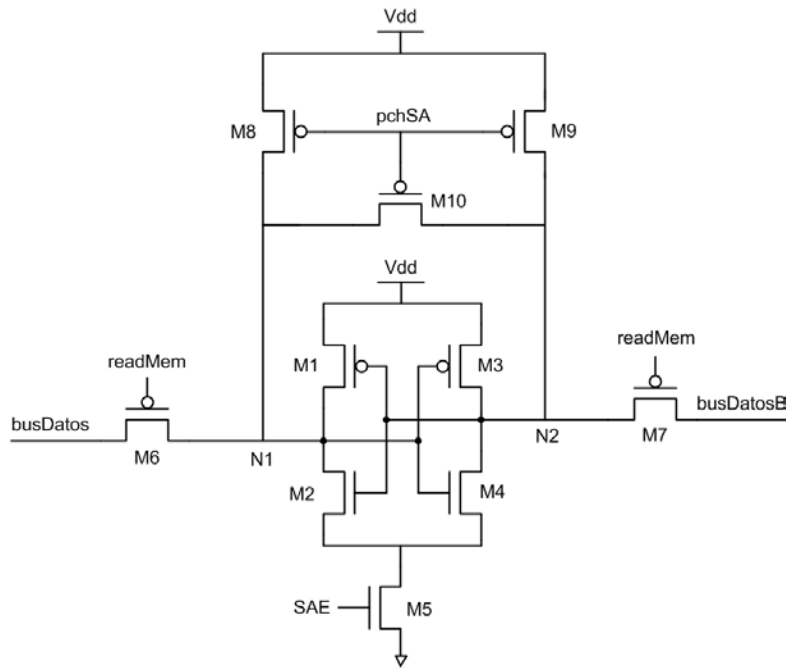


figura 5.13. Circuito del *sense-amplifier* utilizado para los bancos de memoria 6T

Las dimensiones de los transistores se muestran en la siguiente tabla:

	W (μm)	L (μm)	número de fingers
M1	0,5	0,15	1
M2	1,0	0,15	1
M3	0,5	0,15	1
M4	1,0	0,15	1
M5	1,0	0,15	2
M6	2,0	0,15	4
M7	2,0	0,15	4
M8	0,5	0,15	1
M9	0,5	0,15	1
M10	0,5	0,15	1

tabla 5.3. Dimensiones de los transistores del *sense-amplifier* 6T

Cuando se accede a una celda para su lectura, la *bit-line* que está conectada al nodo de la celda que está a nivel bajo empieza a descargarse mientras que la otra mantiene su nivel de tensión. A través de las puestas de trasmisión, estos valores de tensión llegan al bus de datos. Cuando se activa la señal *readMem* y se activa el *sense-amplifier* (señal SAE), la

realimentación positiva de los dos inversores provoca que los nodos internos del *sense-amplifier* evolucionen rápidamente desde el estado de precarga en que se encontraban a uno estable (un nodo a nivel bajo alto y otro a nivel bajo). De esta forma se ha conseguido convertir una pequeña diferencia de tensión en las *bit-lines* (fruto de la descarga producida por la celda) en una diferencia de tensiones entre los nodos N1 y N2 del valor de la alimentación. Mientras no se vuelva a activar *pchSA*, las tensiones de estos nodos se mantienen, aunque se desconecte el *sense-amplifier* de las *bit-lines*. Por tanto, el *sense-amplifier* actúa también como elemento de memoria que almacena el valor leído.

Sense-amplifier 8T

El circuito que se encarga de la lectura de los bancos de memoria 8T, a diferencia del caso 6T, es un circuito no diferencial ya que la lectura se realiza mediante una sola *bit-line*. Por analogía con el caso 6T lo hemos denominado *sense-amplifier*, pero en realidad se trata de un *latch* modificado. A partir del nivel de tensión de la *bit-line*, el circuito es capaz de leer el estado lógico de la celda y almacenar este valor. La estructura del *sense-amplifier* utilizada es la siguiente (figura 5.14):

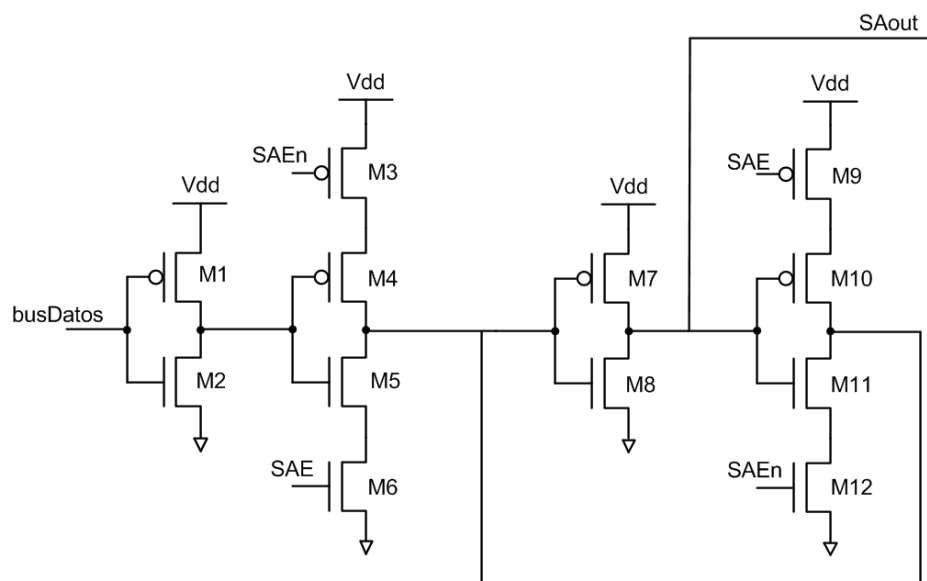


figura 5.14 Circuito del *sense-amplifier* utilizado para los bancos de memoria 8T

Es decir, está formado por cuatro inversores dos de ellos *tri-state*. La entrada del *sense-amplifier* es el valor de tensión de la *read bit-line* después de pasar por las puertas de transmisión y el bus de datos. La *read bit-line* está precargada a nivel alto y se está

descargando (o no), en función del contenido de la celda que se está leyendo. Por tanto, se trata de una tensión que, al principio del proceso de lectura, será siempre cercana a la alimentación. Por este motivo, los inversores del *sense-amplifier* se han dimensionado de tal forma que sus funciones de transferencia estén desplazadas para que el conjunto reaccione frente a disminuciones pequeñas del nivel de tensión de la *read bit-line*. Por ejemplo, el primer inversor tiene su punto de conmutación optimizado para que, ante pequeñas caídas en la tensión de *bit-line*, su salida tienda rápidamente hacia valores altos de tensión. A su vez, el segundo inversor está optimizado para que no necesite valores de tensión muy altos a su entrada para que su salida sea de nivel bajo. Por este motivo, los inversores que ocupan una posición impar dentro de la cadena de inversores entre *busDatos* y *SAout* se han dimensionado con transistores pMOS con anchos de canal mucho mayores que los nMOS. En la posición par, el dimensionado es el contrario, transistores nMOS con anchos de canal superiores a los pMOS. Las dimensiones de los transistores están recogidas en la siguiente tabla:

	W (μm)	L (μm)	número de fingers
M1	6,00	0,15	4
M2	0,30	0,15	1
M3	0,15	0,15	1
M4	0,15	0,15	1
M5	3,00	0,15	2
M6	3,00	0,15	2
M7	3,00	0,15	2
M8	0,30	0,15	1
M9	0,15	0,15	1
M10	0,15	0,15	1
M11	0,15	0,15	1
M12	0,15	0,15	1

tabla 5.4. Dimensiones de los transistores del *sense-amplifier* 8T

Los dos inversores *tri-state* tienen las señales *SAE* (*sense-amplifier enable*) y *SAEn* conectadas de manera complementaria. La señal *SAEn* es la negada de *SAE*, de esta forma cuando uno inversor *tri-state* está en alta impedancia el otro no y viceversa. Así se consigue que cuando *SAE* vale 1, el latch esté en modo transparente y en *SAout* tengamos el valor

(negado) leído de la celda. Cuando *SAE* vale 0, el latch está en modo almacenamiento y retiene el valor anterior sin que le afecte el nuevo valor de la *bit-line*, pues el segundo inversor *tri-state* está en alta impedancia.

5.3.5. Unidad de control

La unidad de control está implementada en dos niveles. El primer nivel de control es común para todos los bancos de memoria y permite configurar cuál de las cinco memorias será la memoria activa, es decir, en la que se realizarán las operaciones de lectura y escritura. Además, los bits de salida de la memoria seleccionada serán los que se conectarán directamente a los pines de salida del integrado. Estas configuraciones se realizan a través de un registro de configuración. A esta unidad la llamaremos unidad de control general.

El segundo nivel se encarga de cada una de los bancos de memoria, por tanto existen 5 unidades de control ligeramente diferentes las unas de las otras en función del banco al que pertenecen. A cada una de estas unidades de control la llamaremos unidad de control local. En líneas generales, la función de la unidad de control es generar las señales de control que necesita la memoria para funcionar a partir de las señales que le llegan desde fuera del integrado. Además, se encarga de capturar el resultado de la lectura así como del estado de los sensores de corriente. Funciona mediante una máquina de estados controlada por una señal de reloj que hay que suministrar externamente al integrado.

La unidad de control también es capaz de modificar la duración de los periodos de lectura y escritura de la memoria sin modificar la frecuencia de reloj. El objetivo es utilizar la variable tiempo de lectura o de escritura en diagramas tipo schmoos frente a otras variables como por ejemplo la tensión de alimentación o la tensión de *word-line*.

La unidad de control hace también las funciones de decodificador de fila y de columna, aunque tal y como se ha descrito en el apartado 5.3.2 en la página 143, el decodificador de columna requiere de una última etapa no implementada en la unidad de control para poder realizar el cambio de niveles de tensión deseado.

El sistema de control se ha diseñado mediante *standard-cells* mientras que todo el resto del chip es *full-custom*. El motivo de esta elección se debe a que en el resto del diseño interesa optimizar las prestaciones del circuito y conocer su implementación exacta a nivel de *layout* para poder interpretar mejor el resultado de los experimentos que se describen en el capítulo

6. Sin embargo, estudiar el comportamiento del sistema de control no es uno de los objetivos ni de esta tesis ni del diseño del chip, además tampoco interesa optimizar al máximo sus prestaciones ya que no se pretende diseñar una memoria de altas prestaciones sino una memoria en donde se puedan realizar el mayor número posible de experimentos. Además, utilizar *standard-cells*, permite implementar de manera más o menos sistemática la técnica de mitigación de los efectos de la radiación que se describe a continuación.

Mitigación de los efectos de los SEE en la unidad de control

El prototipo de memoria que se ha diseñado y construido tiene como objetivo permitir el estudio de los efectos de la radiación sobre memorias SRAM. Por este motivo, es conveniente diseñar el circuito pensando en que va a ser sometido a algún tipo de proceso para generar SEE que incluya métodos acelerados de test con radiación, tal y como se ha comentado en el apartado 2.4 en la página 29.

El objetivo los experimentos será evaluar la eficacia de las técnicas para conseguir celdas más robustas que se han implementado o simplemente estudiar el comportamiento de la memoria frente a diferentes fuentes de radiación. En todos estos casos, será útil que los errores se produzcan en la memoria propiamente dicha y no en su unidad de control. Si el sistema utilizado para inducir eventos transitorios causados por radiación es selectivo y puede aplicarse sobre una determinada zona, es suficiente con evitar la zona del sistema de control. Sin embargo, en muchos casos no es posible ser selectivo en cuanto a la zona a la que se aplica la radiación. Por este motivo, la unidad de control utiliza la técnica de mitigación de los efectos de la radiación denominada redundancia modular triple en todos sus registros. Los fundamentos de esta técnica se describen en el apartado 2.3 en la página 24. De esta manera, se pretende reducir el número de SEUs que se produzcan en los registros de la unidad de control y mejorar así su robustez global.

5.3.6. Celdas con inyección fallos

Se ha diseñado un tipo especial de celda 6T a la que se le puede provocar un cambio de estado actuando únicamente sobre uno de sus dos nodos. De esta manera se intenta reproducir un SEU. El principal motivo para incluir este tipo de celdas es poder testear el funcionamiento de los sensores de corriente que se describen en el apartado 6.4.2 en la página 187.

Este objetivo se podría haber logrado añadiendo a uno de los nodos de la celda una conexión adicional a una línea de metal mediante la cual se hiciera llegar un pulso de corriente que provocara el cambio de estado de la celda. Si no se quisiera afectar a la continuidad de la matriz de celdas, el elemento generador del pulso tendría que estar fuera de la matriz y, por tanto, las líneas de metal que lo transportan tendrían que ser largas. Estas líneas estarían conectadas a uno de los nodos de la celda lo que incrementaría su capacidad y, por tanto, la celda con el mecanismo de inyección diferiría de una celda convencional pudiendo desvirtuar la validez de los resultados obtenidos.

Por este motivo, se ha decidido provocar el cambio de estado de la celda a través de uno de sus dos transistores de paso, lo denominaremos transistor inyector. La puerta de este transistor deja de estar conectada a la *word-line* convencional para conectarse a otra línea encargada de activarlo cuando se quiere inyectar el fallo. El transistor inyector sigue estando conectado a su *bit-line* correspondiente, de hecho, es precisamente esta *bit-line* la encargada de provocar que la celda cambie de estado. El otro transistor de paso se conecta de manera convencional. Todo esto se ve reflejado en la siguiente figura en donde se muestran los circuitos de una celda 6T convencional y otra con inyección de fallos:

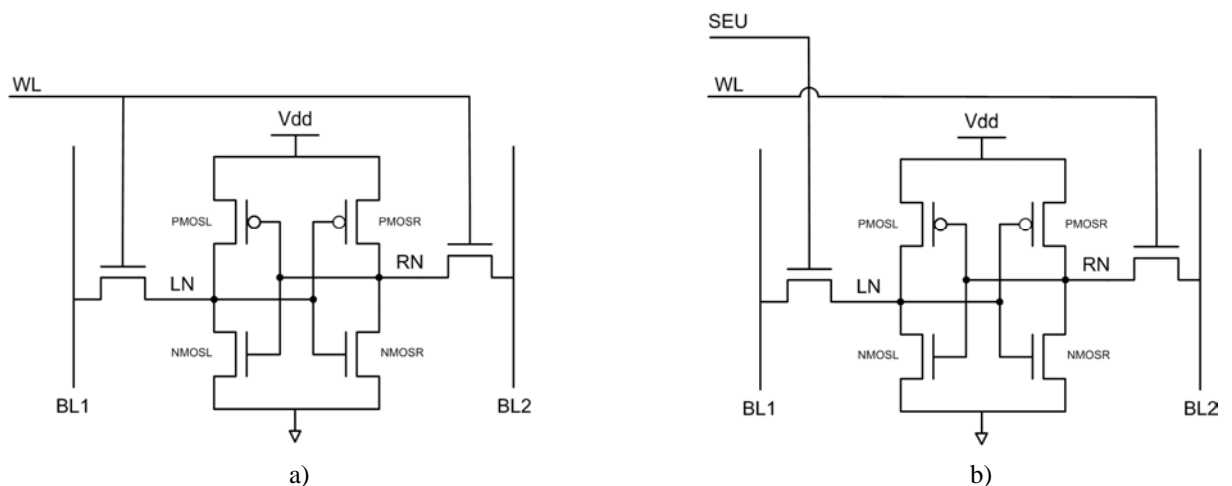


figura 5.15. Circuitos de a) una celda 6T convencional y b) una celda con inyección de fallos.

A la luz de la figura anterior queda claro que el control del transistor inyector se hace de manera independiente al del otro transistor de paso. De esta manera, si el nodo LN está a nivel bajo y se quiere hacerlo transicionar a nivel alto, en el momento en que se active la señal SEU la BL1 deberá estar a nivel alto. Por el contrario, si se quiere que el nodo LN pase de nivel alto a bajo, la BL1 deberá estar a nivel bajo. Por tanto, para que el mecanismo de inyección de fallos funcione, se tiene que conocer previamente el estado del nodo LN y modificar los niveles de tensión de la BL1 antes de activar la señal SEU. Controlando el tiempo que la señal SEU se encuentra activada se puede modificar la duración de la perturbación, mientras que su magnitud se puede controlar mediante el nivel de tensión de la señal SEU e incluso mediante la tensión de precarga de la *bit-line* cuando quiera provocarse una transición de nivel bajo a nivel alto. La tensión de la señal SEU se controla mediante un inversor que permite modificar el voltaje de su salida idéntico a los que se han utilizado como etapa de salida del decodificador de fila y que se han descrito en el apartado 5.3.2.

El *layout* de la celda cambia ligeramente para adaptarse a la nueva conexión. En la siguiente figura se muestra el *layout* de una celda 6T de dimensiones mínimas convencional y el de otra con inyección de fallos:

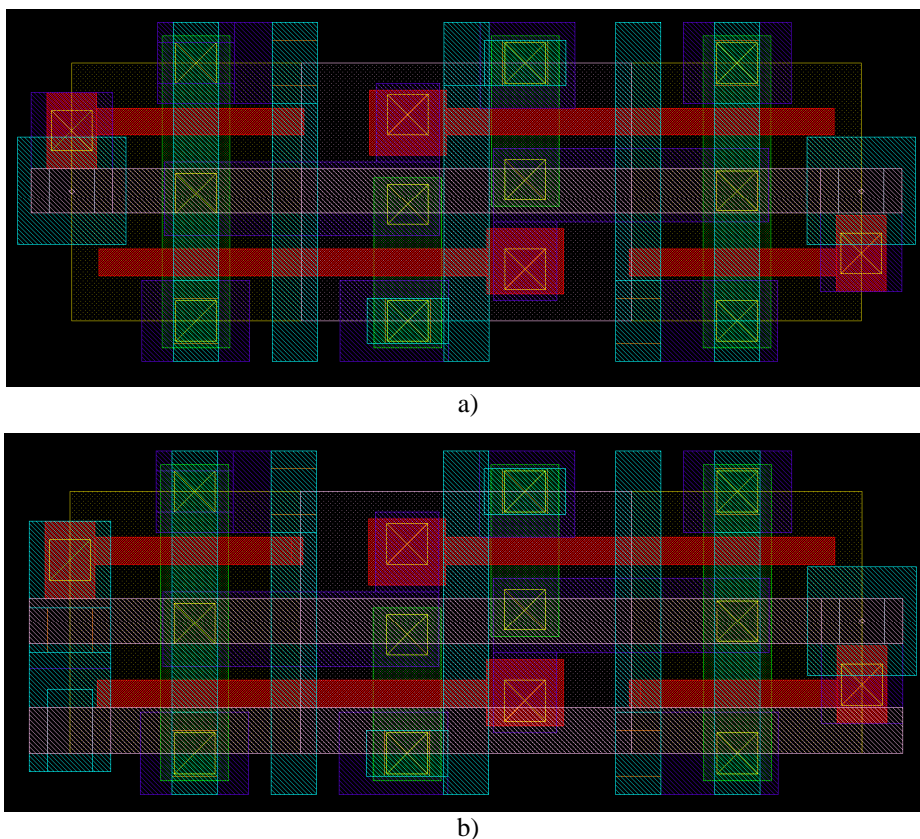


figura 5.16. *Layout* de una celda 6T de dimensiones mínimas. a) convencional. b) con inyección de corriente.

En la figura anterior puede comprobarse como la línea que transmite la señal SEU está realizada en el mismo metal que la *word-line* convencional y la principal diferencia es que la conexión entre la línea de metal y la puerta del transistor se realiza de manera ligeramente diferente en un caso y en otro. En el caso de la celda con inyección de fallos, la conexión es ligeramente más larga. Además, en las memorias que tengan celdas con inyección existe la línea SEU adicional paralela a las *word-lines* convencionales. No es de esperar que estos cambios afecten demasiado a las celdas.

Debido a la estructura elegida para la matriz de celdas, en donde cada celda es la simétrica de su adyacente, el nodo de la puerta del transistor de inyección de una celda está compartido con el nodo de la puerta de la celda contigua y, por tanto, no es posible separarlos sin interrumpir la continuidad de celdas dentro de la matriz. Por este motivo, la señal SEU está siempre conectada a dos celdas adyacentes de una misma fila. Esto no significa necesariamente que siempre que se quiera provocar el cambio en una celda tenga que hacerse también forzosamente en su vecina. La afectación de una determinada celda está supeditada a que el nivel de tensión de la *bit-line* sea el opuesto al del nodo al que se conecta. Por tanto, controlando la tensión de los nodos de la celda adyacente a la que se quiere provocar el cambio, puede conseguirse que no sufra un cambio de estado.

En la siguiente figura puede verse el *layout* de dos celdas adyacentes que comparten el nodo a través del que se activa la inyección de del fallo:

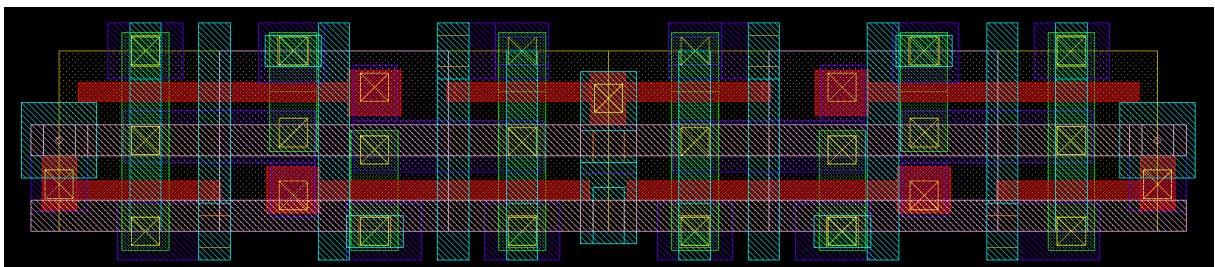


figura 5.17. Layout de dos celdas vecinas con el nodo de activación de la inyección de corriente compartido.

También se han diseñado conjuntos para poder inyectar fallos en dos o más celdas que pertenezcan a la misma columna ya que puede resultar útil para el test de los sensores de corriente. Dichos sensores monitorizan el comportamiento de columnas de celdas, de esta forma pueden inyectarse varios fallos simultáneos en diversas celdas monitorizadas por un mismo sensor (ver 5.3.8 pág. 156). Este tipo de inyección múltiple se consigue conectando la señal SEU a las puertas de los transistores de diversas celdas. En la siguiente figura se

muestra, a modo de ejemplo, el *layout* de cuatro celdas cuyas tres celdas superiores comparten mecanismo de inyección de fallos:

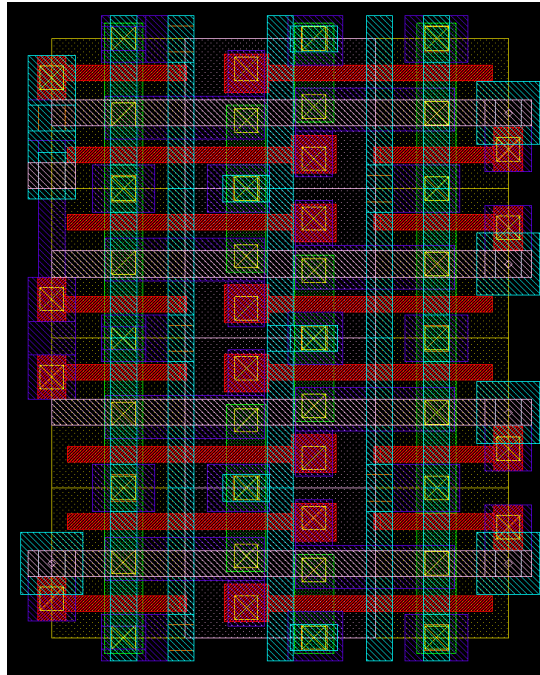


figura 5.18. *Layout* de cuatro celdas. Las tres superiores comparten mecanismo de inyección de corriente.

También se han diseñado celdas con inyección de fallos para celdas con el ancho de los transistores no mínimo. En total se han diseñado 12 conjuntos diferentes de celdas con inyección de SEU.

La distribución de estas celdas se ha realizado de acuerdo con la distribución de los sensores de corriente que se pretende testear y se describen en el apartado 5.3.8.

Por último cabe remarcar que, aunque el cambio de estado de la celda se realiza a través de un transistor de paso, el proceso es diferente del que se produce durante una escritura, puesto que en este caso se realiza actuado sobre un único transistor de paso.

5.3.7. Ventanas en las capas de metal

Se pretende disponer de zonas sobre la matriz de celdas en las que se minimice la presencia de metales. A estas zonas las hemos denominado ventanas.

El motivo por el que se quiere disponer de estas ventanas radica en que tal y como se ha mencionado en el apartado 2.4 en la página 29, la inducción de SEUs mediante láser cuando se aplica desde la cara superior del chip se ve dificultada por la presencia de las capas de metal. Este problema no existe desde la cara inferior, aunque surgen otros problemas tal como

se ha descrito anteriormente. Por tanto, facilitar la llegada del láser a las zonas activas de los transistores desde la cara superior del chip es una opción que puede resultar útil.

Las ventanas consisten en zonas de exclusión para que no se añadan metales *dummy* para cumplir con las restricciones en cuanto a la densidad de metales que imponen las reglas de diseño. En el área que ocupa cada ventana, no se añaden metales *dummy*, pero sigue habiendo los metales propios de las celdas y sus conexiones (básicamente *bit-lines* y *word-lines*). De esta manera, no se consigue eliminar totalmente la presencia de metales pero sí minimizarla en ciertas zonas sobre la matriz de celdas.

Las ventanas son rectangulares y sus límites coinciden con los límites de las celdas, por tanto sus medidas son siempre múltiplos de las medidas de las celdas sobre las que se han dispuesto. Sus dimensiones van desde 2x4 celdas hasta 8x32 celdas, en el apartado 5.4.2 se recoge la disposición de cada una de las ventanas. Las ventanas no pueden ser todo lo grandes que se quiera ya que las reglas de diseño imponen densidades máximas y mínimas para los metales *dummy* calculados sobre áreas de diferente tamaño.

En la siguiente fotografía puede verse a modo de ejemplo el aspecto al microscopio de cuatro ventanas de diferentes tamaños:

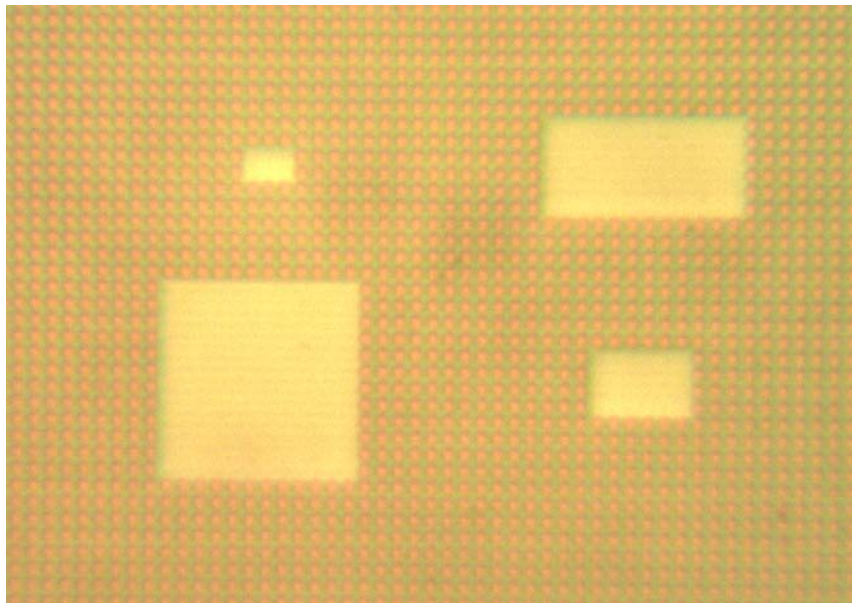


figura 5.19. Fotografía de cuatro de las ventanas abiertas en las capas de metal

5.3.8. Sensores de corriente

En este apartado se describen brevemente los sensores de corriente que se han incluido en el diseño de la memoria. A estos sensores los denominaremos BICS (*Built-in Current Sensors*). En primer lugar, hay que remarcar que el diseño de los BICS no forma parte de esta tesis. Sin embargo, sí entra dentro de sus objetivos adaptar el diseño de la memoria para incorporar los BICS y poder evaluar su funcionamiento. Los sensores han sido diseñados por otros miembros del grupo de investigación en el que enmarca esta tesis. Por este motivo, aquí describiremos la función de los BICS pero no su diseño interno.

Los BICS han sido diseñados para detectar picos en la corriente consumida por las celdas y, además, hacerlo de forma diferencial. Para ello, el sensor monitoriza la corriente consumida por dos grupos de celdas. Cada grupo está conectado, a uno de los dos terminales del sensor (figura 5.20). En esta memoria, las líneas de alimentación de las celdas discurren en vertical, por tanto, se ha decidido que los grupos de celdas monitorizados por los BICS sean columnas. El sensor estaba diseñado para monitorizar 1024 celdas en cada uno de sus terminales. Esta memoria tiene 256 filas, por tanto, a cada uno de los terminales del sensor se le ha conectado un total de 4 columnas. A cada grupo de columnas conectado a cada terminal del sensor lo denominaremos “rama”, tendremos la rama izquierda y la rama derecha.

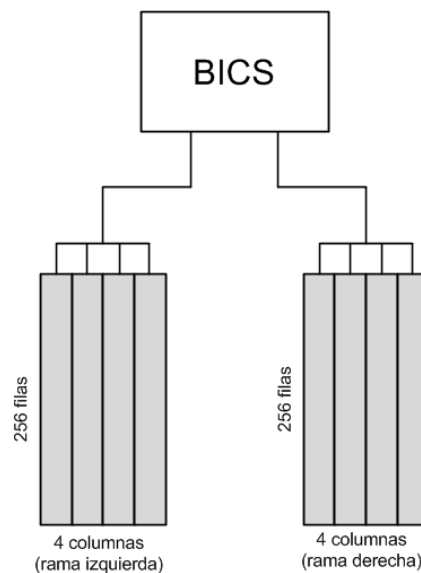


figura 5.20. Esquema del conexionado de sensor de corriente (BICS)

El objetivo de monitorizar la corriente consumida es poder detectar la ocurrencia de un SEU basándose en el diferente transitorio de consumo que se espera de la celda cuando cambia de estado fruto de la interacción con una partícula. La monitorización diferencial posibilita teóricamente poder detectar mejor los transitorios de corriente que se produzcan en una rama, pues la corriente consumida se compara con la de la otra rama en la que se supone que no se está produciendo ningún evento transitorio.

En el apartado 4.3.2 en la página 81 se ha estudiado por simulación el comportamiento de una celda frente a perturbaciones que se encuentran en el umbral de provocar un cambio de estado lógico de la celda, además en [TOR09] se hace un estudio más detallado de las corrientes involucradas en este proceso. La principal conclusión de estos estudios que resulta de interés para los sensores de corriente es la siguiente: Se pueden producir eventos transitorios debidos a la interacción de una partícula con una celda SRAM que no provoquen un cambio en su estado lógico pero que, sin embargo, la perturben fuertemente. En estos eventos, la carga colectada es inferior a la crítica y no se produce un SEU, sin embargo, estos eventos sub-críticos generarán corrientes que son similares a las producidas por un SEU. Por tanto, en el diseño de los sensores de corriente hay que tener en cuenta la existencia de eventos que serán difíciles de diferenciar de un auténtico SEU. Si a todo esto se le añade la variación paramétrica de todos los elementos del circuito, queda claro que para detectar un porcentaje elevado de los SEUs que se produzcan, hay que aceptar la presencia de falsos positivos.

5.3.9. Tensiones de alimentación y tierras

El chip se ha diseñado con las alimentaciones de varios bloques separadas y conectadas a pines diferentes, esto permite modificar de manera independiente las tensiones de cada uno de ellos. Además, abre la puerta a monitorizar desde el exterior el consumo de cada uno de estos elementos separadamente.

La tensión nominal de alimentación de la tecnología de 65 nm es 1,2 V. Sin embargo, los pads de entrada-salida que se han utilizado son de 3,3 V, aunque también pueden configurarse para trabajar a 2,5 V y a 1,8 V. El motivo de elegir pads con esta tensión de alimentación es por compatibilidad con el instrumental disponible en el laboratorio. Es decir, todas las señales de entrada al circuito deberán ser de 3,3 V, y serán convertidas internamente por los pads a la

tensión de alimentación del circuito de control. Del mismo modo, las señales generadas por el circuito serán convertidas por los pads de salida a una tensión de 3,3 V.

Todo el resto del circuito se alimenta a una tensión nominal de 1,2 V, sin embargo, las alimentaciones se han separado de la siguiente manera:

- V_{DD} : alimentación del sistema de control (realizado mediante *standard-cells*), de los transistores de precarga de las *bit-lines* y de los *sense-amplifiers*.
- V_{DDRAM} : Alimentación de las matrices de celdas SRAM.
- V_{WL} : Polarización de los buffers del decodificador de fila. A partir de esta tensión se genera la tensión de la *word-line* (WL) que controla la puerta de los transistores de paso de las celdas.

Así, por ejemplo se puede monitorizar el consumo de las celdas sin influencia de otros consumos y modificar su tensión de alimentación sin que se afecte a los bloques de control. También se puede modificar libremente la tensión de puerta de los transistores de paso de las celdas y estudiar la efectividad de las técnicas presentadas en el apartado 4.4.3 (pág. 108) y en el apartado 4.5.3(página 118).

Además, las tierras asociadas a V_{DD} y a V_{DDRAM} se han separado también y se denominan respectivamente GND y GNDRAM.

5.4. Organización, estructura y características

Una vez descrito el diseño y la funcionalidad de los diferentes elementos de las memorias, en este apartado se detalla cómo se integran para formar los diferentes bancos de memoria. Además también se describen las características de diseño concretas de cada uno de los cinco bancos.

5.4.1. Estructura general de los módulos de un banco de memoria

Cada uno de los cinco bancos de memoria es diferente de los demás. No obstante existe una estructura común para todos ellos que se describe a continuación:

El elemento principal de un banco de memoria es la matriz de celdas, puesto que son las encargadas de almacenar los datos. Cada banco de memoria tiene un total de 16.384 celdas organizadas en 256 filas y 64 columnas. Los datos se leen por palabras de 8 bits, todos los bits de una misma palabra se encuentran ubicados en una misma fila pero no en celdas adyacentes sino con una distancia de *interleaving* de 8. Es decir, dos bits consecutivos de una misma palabra tienen entre ellos 7 celdas que forman parte del contenido de otras 7 palabras. En el apartado 2.3 en la página 24 se ha justificado la motivación general de utilizar *interleaving* y en el apartado 5.2.3 en la página 127 la razón por la que se ha utilizado en este diseño.

Resulta útil definir de forma genérica diversas características de un banco de memoria con la organización que se acaba de describir:

n: número de bits de la dirección de fila. ($n=8$)

N: número de direcciones de fila o número de filas. $N=2^n$. ($N=256$)

m: número de bits de la dirección de columna. ($m=3$)

M: número de direcciones de columna. $M=2^m$. ($M=8$)

p: longitud de cada palabra. ($p=8$)

C: número de columnas $C=p \cdot M$. ($C=64$)

En la figura 5.21 se puede ver la distribución de los elementos de cada banco de memoria.

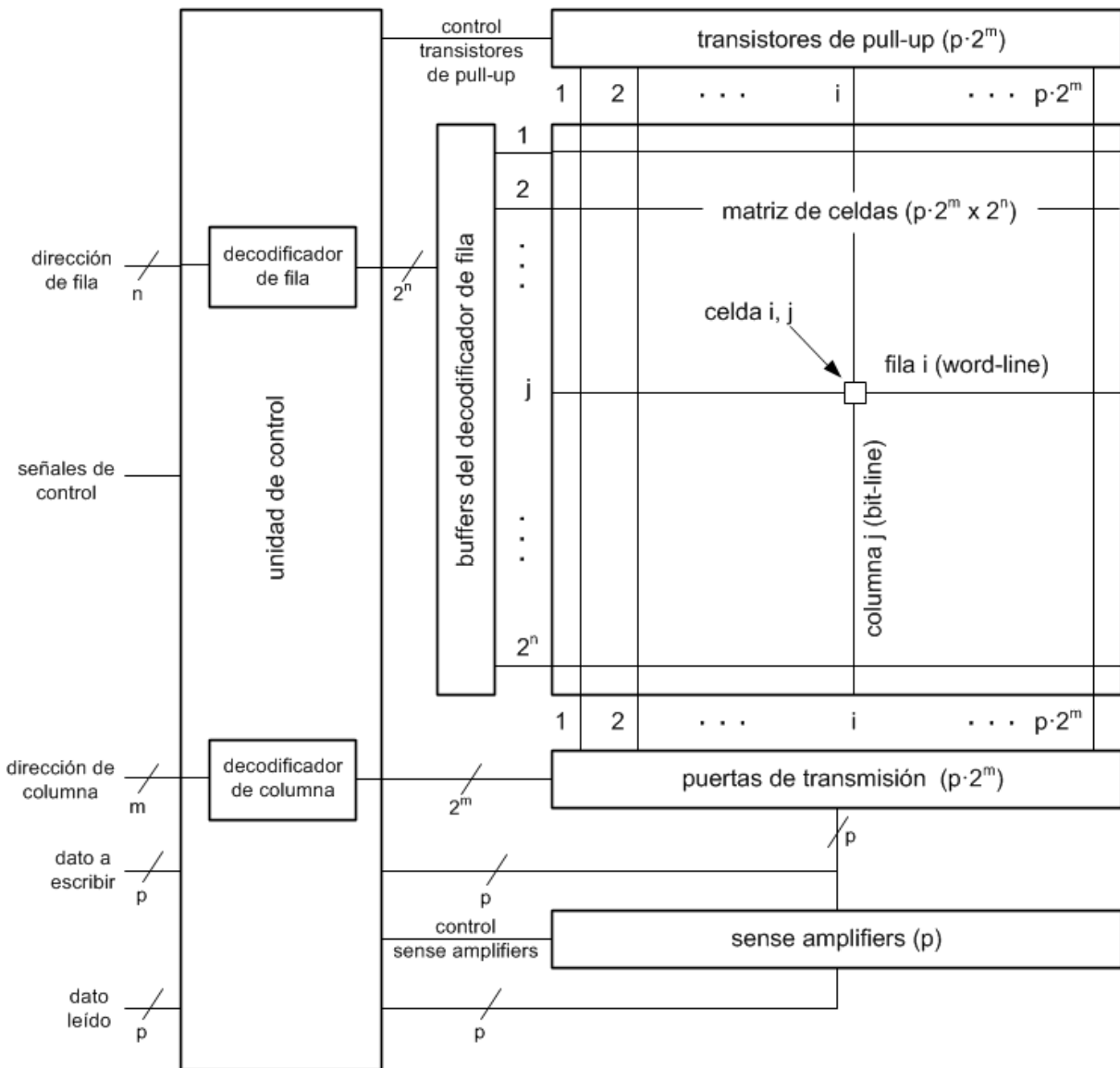


figura 5.21. Distribución de los diferentes elementos que forman un banco de memoria sin sensores de corriente.

Sobre la matriz se ubican los bloques de precarga. Se necesita un bloque para cada columna, por tanto, hay $C=64$ bloques.

Debajo de la matriz encontramos las puertas de transmisión y los *sense-amplifiers*. Se requiere un bloque de puertas de transmisión para cada columna, por tanto, hay $C=64$ bloques de puertas de transmisión. Conectados a las puertas de transmisión y justo debajo se encuentran los *sense-amplifiers*. Sin embargo, hay menos *sense-amplifiers* que bloques de puertas de transmisión puesto que en cada momento se leen o escriben solamente $p=8$ celdas y, por tanto, únicamente se necesitan, $p=8$ *sense-amplifiers*. El decodificador de columna es el

encargado de conectar, mediante las puertas de transmisión, 8 de las 64 columnas a los 8 *sense-amplifiers*.

A la izquierda de la matriz se encuentran los buffers del decodificador de fila. Hay N=256 buffers, uno por cada fila.

A la izquierda de los buffers se encuentra la unidad de control que, además de generar todas las señales de control de la memoria, hace las funciones de decodificador de fila y de columna.

En la siguiente figura puede verse la distribución de estos elementos en el *layout* definitivo de un banco de memoria:

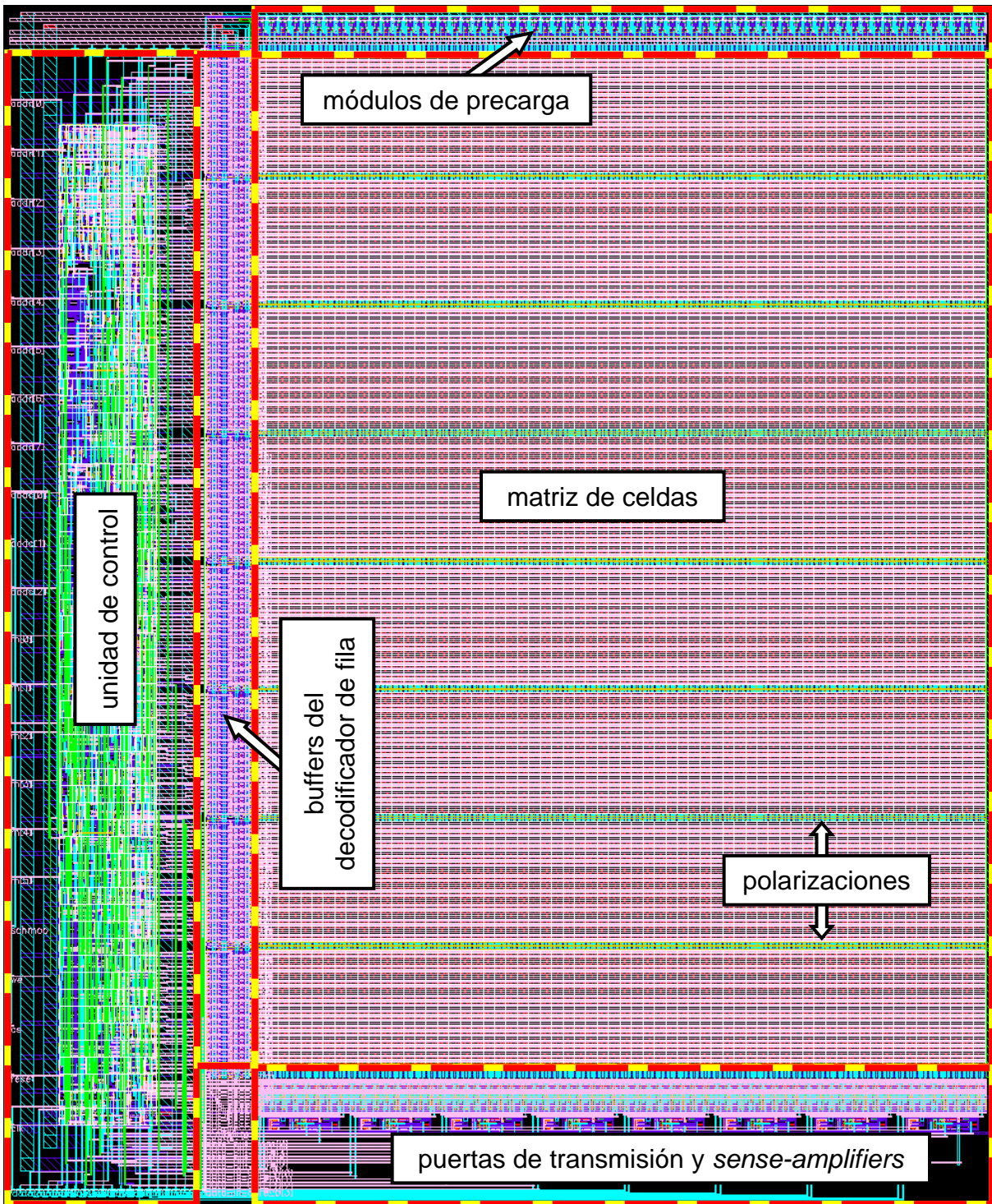


figura 5.22. Imagen del *layout* de un banco de memoria en donde se destaca la distribución de los diferentes elementos. Se trata de un banco sin sensores de corriente.

En la imagen anterior se puede observar como la matriz de celdas está interrumpida periódicamente por las polarizaciones de sustrato y de pozo. Estas estructuras discurren en horizontal, hay una cada 32 filas.

5.4.2. Características particulares de los bancos de memoria

Cada uno de los cinco bancos de memoria es diferente de los demás, en este apartado se detallan las especificaciones particulares de cada uno de ellos.

Los 5 bancos de memoria se denominan:

- 6T-min: Está formado por celdas 6T de medidas mínimas.
- 6T-mod: Está formado por 4 tipos de celda con modulación del ancho del canal de los transistores. Contiene celdas tipo B, C, D y E.
- 6T-sens-min: Tiene sensores de corriente y todas sus celdas son de medidas mínimas.
- 6T-sens-mod: tiene sensores de corriente y tiene celdas mínimas y celdas con modulación de ancho de canal de los transistores. Contiene celdas tipo A, B, C y E.
- 8T: Está formado por celdas 8T de medidas mínimas.

Todos los bancos de memoria tienen ventanas abiertas en las capas de metal de diferentes medidas para poder estudiar el efecto del tamaño de la abertura en la capacidad de generar SEUs mediante láser. Las reglas de diseño no permiten abrir ventanas muy grandes ya que imponen restricciones de densidad máxima y mínima de metales calculadas sobre áreas de diferentes tamaños. Además, dos ventanas grandes que por separado cumplirían las restricciones, si se ubican demasiado cerca, pueden no cumplirlas. Por este motivo, la distribución de las ventanas grandes se ha hecho al tresbolillo con las ventanas más pequeñas intercaladas entre las grandes. En algunos bancos de memoria se han dejado amplias zonas de la matriz de celdas sin ventanas para ayudar a caracterizar el efecto de su presencia o ausencia.

A continuación se describe la disposición de los diferentes tipos de celda, de las ventanas en las capas de metal, de los sensores de corriente y de las celdas con inyección de fallos para cada banco de memoria.

Banco de memoria 6T-min

Este banco tiene todas sus celdas de mediadas mínimas. Tiene ventanas de cuatro tamaños diferentes ubicadas en la parte superior e inferior. La parte central no tienen ventanas. En la siguiente figura puede verse la distribución de las ventanas.

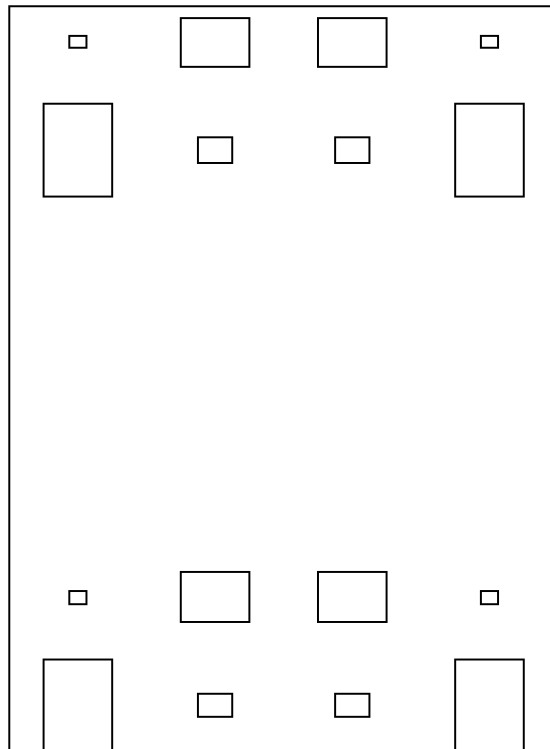


figura 5.23. Distribución de las ventanas en el banco de memoria 6T-min.

Banco de memoria 6T-mod

Este banco tiene de cuatro tamaños de celda diferentes (B, C, D y E) distribuidos en 4 grupos de 16 columnas cada uno tal y como puede verse en la figura 5.24. En cada uno de los grupos de celdas se han abierto cuatro ventanas de cuatro tamaños diferentes. Estos cuatro tipos de ventanas abarcan el mismo número de celdas que para el caso del banco de memoria 6T-min descrito anteriormente. Con esto, se pretende facilitar la comparación de los resultados experimentales obtenidos para los diferentes tamaños de celda. La parte central tampoco tiene celdas abiertas.

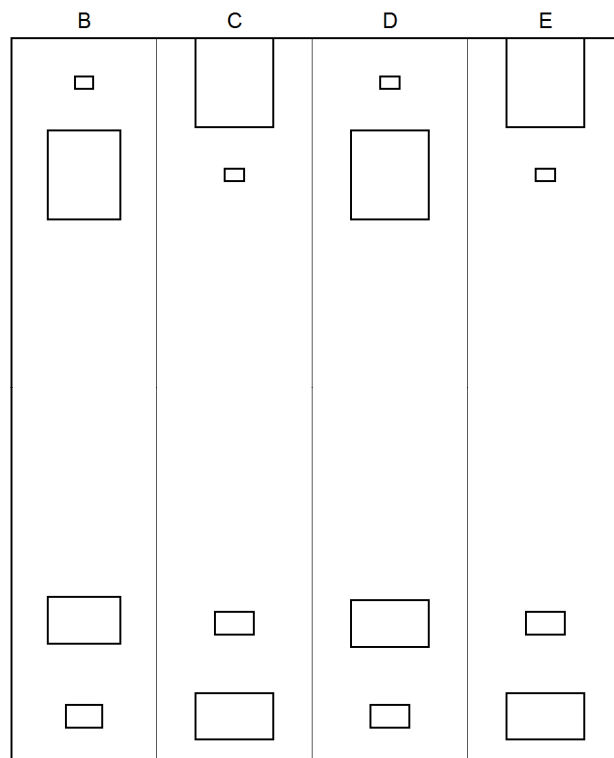


figura 5.24. Distribución de las celdas de diferentes tamaños y de las ventanas en el banco de memoria 6T-mod.

Banco de memoria 6T-sens-min

Este banco de memoria tiene únicamente celdas de medidas mínimas e incorpora sensores de corriente con diferentes distribuciones de columnas para cada una de sus ramas.

La distribución de ventanas busca estudiar el efecto de ventanas de diferente área en cuatro tipologías diferentes de distribución de columnas de los sensores. Para ello, se han abierto ventanas en cuatro verticales diferentes (ver figura 5.25). Todas las ventanas situadas sobre la misma vertical tienen el mismo ancho para afectar de la misma manera a las diferentes ramas de los sensores, pero tienen diferente altura para conseguir diferente área de ventana. La memoria tiene una zona en la parte inferior izquierda sin ventanas.

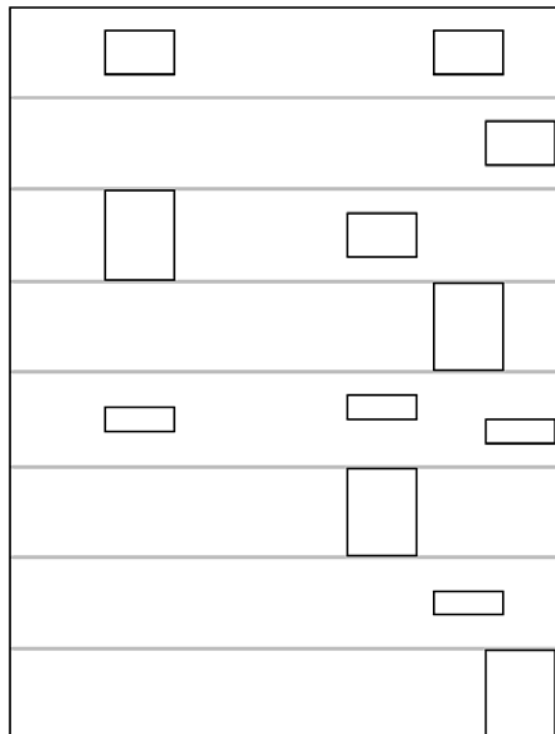


figura 5.25. Distribución de las ventanas en el banco de memoria 6T-sens-min y de las celdas con inyección de fallos.

Banco de memoria 6T-sens-mod

Este banco de memoria tiene celdas de diferentes medidas e incorpora sensores de corriente con la misma distribución para los cuatro tamaños de celda. Todas las ventanas tienen la misma altura y áreas similares, sin embargo, los anchos de las ventanas son ligeramente diferentes. La elección de estos anchos y la distribución estratégica de las ventanas permite que cada ventana afecte a un número diferente de ramas de sensor. Esto se ha hecho para los cuatro tamaños de celda.

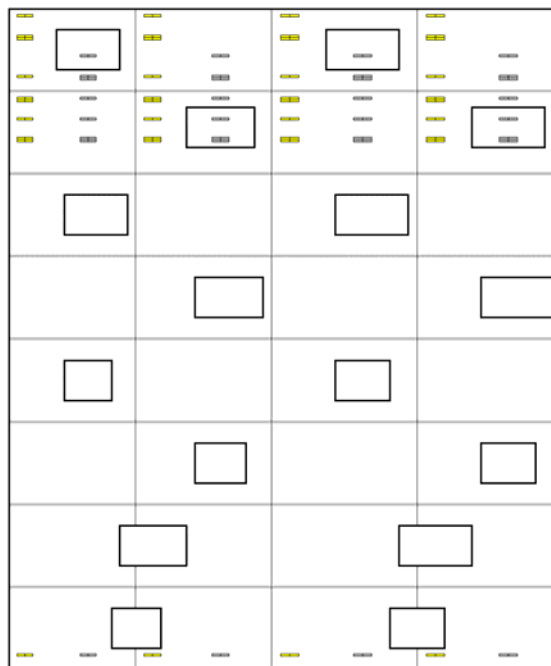


figura 5.26. Distribución de las ventanas en el banco de memoria 6T-sens-mod y de las celdas con inyección de fallos

Banco de memoria 8T

Este banco tiene todas sus celdas de medidas mínimas. La distribución de las ventanas es la misma que para el caso 6T-min, es decir, tiene ventanas de cuatro tamaños diferentes ubicadas en la parte superior e inferior mientras que la parte central no tienen ventanas. En la siguiente figura puede verse la distribución de las ventanas.

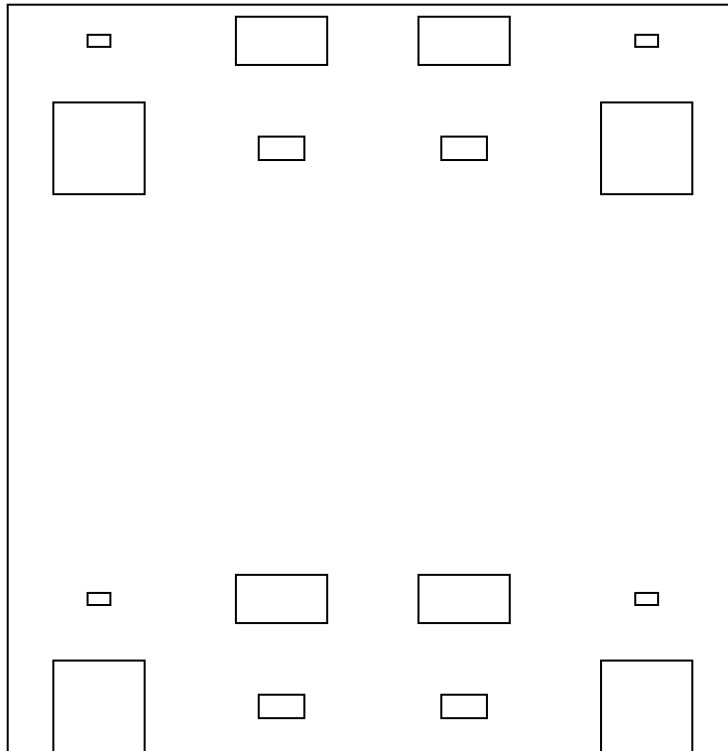


figura 5.27. Distribución de las ventanas en el banco de memoria 8T

5.4.3. Distribución de los diferentes elementos en el *layout* final

En este apartado se describe la distribución de los cinco bancos de memoria y de la unidad de control general de los bancos de memoria.

En la siguiente figura puede verse el *layout* final con la distribución de todos estos elementos junto con el anillo de pads:

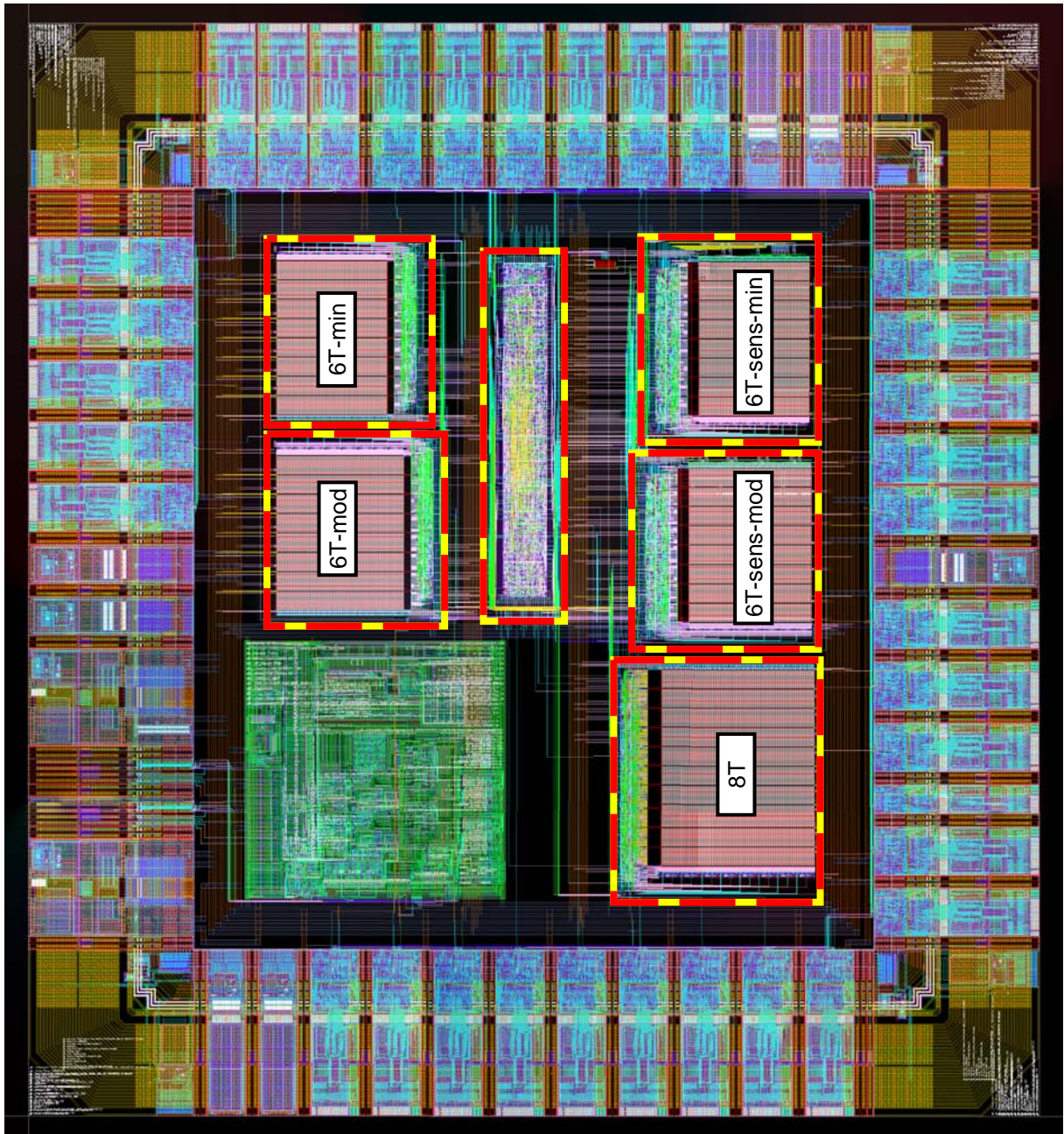


figura 5.28. *Layout* final del circuito integrado

En el *layout* se puede observar la posición de los cinco bancos de memoria, cada uno de ellos con su respectiva unidad de control. Además, en el centro se ubica la unidad de control general de todos los bancos. Por comodidad para realizar el rutado de las señales los bancos de memoria situados a la izquierda de la unidad central de control se han rotado 180° de forma que su unidad de control queda en el lado más cercano a la unidad central. Finalmente, en la parte inferior izquierda hay otro módulo que suministra el fabricante denominado módulo de compensación y cuya misión es generar y estabilizar las tensiones de referencia para los pads.

Las medidas del integrado incluyendo el anillo de pads son 1028 μm x 1070 μm y su área es de 1,1 mm^2 . El integrado tiene un total de 44 pads.

Si no se tienen en cuenta los pads, el área ocupada por los cinco bancos de memoria, la unidad de control y la celda de compensación es de aproximadamente 0,5 mm^2 (685 μm x 730 μm).

En la siguiente tabla detallan las dimensiones de cada banco de memoria incluyendo la unidad de control.

	ancho (μm)	alto (μm)	área (μm^2)	incremento de área respecto a 6T-min
6T-min	150	182	27.300	0%
6T-mod	169	182	30.758	13%
6T-sens-min	165	197	32.505	19%
6T-sens-mod	177	194	34.338	26%
8T	205	193	39.565	45%

tabla 5.5. Comparativa entre las dimensiones de los diferentes bancos de memoria

Los bancos de memoria que tienen celdas con medidas superiores a las mínimas o celdas 8T tienen un área mayor que la del banco 6T-min. Además, los bancos que tiene sensores y celdas con inyección de SEUs son más altos debido a la presencia de los sensores, pero también más anchos debido a dos factores: la inclusión de buffers para las señales de inyección y la mayor complejidad de la unidad de control que tiene que gestionar el control de los sensores y de la inyección.

A continuación se puede ver una microfotografía del circuito fabricado:

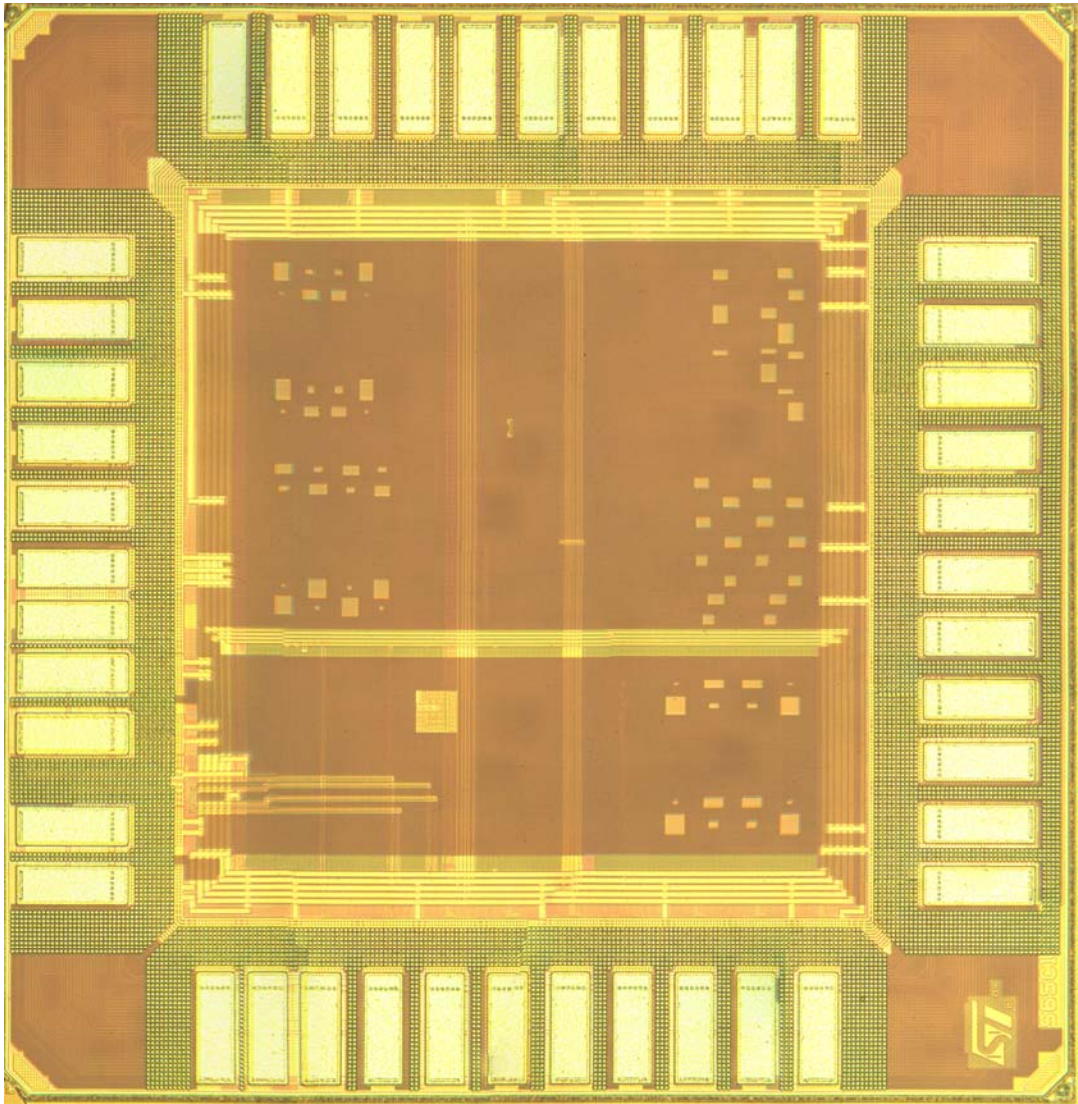


figura 5.29. Fotografía del circuito fabricado

En la fotografía se aprecian los pads, las conexiones de los niveles superiores de metal y las ventanas en las capas de metalización. Los metales horizontales de la fotografía son metal 7, mientras que los verticales son metal 6.

En la siguiente figura se muestra una fotografía del encapsulado del circuito integrado:

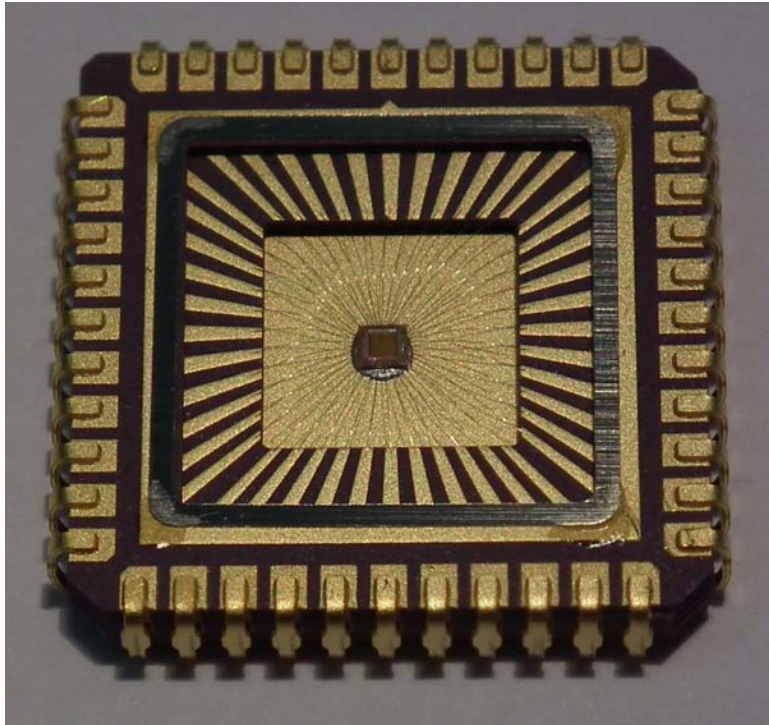


figura 5.30. Encapsulado del circuito integrado

Se trata de un encapsulado JLCC44 que se muestra abierto. En su parte central se aprecia el circuito integrado y los *wire-bondings* que lo conectan con el encapsulado.

5.5. Funcionamiento de la memoria

Una vez descritos los diferentes módulos que forman parte del diseño, en este apartado se detalla el funcionamiento de la memoria. Se describen las diferentes alimentaciones que es necesario proporcionar al integrado. También se especifican las señales de control y las direcciones y datos necesarias para el funcionamiento de la memoria. Además, se proporciona la información básica para entender los diferentes modos de operación de cada banco de memoria y se especifica la secuencia de señales externa necesaria para realizar las operaciones de escritura y de lectura.

En la siguiente tabla se recoge la descripción de todas las alimentaciones, señales de control, direcciones de memoria y datos, junto al pin del integrado que corresponde a cada uno:

nombre	tipo	descripción	pin
alimentaciones			
V _{DD}	A	Alimentación de las unidades de control, bloques de precarga y <i>sense-amplifiers</i> . Tensión nominal: 1,2 V.	2,23
V _{DDRAM}	A	Alimentación de las celdas de memoria. Tensión nominal: 1,2 V.	3
V _{WL}	A	Polarización de los buffers de los decodificadores de fila.	5
V _{DDE3V3}	A	Alimentación de los pads. Tensión nominal: 3,3 V.	7,30
GND	A	Referencia para las unidades de control, <i>sense-amplifiers</i> , buffers de los decodificadores de fila y contactos de sustrato.	1,6
GNDE	A	Referencia de los pads.	8,29
GNDRAM	A	Referencia de las celdas de memoria. Tensión nominal: 1,2 V.	4
señales de control			
<i>reset</i>	E	Señal de reset	17
<i>clk</i>	E	Señal de reloj para las unidades de control de cada banco de memoria (unidades de control locales).	39
<i>cclk</i>	E	Señal de reloj para la configuración de los registros de la unidad de control general.	41
<i>rw</i>	E	Señal que termina si va efectuarse una operación de lectura o de escritura (<i>rw</i> = 0, escritura y <i>rw</i> = 1, lectura).	27
<i>cs</i>	E	<i>Chip-select</i> . Activa el funcionamiento de la memoria seleccionada por la unidad de control.	28
<i>cm</i>	E	Selección entre modo de operación y modo de configuración. (<i>cm</i> =0, modo de operación y <i>cm</i> = 1, modo de configuración).	40
direcciones de memoria y datos			
<i>addc</i> <2:0>	E	Dirección de columna en la que se va a leer o a escribir.	42-44
<i>addr</i> <7:0>	E	Dirección de fila en la que se va a leer o a escribir.	26-24, 22-18
<i>datain</i> <7:0>	E	Palabra a escribir.	16-9
<i>dout</i> <7:0>	S	Palabra leída.	31-38

tabla 5.6. Descripción de las alimentaciones, señales de control, direcciones de memoria y datos.

A=Alimentación, E=entrada, S=salida.

Hay que recordar que cada banco de memoria tiene una unidad de control local que se encarga de generar las señales internas que se necesitan, a partir de las señales de control

externas y de las direcciones de memoria y datos que se suministran al integrado y que acaban de describirse en la tabla 5.6.

5.5.1. Modos de funcionamiento

La memoria puede encontrarse en modo de operación o en modo de configuración en función del valor de la señal *cm*:

- Modo de operación: Se realizan las operaciones de lectura y de escritura que, a su vez, pueden realizarse en dos modos diferentes cuyas características se exponen a continuación:
 - Modo de operación normal: El tiempo durante el que se accede a las celdas para su lectura o escritura ($t_{acc, norm}$) depende únicamente de la frecuencia de operación (señal *clk*). De hecho, coincide con el periodo de la señal *clk*.

$$t_{acc, norm} = T_{clk} \quad (Ec. 5.1)$$

- Modo de operación schmoo: El tiempo durante el que se accede a las celdas para su lectura o escritura depende de la frecuencia de operación y de un parámetro al que denominaremos N_{sch} . En este modo, el tiempo durante el que se accede a las celdas ($t_{acc, sch}$) es N_{sch} veces T_{clk} .

$$t_{acc, sch} = T_{clk} \cdot N_{sch} \quad (Ec. 5.2)$$

- El modo de operación incluye también la gestión de la inyección de fallos y los sensores de corriente.
- Modo de configuración: Se determinan diversos parámetros referentes al modo de operación de la memoria. En concreto permite configurar lo siguiente:
 - Selección la memoria que está activa con la señal *cs*. Puede haber más de una memoria activa a la vez.
 - Selección de la memoria cuyas salidas de conectaran a los pads de salida. Solamente puede haber una memoria conectada a la vez.
 - Selección de los bancos de memoria que está en modo schmoo.
 - Número de ciclos del modo schmoo (N_{sch}).

5.5.2. Operaciones de lectura y escritura:

La unidad de control local de cada banco de memoria genera las señales necesarias para las operaciones de lectura y de escritura tanto en modo normal como en modo schmoo. La unidad de control se ha implementado con una máquina de estados finitos descrita mediante el diagrama de estados que puede verse en la siguiente figura:

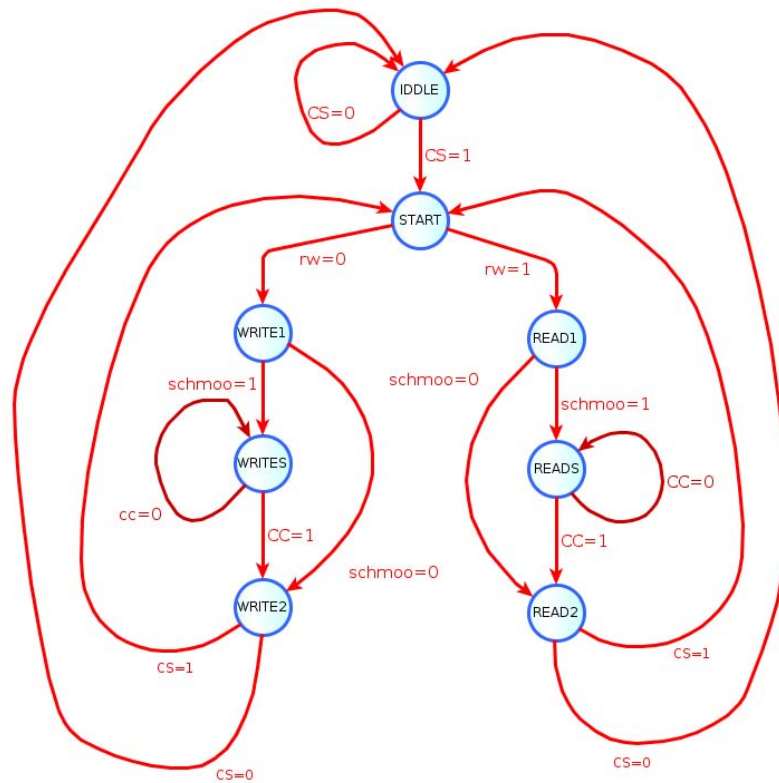


figura 5.31. Máquina de estados de la unidad de control.

Una lectura o una escritura en modo normal requiere 4 ciclos de reloj que se corresponden con los siguientes estados:

- Escritura: *Iddle*, *Start*, *Write1* y *Write2*.
- Lectura: *Iddle*, *Start*, *Read1* y *Read2*.

Una lectura o escritura en modo schmoo requiere $N_{sch}-1$ ciclos adicionales que se corresponden con el tiempo adicional durante el que se accede a la celda.

Toda lectura o escritura empieza en el estado *Iddle*. La unidad de control se mantiene en este estado hasta que la señal *cs* vale 1. Una vez en el estado *Start*, se continúa por la rama de la derecha o por la de la izquierda en función de la señal *rw*, que determina si se va a proceder a una lectura o a una escritura. Si se va a realizar una escritura hay que proporcionar a la

memoria la dirección de fila ($addr<7:0>$), la dirección de columna ($addc<2:0>$) y el dato a escribir ($datain<7:0>$). Si va a realizarse una lectura es suficiente con $addr<7:0>$ y $addc<2:0>$.

Cuando la lectura o la escritura finalizan, si la señal cs vale 0, se vuelve al estado *Iddle* y se está en disposición de comenzar una nueva operación.

En la figura 5.32 se muestran las formas de onda de las señales de control externas que hay que suministrar al integrado para llevar a cabo un proceso de escritura seguido de uno de lectura, ambos en modo normal. También se incluyen las señales internas más representativas que genera la unidad de control local para activar los diferentes módulos y mecanismos que posibilitan la escritura o la lectura.

Las formas de onda han sido obtenidas por simulación sobre una memoria completa con celdas 6T de medidas mínimas. Los cambios de estado se producen por flanco de subida de la señal clk . En la simulación, las señales que provienen del exterior se modifican en el flanco de bajada de clk para tenerlas disponibles en el próximo flanco de subida. Los procesos de lectura y de escritura se llevan a cabo en palabras de 8 bits. Aquí, por razones de claridad, se muestran únicamente las señales correspondientes a uno de estos bits.

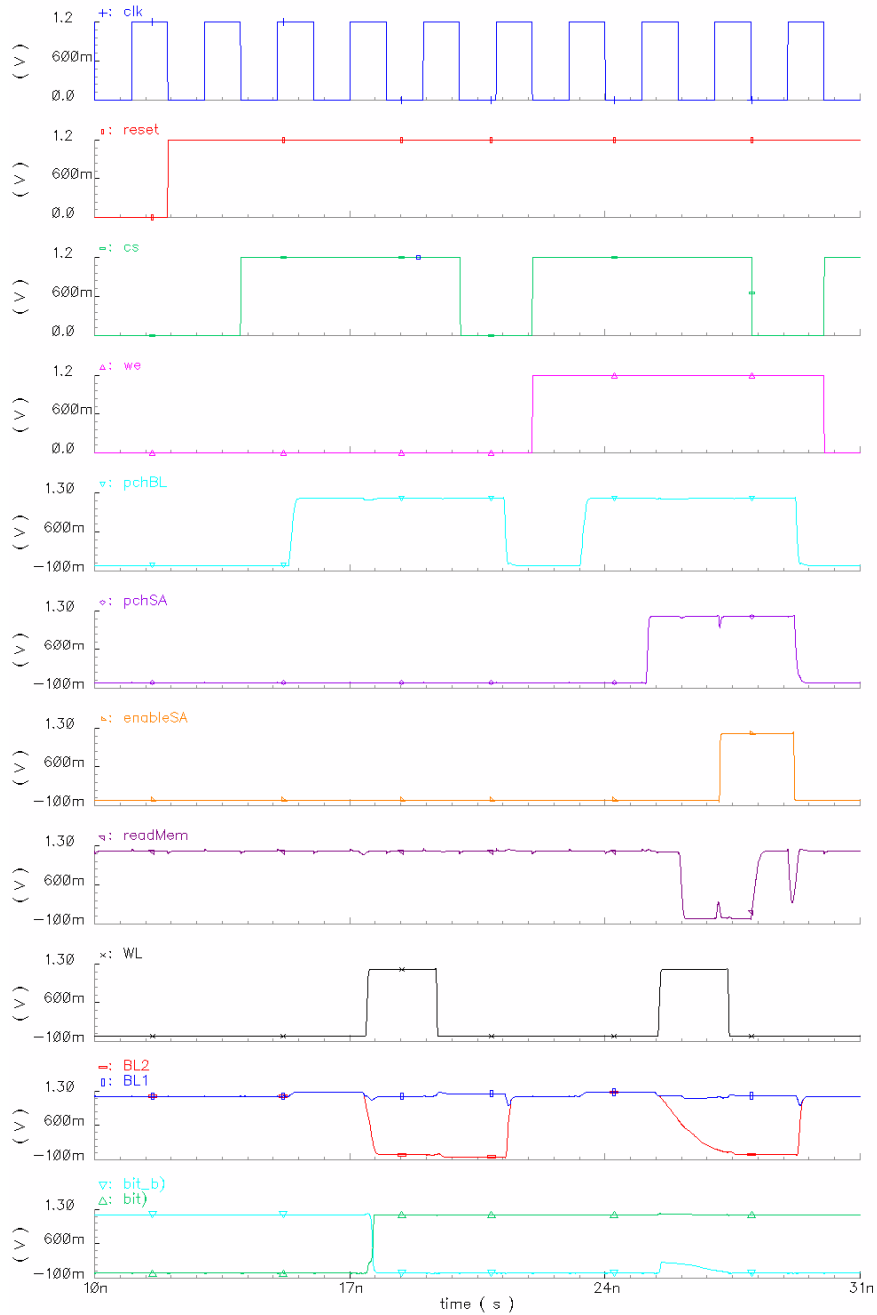


figura 5.32. Formas de onda asociadas a un proceso de escritura-lectura en modo normal.

El proceso se inicia con un reset de la máquina de estados, esto solamente es necesario realizarlo una única vez. Al cabo de un ciclo de reloj, desde el exterior se activa la señal *cs*, lo que provoca que la unidad de control elimine la precarga de las *bit-lines* (señal *pchBL* a 1), sin embargo, las *bit-lines* continúan a nivel alto. Al cabo de otro ciclo de reloj, puesto que la señal *rw* vale 0 se empieza la secuencia de eventos de una escritura: la unidad de control lleva una *bit-line* a nivel bajo y deja la otra a nivel alto, en función del dato que se quiera escribir

(*datain*<7:0>). Las *bit-lines* afectadas son las que correspondan en función de la dirección de columna en la que se pretenda escribir (*addc*<2:0>). También se activan los transistores de paso (señal *WL*) de las celdas de la fila seleccionada por el decodificador de columna en función de *addr*<7:0>. La activación de los transistores de paso desencadena la escritura de la celda que, como puede verse con las señales *bit* y *bit_b*, invierte su estado lógico. Al cabo de otro ciclo de reloj, la unidad de control desactiva los transistores de paso y al cabo de otro ciclo se precargan otra vez las *bit-lines* para iniciar la siguiente operación.

En este caso, la operación que le sigue es una lectura del dato que se acaba de escribir. El proceso empieza cuando la señal *cs* pasa a valer 1, lo que provoca que la unidad de control elimine la precarga de las *bit-lines* (señal *pchBL* a 1). Al cabo de un ciclo de reloj, como que la señal *rw* vale 1 comienza la secuencia de lectura y, por este motivo, no se fuerza ningún valor en ninguna *bit-line*, sino que se desactiva la precarga del *sense-amplifier* que va a realizar la lectura y se activan los transistores de paso (señal *WL*). En este momento, empieza la descarga de una de las dos *bit-lines*. También puede apreciarse la perturbación que las *bit-lines* ejercen en uno de los nodos de la celda (*bit_b*). Una vez se ha iniciado el proceso de descarga de las *bit-lines*, se conectan con el *sense-amplifier* (señal *readMem*) que, además, activa su funcionamiento (señal *enableSA*). En este momento, se desactivan los transistores de paso. El *sense-amplifier* encuentra una de las *bit-lines* con una tensión menor que la otra, de esta forma, consigue leer el dato guardado en la celda. Posteriormente, se desactiva el *sense-amplifier*, su precarga y la precarga de las *bit-lines* para poder iniciar la siguiente operación.

Capítulo 6

Resultados experimentales

En este capítulo se describen los resultados experimentales que se han conseguido con la memoria que se ha fabricado y cuyo diseño y operación se ha descrito a lo largo del capítulo 5. Ya se ha mencionado anteriormente que los objetivos de esta tesis no contemplan la consecución de todos los experimentos que es posible realizar con la memoria. Los objetivos experimentales son:

- Verificación experimental del correcto funcionamiento de todos los módulos de la memoria. Esto incluye:
 - Bancos de memoria
 - Celdas con inyección de fallos y sensores de corriente
- Verificación experimental del funcionamiento de los diferentes modos de operación de la memoria. Esto incluye:
 - Modo de operación normal
 - Modo de operación schmoo
- Comprobación de que de las características especiales con que se ha dotado la memoria tienen efecto sobre su funcionamiento. Esto incluye la experimentación con:
 - Diferentes tensiones de alimentación y polarizaciones
 - Celdas con transistores de diferente ancho de canal

- Verificación experimental de alguna de las técnicas de presentadas en el capítulo 4 para mejorar la robustez de las celdas SRAM frente a los eventos transitorios debidos a radiación. Solamente las técnicas más prometedoras según los resultados de simulación se han incorporadas al diseño descrito en el capítulo 5.

6.1. Montaje experimental

Para obtener los resultados experimentales se ha realizado un montaje experimental formado por los siguientes elementos:

- Circuito integrado montado en una placa de circuito impreso diseñada específicamente para la memoria (figura 6.1).
- Conjunto generador-analizador lógico para poder generar las señales de control descritas en el apartado 5.5 en la página 173.
- Fuentes de alimentación para poder controlar las diferentes tensiones de alimentación y polarización de la memoria.

En la siguiente fotografía se puede ver la placa de circuito impreso (con el encapsulado del circuito integrado abierto), las conexiones de las señales al analizador lógico y las conexiones de las alimentaciones y polarizaciones:

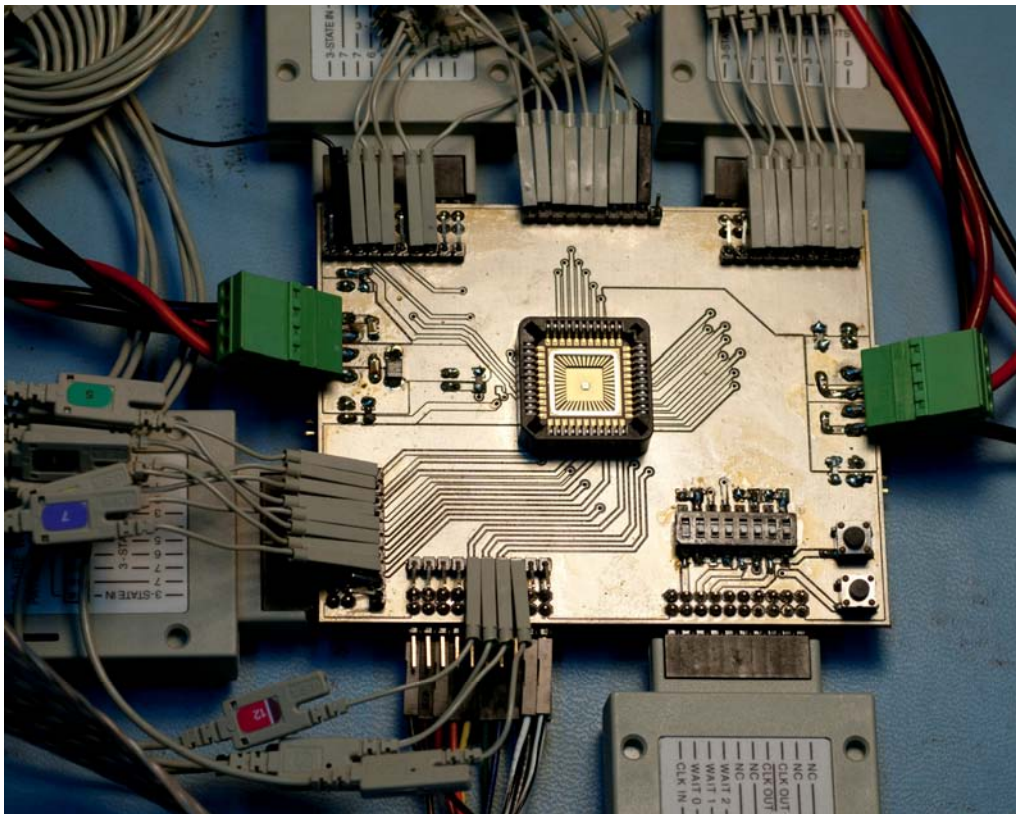


figura 6.1. Placa de circuito impreso y circuito integrado con su encapsulado abierto.

La placa de circuito impreso se encarga únicamente de proporcionar conexión entre:

- Los pines de alimentación del integrado y las fuentes de alimentación.
- Los pines de entrada del integrado y el módulo de generación de señales del analizador lógico.
- Los pines de salida del integrado y el módulo de adquisición de señales del analizador lógico.

Además, dispone de algunos *microswitches* y pulsadores para posibles futuras implementaciones.

Las tensiones de alimentación están descritas en detalle en el apartado 0 en la página 173 y son: V_{DDE3V3} , V_{DD} , V_{DDRAM} y V_{WL} .

El analizador genera las siguientes señales de control que se encuentran descritas en el apartado 0 en la página 173: *clk*, *cclk*, *reset*, *cm*, *cs*, *we*, *addc<2:0>*, *addr<7:0>* y *datain<7:0>*. Y captura las señales de salida *dout<7:0>*.

Es importante remarcar que la frecuencia de operación de la memoria viene determinada por la señal *clk* que, con este montaje experimental, suministra el módulo generador del analizador lógico. Por tanto, la frecuencia de máxima de operación estará limitada por las características técnicas de dicho módulo. En este caso, el generador del analizador lógico puede suministrar un vector de señales cada 10 ns, por tanto, la señal de reloj tendrá un período mínimo de 20 ns, que equivale a una frecuencia máxima de 50 MHz. Esta limitación tendrá importancia en algunas de las medidas experimentales que se exponen en este capítulo.

6.2. Verificación experimental del funcionamiento. Escrituras y lecturas de los bancos de memoria

El primer paso en la verificación experimental consistió en escribir una serie de palabras en diversas direcciones de la memoria y verificar que, posteriormente, coincidían con las palabras leídas. Este proceso fue exitoso y se recuperaron correctamente las palabras escritas. Hay que tener en cuenta que, como no había seleccionado ningún banco de memoria mediante el registro de configuración del módulo de control general, por defecto estaba seleccionado el banco 6T-min y las operaciones se realizaban en modo normal.

Posteriormente, se procedió a seleccionar cada uno de los cinco bancos de memoria mediante el registro de configuración. Este proceso implica la escritura en serie de un registro de

desplazamiento de 85 bits, así como su posterior lectura a modo de verificación. Una vez realizada la configuración, se repitió el mismo proceso de escritura-lectura con éxito en los cinco bancos de memoria. Hay que remarcar que esto implica que funcionan correctamente todos los módulos involucrados en el proceso: pads de entrada-salida, unidad de control general, unidades de control locales, transistores de precarga, celdas SRAM 6T y 8T, buffers del decodificador de fila, puertas de paso y *sense-amplifiers* 6T y 8T. Los únicos módulos que no intervienen en un proceso de escritura-lectura son los sensores de corriente y el mecanismo de inyección de errores.

Esta verificación experimental no es exhaustiva, puesto que no escribe ni lee en todas las direcciones de memoria posibles, ni tampoco lo hace con todos los valores posibles. Para hacer una mejor verificación experimental, se procedió a realizar un test funcional de la familia de los *march tests* utilizados para la detección de defectos en celdas SRAM, que se describe en el siguiente apartado

6.2.1. March test

En un march test, una memoria se considera libre de fallos si es posible cambiar el estado lógico de cada celda de 0 a 1 y de 1 a 0 y si, además, puede leerse cada celda de forma correcta independientemente del valor que contenga. Estos tests también tratan de tener en cuenta que estas operaciones se realicen de forma correcta con independencia del estado de las celdas adyacentes.

En general, un march test consiste en un conjunto de operaciones aplicadas a una celda que se repiten para el conjunto total de celdas de la memoria. A continuación se especifican estas operaciones junto con la nomenclatura que se utiliza habitualmente:

- Escritura del valor lógico 0: *W0*
- Escritura del valor lógico 1: *W1*
- Lectura de una celda con un valor lógico esperado de 0: *R0*
- Lectura de una celda con un valor lógico esperado de 1: *R1*

El orden en que se aplican estas operaciones al conjunto de celdas puede hacerse incrementando las direcciones o decrementándolas. La nomenclatura suele ser la siguiente (siendo n el número de direcciones):

- Incremento de direcciones desde la 0 hasta la n-1: \uparrow
- Decremento de direcciones desde la n-1 hasta la 0: \downarrow
- Orden irrelevante de las direcciones: \updownarrow

El test más sencillo se denomina MATS y, con la nomenclatura anterior, se representa de la siguiente forma:

$$\{ \updownarrow (W0); \updownarrow (R0, W1); \updownarrow (R1) \}$$

Para realizar la verificación funcional de la memoria se ha utilizado una variante más compleja denominada MATS+ y que consiste en las siguientes operaciones:

$$\{ \updownarrow (W0); \uparrow (R0, W1); \downarrow (R1, W0) \}$$

Se puede encontrar más información referente a los march test y los fallos que son capaces de detectar en.

Se ha aplicado el test MATS+ a los cinco bancos de memoria y los resultados han sido que, con todas las tensiones y polarizaciones en sus valores nominales y para la frecuencia máxima de operación que permite el analizador lógico, se pueden leer y escribir de manera correcta todas las celdas de memoria. A lo largo de este capítulo, se verá como si se disminuyen las tensiones de alimentación o las polarizaciones esto ya no resulta cierto.

6.3. Modo Schmoo y tensión de *word-line*

El modo de operación schmoo permite realizar lecturas y escrituras incrementando el tiempo en que permanecen activados los transistores de paso de las celdas sin modificar la frecuencia de operación. A este modo se le ha denominado schmoo porque, como se verá en este apartado, permite realizar gráficos schmoo (*schmoo plots*) en los que una de las variables sea el tiempo durante el que se accede a la celda.

En primer lugar, se ha verificado experimentalmente mediante el test MATS+ que el modo schmoo permite leer y escribir correctamente las celdas de memoria utilizando las tensiones nominales. Sin embargo, esto no demuestra que acceder a las celdas durante más tiempo produzca ningún cambio significativo en el rendimiento de la memoria. Para ello, se ha diseñado un experimento que permite comprobar a la vez la efectividad de utilizar el modo schmoo y una de las capacidades especiales de la memoria, la disminución de la tensión de *word-line* (que se controla mediante V_{WL}).

En el apartado 4.4.3 en la página 108 y en el apartado 4.5.3 en la página 118 se ha justificado que reducir la tensión de *word-line* durante las lecturas tiene efectos beneficiosos sobre la carga crítica y sobre el SNM. Sin embargo, como contrapartida, dicha disminución afecta negativamente al tiempo necesario para leer la celda. Con una tensión de *word-line* lo suficientemente baja, los transistores de paso tienen menos capacidad de conducción y la lectura falla si no se proporciona suficiente tiempo para que se descargue la *bit-line* correspondiente. El modo schmoo permite ampliar este tiempo de acceso, por tanto, para cada tensión de *word-line* podrá determinarse el tiempo de acceso mínimo necesario para que la lectura sea correcta. Se ha realizado este experimento y sus resultados pueden verse en la siguiente figura para celdas 6T de medidas mínimas:

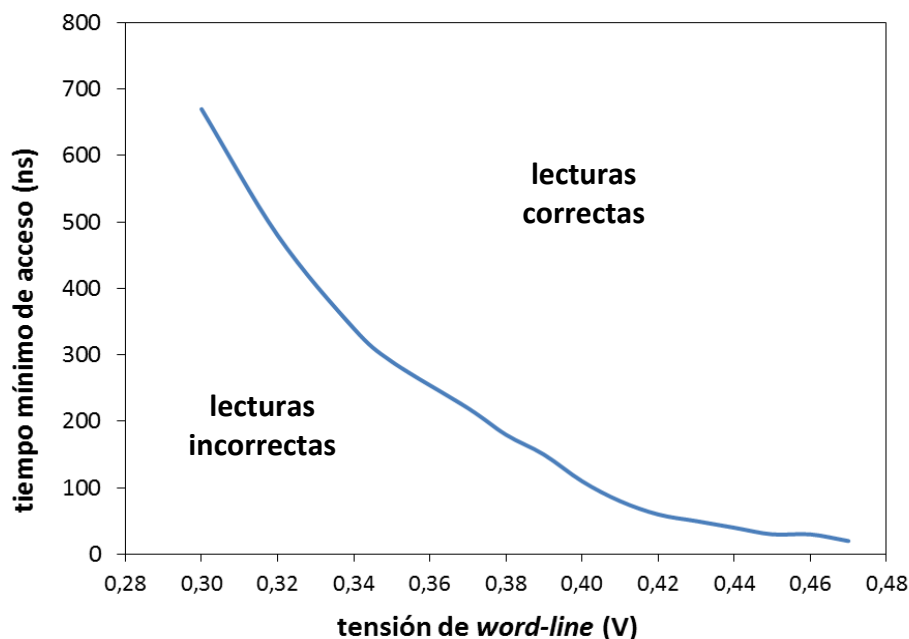


figura 6.2. Tiempo mínimo de acceso en función de la tensión de *word-line*

Hay que remarcar que el tiempo de acceso mostrado es aquel para el que todas las celdas se leen correctamente. De los resultados de la figura 6.2 se desprende que, tanto el modo de operación schmoo como los buffers de salida del decodificador de fila, realizan su cometido de forma correcta. Es decir, una disminución en la tensión de *word-line* aumenta el tiempo necesario para la lectura y el modo schmoo permite aumentar dicho tiempo para conseguir una lectura correcta.

Cabe hacer unos comentarios referentes al rango de tensiones de *word-line* utilizado. Por un lado, la tensión más alta que se ha utilizado es 0,47 V ya que para tensiones superiores a ella, incluso a la máxima frecuencia (mínimo tiempo de acceso) que permite el montaje experimental de que se dispone, todas las celdas se leen correctamente. Este mínimo tiempo de acceso es de 20 ns y corresponde a un periodo de la señal *clk*. Esta tensión es mucho más baja que la nominal y no está dentro del rango de tensiones razonables para la tensión de *word-line* para un uso convencional de una memoria que se ha discutido en los apartados 4.4.3 y 4.5.3. Sin embargo, es de esperar que con otro montaje experimental que permita mayores frecuencias de operación se obtuvieran resultados en línea con los aquí presentados pero para tensiones de *word-line* más próximas a la nominal.

Por otro lado, la tensión más baja que se ha utilizado es 0,3 V, su tiempo de acceso es más de 30 veces superior al mínimo y no se ha considerado necesario estudiar el comportamiento de la celda para tensiones de *word-line* tan más bajas.

Aunque el rango de tensiones considerado no sea el idóneo, el experimento ha servido para verificar la funcionalidad del modo schmoo y la efectividad de la reducción de la tensión de puerta de los transistores de paso.

En el experimento, además de registrar el tiempo de acceso mínimo necesario para no obtener ninguna lectura incorrecta, se ha obtenido también el número de celdas que se leen de forma incorrecta para cada tiempo de acceso y para cada tensión de alimentación. Los resultados pueden verse en la siguiente figura, en donde los colores representan el logaritmo del número de lecturas erróneas:

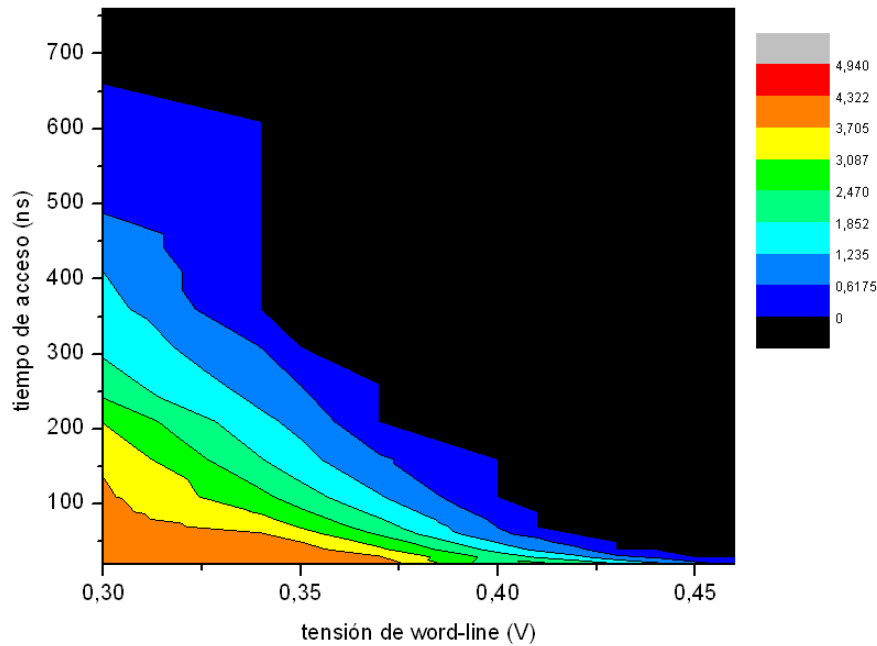


figura 6.3. Representación del logaritmo del número de lecturas erróneas en función del tiempo de acceso y la tensión de *word-line*.

Puede observarse como el número lecturas erróneas aumenta cuando disminuye la tensión de *word-line* o el tiempo de acceso. Estos resultados están en línea con los que cabría esperar.

6.4. Verificación experimental del funcionamiento. Inyección de fallos y sensores de corriente

En este apartado se describe la verificación experimental que se ha hecho tanto del módulo de inyección de fallos como de los sensores de corriente. El módulo de inyección de fallos tiene como objetivo poder testear el funcionamiento de los sensores de corriente.

6.4.1. Módulo de inyección de fallos

En el apartado 5.3.6 en la página 151 se ha descrito el principio de funcionamiento de las celdas que incorporan inyección de fallos. Su objetivo es provocar un cambio de estado en una celda sin activar el modo de escritura para simular la ocurrencia de un SEU. De esta manera se controla el lugar y el instante de ocurrencia de la perturbación.

Se ha probado experimentalmente que es posible hacer cambiar el estado de cualquiera de las celdas que incorporan inyección de fallos. Además, hay que recordar que, por motivos de diseño, la señal que activa el transistor de paso para provocar el cambio en una celda es siempre común a dos celdas adyacentes en horizontal. Aunque, como se ha justificado esto no implica forzosamente que se provoque la inversión del estado de ambas. Para evitarlo se ha modificado convenientemente, y con anterioridad a la inyección, el contenido de la celda contigua a la que se pretende inyectar el fallo. Se ha comprobado experimentalmente la efectividad de este procedimiento para afectar únicamente a una sola celda.

6.4.2. Sensores de corriente

En el apartado 5.3.8 en la página 156 se han descrito los sensores de corriente. También se ha remarcado que su diseño no forma parte de esta tesis aunque sí la adecuación de las características de la memoria para que pueda incorporar dichos sensores, su distribución sobre el *layout*, la inclusión de celdas con inyección de fallos para testear su funcionamiento y la adecuación de las ventanas abiertas en las capas de metal para tratar de conseguir diferentes afectaciones.

Un sensor de corriente tiene dos terminales que se conectan a las respectivas columnas de celdas que se monitorizan, a cada grupo de columnas lo denominamos “rama”. Además, tiene dos salidas conectadas al módulo de control local de cada uno de los bancos de memoria que incorporan sensores.

En estas dos salidas, el sensor genera un pulso digital en función de las corrientes consumidas por cada rama. Es decir, si en una determinada rama se detecta un consumo de corriente superior a un cierto nivel umbral, el sensor genera un pulso digital en la salida que corresponda. La unidad de control captura estos pulsos mediante un biestable SR. Es importante remarcar que desde el exterior solamente se tiene información de la lectura de estos biestables, no directamente de la salida de los sensores. Para simplificar, a partir de ahora denominaremos a la información contenida en biestable “salidas de los sensores”, aunque realmente no se trate de sus salidas reales.

En cuanto a la verificación experimental del funcionamiento de los sensores, se procedió a la lectura de la salida de los sensores sin que se hubiera inducido ningún evento ni con radiación ni con el sistema de inyección de errores. Es decir, se leyó la salida de los sensores en unas condiciones para las que cabría esperar que ningún sensor hubiera detectado ningún evento.

Sin embargo, el resultado fue diferente. Todos los sensores indicaban que se había producido un transitorio de consumo en una de sus dos ramas.

El banco de memoria 6Tsens-min tiene 10 sensores y el 6Tsens-mod tiene 8. Se estudió el patrón de la salida para estos 18 sensores y la conclusión fue que era en apariencia aleatorio, pero totalmente repetible. Es decir siempre que se ha repetido el mismo experimento se ha obtenido el mismo patrón. Sin embargo, cuando se realizó el mismo experimento con otros circuitos integrados del mismo diseño, se encontró un patrón también aleatorio y repetible pero diferente en cada chip.

La conclusión preliminar que se ha extraído es que los sensores reaccionan ante diferencias de consumo entre sus ramas no relacionadas con eventos transitorios, como por ejemplo consumo estático debido al *leakage*. Además, debido a la naturaleza aleatoria que se observa en el patrón de salida del conjunto de sensores, y a que es diferente en función del integrado de que se trate, se puede concluir que cada sensor presenta un sesgo a favor de la detección en una de sus dos ramas. Este sesgo se debe posiblemente a *mismatch* entre sus transistores. Otro resultado que apoya a la existencia de este sesgo es el hecho de que si un sensor detectara primero un exceso de consumo en una rama y posteriormente en la otra, a la salida habría un patrón que no se ha observado en ningún caso.

Este problema complica la verificación experimental del funcionamiento de los sensores ya sea mediante radiación o mediante inyección de fallos. Sin embargo, los resultados aquí expuestos han permitido mejorar en tres aspectos el diseño de otro sensor de corriente que se tiene previsto fabricar:

- Mejora de la capacidad de control sobre los sensores mediante la inclusión de una señal externa que permita controlar en qué momentos se captan las señales provenientes del sensor. El objetivo de esto es controlar los periodos en que se está efectivamente monitorizando las celdas. De esta manera, se podrían obviar periodos en los que se produzcan transitorios que no sean de interés y que puedan afectar a la respuesta de los sensores.
- Inclusión de un nuevo modo de trabajo de los sensores en el que no reaccionen a diferencias de consumo constantes entre sus dos ramas. En caso de que las diferencias de consumo estático sean la causa del problema de funcionamiento, este modo podría solucionarlo.
- Sensibilidad variable. El nuevo sensor incorpora una señal con la que puede controlarse la ganancia de su respuesta ante transitorios y, por tanto, su sensibilidad.

De esta manera, el sensor podría calibrarse para optimizar su respuesta ante eventos transitorios.

En el momento de redactar este documento, el nuevo sensor se encuentra ya diseñado, se ha mandado a fabricar y se está a la espera de recibirlo para poder realizar medidas experimentales. Por este motivo, se ha decidido no continuar con la verificación del sensor original hasta que se haya podido experimentar con el nuevo.

6.5. Medidas experimentales relacionadas con la estabilidad de las celdas

En este apartado se describen un conjunto de tres experimentos relacionados con la estabilidad de las celdas SRAM y que persiguen un triple objetivo:

- Estudiar la estabilidad de las celdas en general.
- Averiguar si los seis tipos de celdas diferentes que incluye la memoria presentan un comportamiento diferente desde el punto de vista de la estabilidad.
- Comprobar cómo afecta al funcionamiento de la memoria la modificación de la tensión de alimentación V_{DDRAM} y de la tensión de polarización V_{WL} .

6.5.1. Estabilidad de las celdas durante el modo de almacenamiento

Este primer experimento consiste en averiguar el nivel de alimentación mínimo que soportan las celdas SRAM sin perder el valor que almacenan. Para ello se ha seguido el siguiente procedimiento:

- Escribir en todas las celdas de la memoria a un valor conocido. Esto se lleva a cabo con todas las tensiones en sus valores nominales.
- Reducir la tensión de alimentación de las celdas hasta un cierto valor $V_{DDRAM-red}$.
- Volver a incrementar la tensión de alimentación hasta la nominal.
- Leer el contenido de todas las celdas, compararlo con el inicial y determinar el número de celdas que han perdido el valor que almacenaban.

Si este proceso se repite para diferentes valores de $V_{DDRAM-red}$ y se representan gráficamente los resultados, se obtiene la siguiente figura para el banco de memoria 6T-min:

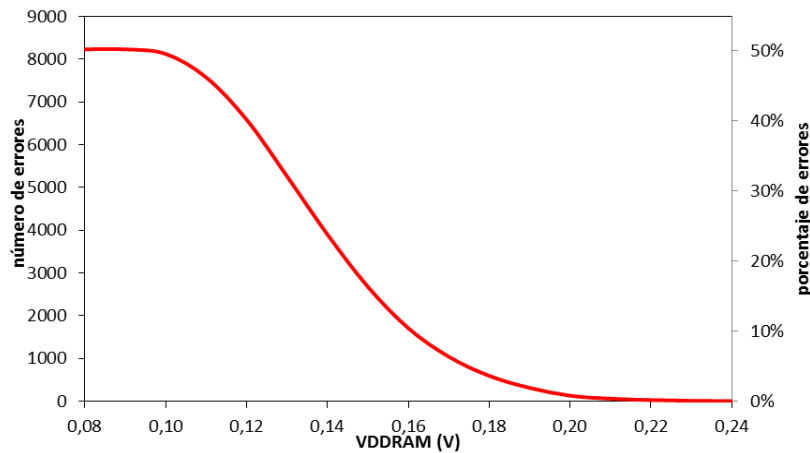


figura 6.4. Número de celdas que han perdido el valor almacenado en función de V_{DDRAM} para el caso de la memoria 6T-min.

Si se analizan los resultados, se observa que para V_{DDRAM} superiores a un cierto valor todas las celdas mantienen su estado. A medida que se disminuye V_{DDRAM} , se va incrementando el número de celdas que corrompen el dato que almacenan. Para tensiones inferiores a 0,08 V el número de errores se estabiliza a un valor cercano al 50% de las 16.384 celdas que hay en total. La explicación de esto se desarrolla a continuación: La estabilidad de una celda SRAM depende de un delicado equilibrio entre sus dos inversores realimentados y, debido a la variación de parámetros, no están perfectamente equilibrados. Por tanto, cada celda es más estable almacenando un valor que no almacenando el contrario. De esta forma, cuando se reduce la alimentación, cada celda tiende a este estado de máxima estabilidad. Si se encontraba en el estado contrario, lo invierte y se contabiliza como un error. En cambio, si se encontraba en el estado estable, no sufre ninguna inversión y no se contabiliza como un error.

El estado más estable de una celda depende de la variación de parámetros y, por tanto, tiene una componente aleatoria. Por este motivo, no es posible predecir cuál será el estado más estable cada celda. En este experimento se ha optado por escribir todas las celdas a 1, por este motivo, es de esperar que aproximadamente el 50% de las celdas se encuentren desde el principio en su estado más estable y, por tanto, su estado lógico no varíe al reducir la alimentación. Cabe remarcar que la elección de escribir todas las celdas a 1 no influye en el resultado final pues, como se ha justificado, la predilección por un estado u otro es aleatoria. Además, la elección de los niveles de tensión de los nodos internos de la celda que representan el estado lógico 1 o 0 son puramente convencionales (tal y como se ha justificado

en apartado 3.1.1 en la página 33) y, debido a la distribución simétrica del *layout*, esta convención depende de si estamos considerando una columna par o impar.

Si se halla la derivada de la curva de la figura 6.4 (y se cambia de signo) se obtiene otra curva que representa el número (o porcentaje) adicional de errores que se producen por cada unidad de voltaje que se reduce la V_{DDRAM} . Que, para que arroje resultados con cifras más intuitivas, conviene expresar como número adicional de errores por cada milivoltio que se reduce V_{DDRAM} . Los resultados se muestran en la siguiente figura:

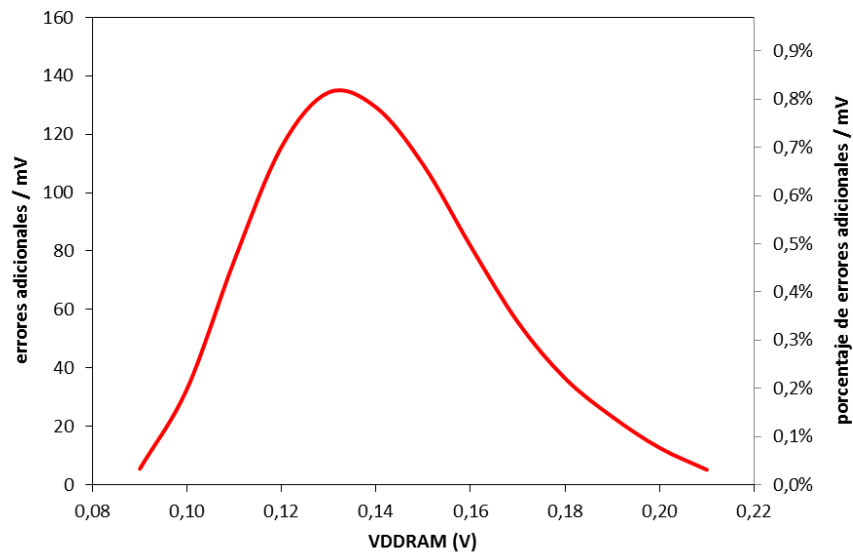


figura 6.5. Número de errores adicionales por cada milivoltio de reducción de V_{DDRAM} en función de V_{DDRAM} para el caso de la memoria 6T-min.

De la observación de la figura 6.5 se deduce que, por el hecho de presentar un máximo relativo, existe una tensión V_{DDRAM} para la cual su propia disminución causa el máximo número de nuevos errores. O expresado de otra forma, existe una tensión para la cual el mayor número de celdas fallan. Además, esta curva puede interpretarse también como la función densidad de probabilidad de que una celda SRAM falle para una tensión V_{DDRAM} determinada.

Se ha repetido el mismo experimento para los restantes tipos de celda. Los resultados pueden verse en la figura 6.6 y en la figura 6.7:

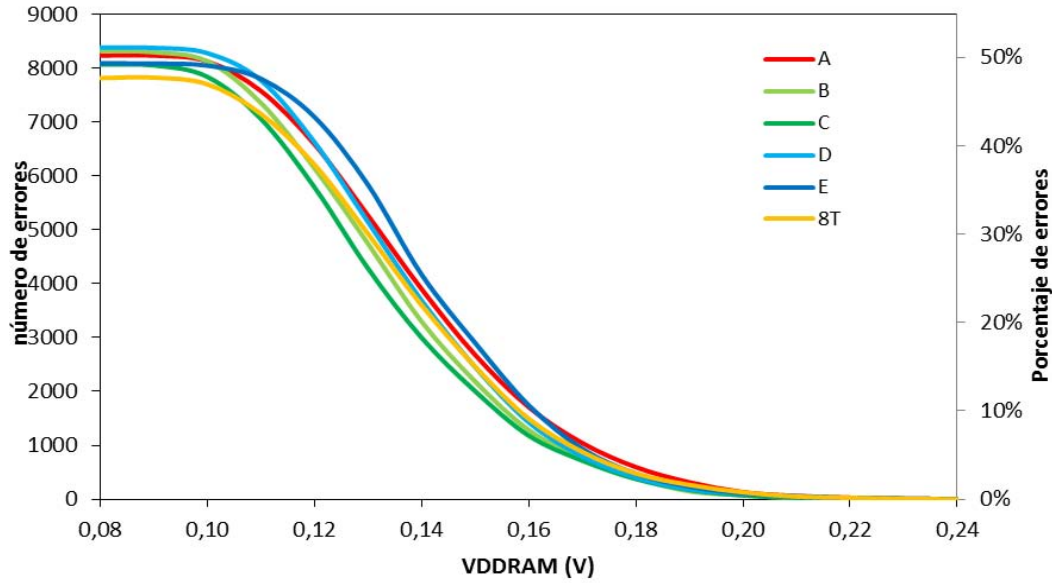


figura 6.6. Número de celdas que han perdido el valor almacenado en función de V_{DDRAM} para los diferentes tipos de celda implementados en la memoria.

No se dispone del mismo número de celdas de cada tipo, por tanto, los resultados en valor absoluto han sido normalizados para que sean comparables.

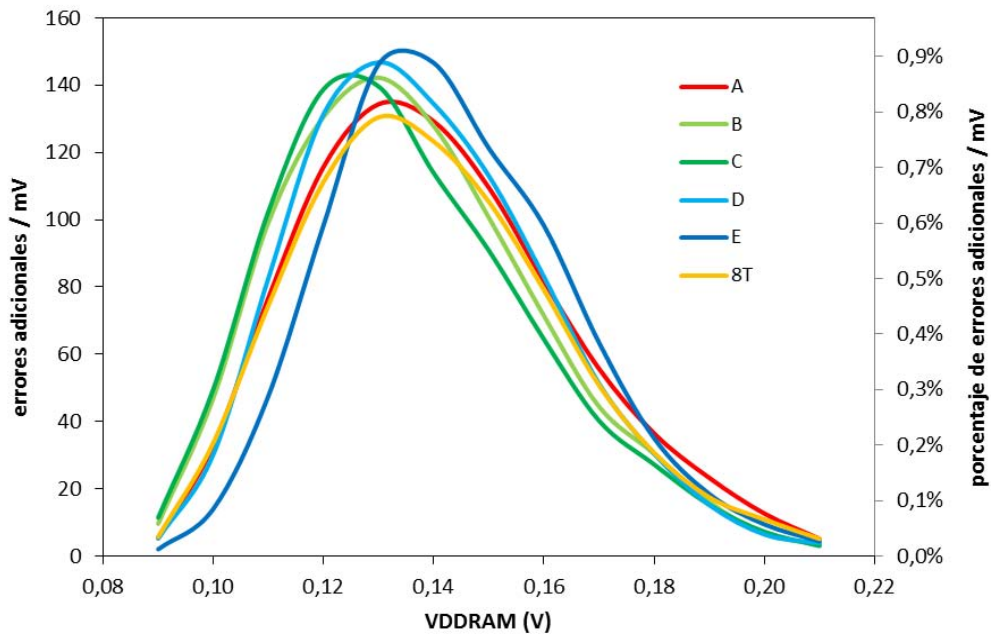


figura 6.7. Número de errores adicionales por cada milivoltio de reducción de V_{DDRAM} en función de V_{DDRAM} para los diferentes tipos de celda implementados en la memoria.

Los resultados obtenidos para cada uno de los seis tipos de celda son similares, aunque se aprecian ciertas diferencias. Para interpretar estos resultados hay que recordar que, bajo estas

condiciones, el número de errores representa una medida de estabilidad de la celda. En el apartado 4.5.2 en la página 115 se ha estudiado la estabilidad de las celdas SRAM desde el punto de vista del SNM con las restricciones impuestas para obtener un *layout* regular. Se ha visto que existen muy pocas diferencias entre las celdas construidas bajo estas restricciones. Por tanto, el estudio realizado en este apartado está en línea con los resultados obtenidos en términos de SNM.

6.5.2. Estabilidad de las celdas durante la lectura

Este segundo experimento está relacionado con la estabilidad de las celdas en modo lectura y consiste en averiguar la tensión V_{DDRAM} mínima con la que las celdas SRAM pueden ser leídas sin que se pierda el valor almacenado. La lectura se realiza con todas las tensiones a nominales a excepción de la propia V_{DDRAM} . En el apartado 3.1.1 en la página 33 se ha visto como una lectura perturba el nivel de tensión de uno de los nodos internos de la celda y como, si la magnitud de esta perturbación, supera un cierto límite, el contenido de la celda puede verse alterado. En el apartado 5.5.2 de la página 175 se ha caracterizado por simulación esta perturbación.

Para realizar el experimento se ha seguido el siguiente procedimiento:

- Escribir en todas las celdas de la memoria a un valor conocido. Esto se lleva a cabo con todas las tensiones en sus valores nominales.
- Disminuir la tensión de alimentación de las celdas hasta un cierto valor $V_{\text{DDRAM-red}}$.
- Leer el contenido de todas las celdas mientras están alimentadas a $V_{\text{DDRAM-red}}$, compararlo con el inicial y determinar el número de celdas que han perdido el valor que almacenaban fruto de la perturbación de la lectura.

Este proceso se ha repetido para diferentes valores de $V_{\text{DDRAM-red}}$ y para los diferentes tipos de celda implementados en la memoria. Los resultados se muestran en la figura 6.8. Se presentan directamente los resultados del porcentaje de errores adicionales por milivoltio debido a que son los más interesantes.

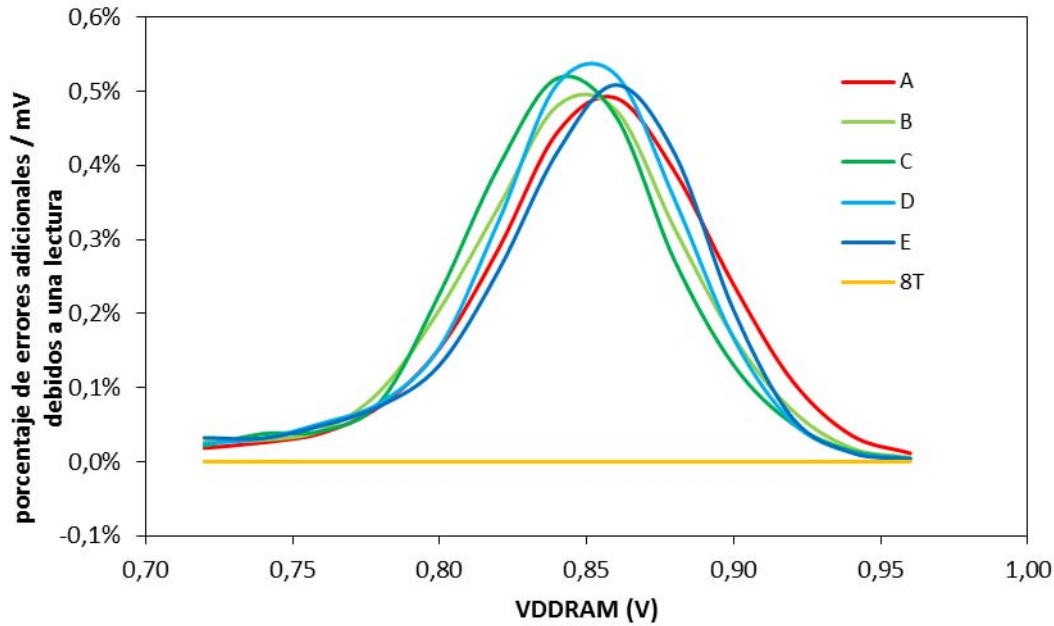


figura 6.8. Porcentaje de errores de lectura adicionales por cada milivoltio de reducción de V_{DDRAM} en función de V_{DDRAM} para los diferentes tipos de celda implementados en la memoria.

Las conclusiones son parecidas a las del apartado anterior para las celdas tipo A, B, C, D y E, existe un valor de tensión V_{DDRAM} para el cual la tasa de aparición de errores es máxima. Esto significa que para este valor de tensión se registra el mayor número de celdas que cambian de estado al someterse a una lectura bajo las condiciones especificadas anteriormente. Además, entre las celdas tipo A, B, C, D y E no existen diferencias significativas. Este resultado está en línea al obtenido por simulación referente a la estabilidad en lectura (RSNM) de las celdas presentado en el apartado 4.5.2.

Sin embargo, la celda 8T presenta un resultado totalmente diferente. No existe ninguna tensión V_{DDRAM} en el intervalo considerado para la cual, al leer la celda, se provoque la inversión de su estado. Este resultado es el esperado puesto que, tal y como se ha justificado en el apartado 3.1.2 en la página 37, la lectura de una celda 8T se realiza sin perturbar la tensión de sus nodos internos. Por tanto, durante una lectura 8T, la celda se comporta de la misma manera como lo haría si estuviera en modo almacenamiento. Así pues, mientras la tensión V_{DDRAM} sea suficiente como para mantener la estabilidad de la celda, se podrá leer su contenido.

6.5.3. Estabilidad de las celdas durante la escritura

El tercer y último experimento relacionado con la estabilidad de las celdas consiste en determinar de forma experimental la estabilidad, desde el punto de vista de la escritura, de las diferentes tipologías de celdas implementadas en la memoria. Cuando se habla de estabilidad en modo de almacenamiento y en modo lectura, interesa que la celda sea estable, es decir que resista la presencia de perturbaciones sin que se corrompa el dato que almacena. Sin embargo, el concepto de estabilidad desde el punto de vista de la escritura es diferente. En este caso, la perturbación es la propia escritura, por tanto, interesa que la celda no oponga demasiada resistencia a ser escrita.

Para realizar el experimento se ha seguido el siguiente procedimiento:

- Escribir en todas las celdas de la memoria a un valor conocido. Esto se lleva a cabo con todas las tensiones en sus valores nominales.
- Tratar de escribir en todas la celdas el valor opuesto al del primer paso pero con la tensión de *word-line* reducida.
- Leer el contenido de todas las celdas con todas las tensiones en sus valores nominales, compararlo con el que se ha escrito inicialmente y determinar el número de celdas que no se han escrito correctamente (número de errores).

Este proceso se ha repetido para diferentes valores de tensión de *word-line* y para los diferentes tipos de celda implementados en la memoria. Los resultados se muestran a en la figura 6.9. Se presentan primero los resultados del porcentaje de errores y posteriormente los del porcentaje de errores adicionales por milivoltio puesto que, como se comprobará, existen mayores diferencias entre tipologías de celda que en los casos anteriores y merece la pena estudiar las dos representaciones.

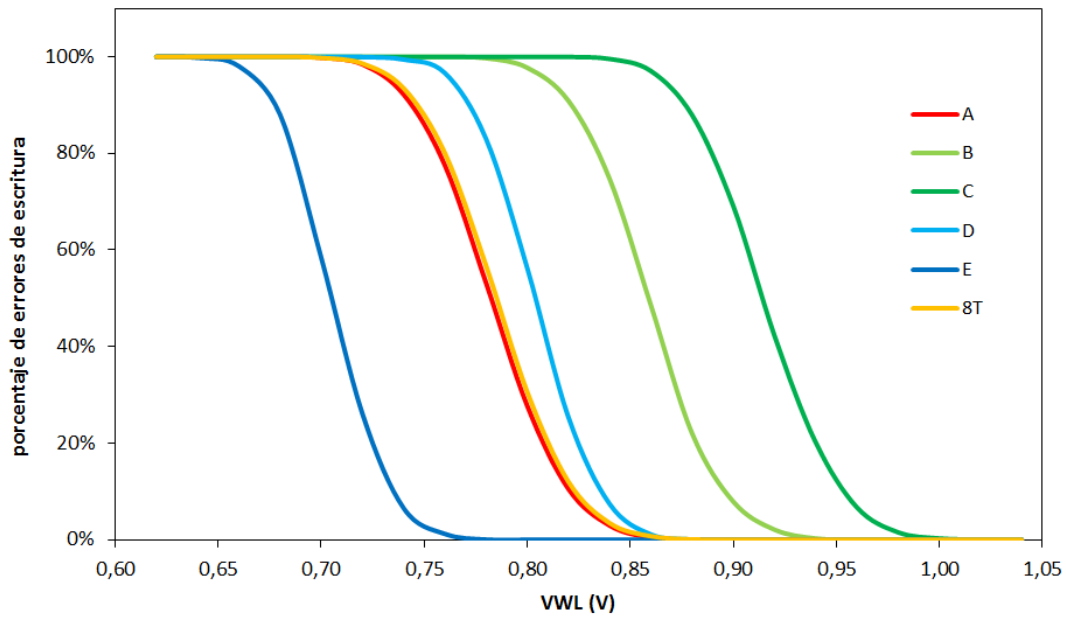


figura 6.9. Porcentaje de errores de escritura en función de V_{WL} para los diferentes tipos de celda implementados en la memoria.

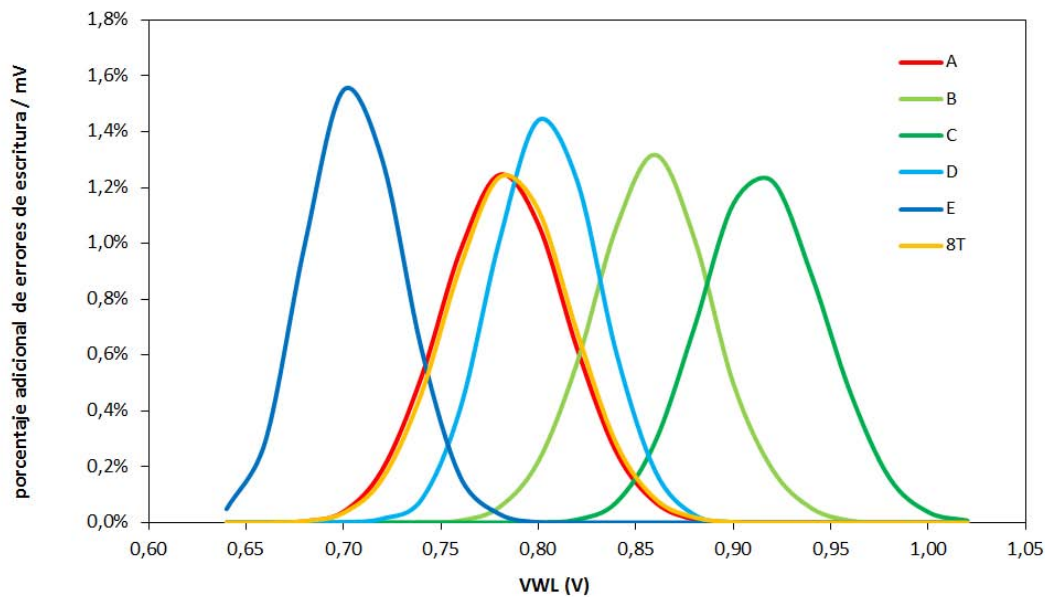


figura 6.10. Porcentaje de errores de escritura adicionales por cada milivoltio de reducción de V_{WL} en función de V_{WL} para los diferentes tipos de celda implementados en la memoria.

Los resultados son muy diferentes si se comparan con los de los dos experimentos anteriores. En este caso, existen diferencias notablemente significativas entre las distintas tipologías de celda consideradas. La celda más que más resistencia opone a ser escrita es la C, mientras que la que se escribe con mayor facilidad es la E. Esto se debe a que para que una celda oponga poca resistencia a la escritura interesa que los coeficientes α y β (definidos en el apartado 3.1.1 en la página 33) no sean demasiado grandes, es decir, que los transistores de los inversores realimentados no sean más grandes que los de paso. En el apartado 4.5.2 en la página 115 se ha justificado que, por construcción, las celdas implementadas en la memoria tienen el coeficiente $\alpha=1$. Sin embargo la celda C tiene los transistores pMOS con un ancho de canal superior a los de paso, concretamente con una $\beta=2$. Por este motivo es la que opone más resistencia a la escritura tanto desde el punto de vista de WSNM como experimental.

Además, se puede observar que las celdas tipo A y 8T, presentan comportamientos virtualmente idénticos. Recuérdese que tanto la celda tipo A como la 8T son celdas con transistores de dimensiones mínimas, su única diferencia es la presencia de la etapa específica para la lectura en la celda 8T, que tiene poco efecto durante una escritura.

6.6. Medidas experimentales con métodos acelerados de test con radiación

En este apartado se describen las medidas experimentales que se han realizado con radiación. Los experimentos llevados a cabo tienen como objetivo calcular el SER de la memoria, para ello se dispone de una fuente de partículas alpha que se ha comprobado que es capaz de generar SEUs en las celdas de memoria.

6.6.1. Descripción del montaje experimental

Se dispone de un montaje experimental con los mismos elementos que los descritos en el apartado 6.1. Es decir, una placa de circuito impreso para el integrado, conectada a un analizador lógico y a diversas fuentes de alimentación. Además, para estos experimentos, se dispone de la mencionada fuente de partículas alpha.

Se trata de una fuente de Americio-241. El Am-241 es un emisor alpha aunque también emite radiación gamma de baja energía (33 keV) como subproducto. La reacción es la siguiente:



El núcleo de neptunio resultante sufre una larga cadena de desintegraciones hasta que acaba transformándose en Talio-205, que es estable. Es esta cadena de desintegraciones se emiten mayoritariamente partículas α y β .

El americio es un metal de número atómico 95 que no existe de manera natural. Se produce artificialmente mediante sucesivas capturas neutrónicas por parte de isótopos del plutonio.

En la siguiente figura puede verse una fotografía de la fuente de partículas alpha junto a una moneda para apreciar mejor su tamaño:



figura 6.11. Fotografía de la fuente de partículas alpha junto a una moneda para apreciar su tamaño

La zona activa tiene una forma aproximadamente circular y se encuentra depositada en el centro de la cara que no se muestra en la figura 6.11. La parte que se aprecia en la fotografía es la matriz de acero inoxidable que sirve de soporte de la zona activa y permite manejar la fuente con comodidad.

Las características de la fuente son las siguientes:

- Actividad nominal: 5 kBq \pm 30%
- Energía de las partículas α : 5,5 MeV
- Vida media del Am-241: 433 años
- Diámetro de la matriz: 7 mm
- Diámetro de la zona activa: 25 mm
- Grosor de la matriz: 0,5 mm

La fuente radioactiva se ha colocado sobre el zócalo del encapsulado de la forma que puede verse en la siguiente figura:

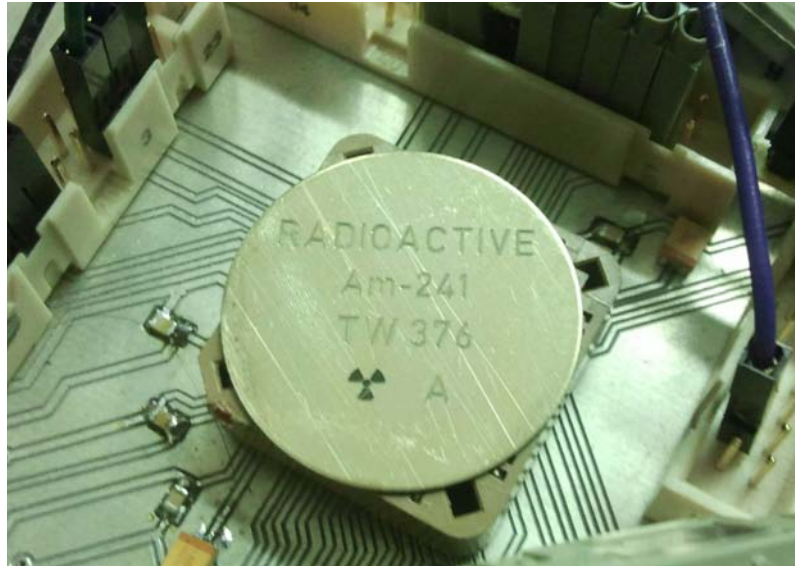


figura 6.12. Ubicación de la fuente radioactiva sobre el zócalo del circuito integrado

De este modo, la zona activa de la fuente se encuentra a unos 3,5 mm de la superficie del integrado.

Para no tener desplazamientos relativos entre la fuente y el zócalo se ha utilizado un sistema de fijación mecánica entre ambos. Consiste en una sargenta de material plástico que ejerce fuerza perpendicularmente a la superficie de la fuente empujándola hacia el zócalo y dificultando así que se produzcan desplazamientos. La siguiente figura muestra el detalle del punto de contacto entre la sargenta y la fuente.



figura 6.13. Sistema de fijación de la fuente radioactiva al zócalo

Consideraciones de seguridad

Según la Instrucción del 26 de febrero de 2003 del Consejo de Seguridad Nuclear por la que se definen los valores de exención para núclidos, las instalaciones en las que intervengan sustancias con actividades inferiores a los valores de exención para la sustancia en cuestión no tendrán consideración de instalación radioactiva. El Am-241 tiene un valor de exención de 10 kBq, que es inferior a la actividad de la fuente (5 kBq) [CSN12]. Por este motivo, no es necesario que el Consejo de Seguridad Nuclear realice ningún seguimiento ni control de la instalación en la se encuentra la fuente.

El americio-241, al ser un emisor básicamente alpha, solamente supone un problema si consigue penetrar en el cuerpo. Las principales vías de entrada son la ingestión y la inhalación. El Am-241 se encuentra depositado sobre la matriz de la fuente y el fabricante certifica que la deposición ha pasado un test de resistencia al desprendimiento. Para minimizar el riesgo de ingestión o inhalación debe manejarse utilizando medidas de protección básica como guantes y pinzas.

6.6.2. Determinación experimental del SER

Como paso previo a la realización del experimento para la obtención del SER fue necesario determinar si la fuente de partículas alpha descrita anteriormente es capaz de originar SEUs en las celdas SRAM de la memoria. Para ello, se escribió en todas las celdas un valor conocido, se colocó la fuente y se fueron realizando lecturas del contenido de la memoria para averiguar si alguna celda sufría un cambio de estado. A los pocos minutos, se observó que se habían producido inversiones en el contenido de ciertas celdas en cada uno de los cinco bancos de memoria y que, además, el número de eventos se incrementaba con el tiempo. Si se eliminaba la fuente de alphas, la aparición de nuevos cambios de estado cesaba por completo. Por tanto, se concluyó que los eventos detectados eran SEUs inducidos por la interacción de las partículas alpha de la fuente de Am-241 con el circuito integrado.

Una vez que se hubo comprobado que la fuente era capaz de generar SEUs, se pudo proceder a determinar experimentalmente el SER. Es decir, medir el número de SEUs por unidad de tiempo que se producen en una memoria bajo unas condiciones determinadas.

Para determinar el SER de un banco de memoria se ha utilizado el método que se resume mediante los siguientes pasos:

1. Escribir todas las celdas del banco de memoria a un valor inicial conocido.
2. Leer el contenido del banco de memoria, compararlo con el valor escrito inicialmente y verificar que coinciden.
3. Iniciar la irradiación.
4. Esperar un cierto tiempo, al que llamaremos periodo de muestreo (T_S).
5. Leer el contenido del banco de memoria, compararlo con el valor leído anteriormente y calcular el número de nuevas celdas que han cambiado de estado (N_i)

Los pasos 4 y 5 se repiten cíclicamente durante todo el tiempo que se realiza el experimento. De esta manera, se obtiene el número de SEUs que se han producido durante cada uno de los periodos de muestreo del experimento. El número total de SEUs puede calcularse sumando todos los SEUs que se han producido en los diferentes periodos de muestreo.

$$N_{TOT} = \sum_{i=1}^n N_i \quad (Ec. 6.2)$$

Donde n es el número de muestreos realizados.

La duración del experimento es:

$$t_{EXP} = n \cdot T_S \quad (Ec. 6.3)$$

El SER en cada periodo de muestreo será la tasa de aparición de nuevos SEUs en ese periodo y puede calcularse como:

$$SER_i = \frac{N_i}{T_S} \quad (Ec. 6.4)$$

El SER medio de todo el experimento será

$$SER = \frac{\sum_{i=1}^n SER_i}{n} = \frac{\sum_{i=1}^n N_i}{n \cdot T_S} = \frac{N_{TOT}}{t_{EXP}} \quad (Ec. 6.5)$$

Otra manera alternativa de calcular el SER es mediante la pendiente de la representación gráfica del número total de SEUs en función del tiempo transcurrido de experimento, tal y como se indica más adelante.

La elección del periodo de muestreo es un parámetro importante. Si durante este periodo una misma celda se ve afectada dos o más veces por un SEU, el resultado del número de SEUs será erróneo. Si sufre un número par de SEUs, al final del periodo de muestreo se encontrará en el mismo estado que al inicio y, por tanto, no se contabilizará ningún evento. Si sufre un número impar de SEUs, al finalizar el periodo se encontrará en el estado inverso al inicial y se contabilizará un SEU cuando en realidad se habrán producido 3 o más. Por este motivo, no conviene utilizar periodos de muestreo demasiado largos para que las probabilidades de que se produzcan múltiples SEUs en una misma celda sean bajas.

Por este motivo, el primer experimento se ha realizado con un periodo de muestreo muy pequeño, 1 minuto, y se ha determinado el SER. Su orden de magnitud ha resultado ser de aproximadamente 1 SEU/min y por banco de memoria. A partir de estos resultados, se ha elegido un periodo de muestreo más largo para el resto de experimentos, 30 minutos. Existen dos razones para elegir este periodo más largo: La primera es reducir la cantidad de datos generados, esto es crucial si se realizan experimentos muy largos. La segunda tiene que ver con que se pretende calcular el SER en modo de almacenamiento y no conviene realizar un número elevado de lecturas para no desvirtuar los resultados. Además, se ha calculado que con un periodo de muestreo de 30 minutos y un SER de 1 SEU/min·mem se dejan de contabilizar aproximadamente uno de cada mil SEUs. Los resultados de SER para el experimento con $T_S = 1$ min son muy parecidos a los realizados con el periodo de 30 minutos y cuyos resultados se presentan a continuación.

Se ha irradiado el circuito durante tres días bajo las condiciones experimentales descritas en el apartado 6.6.1, con todas las tensiones de alimentación y polarización en sus valores nominales y a temperatura ambiente. En la siguiente figura 6.14 se muestran los resultados del número de SEUs acumulados a lo largo de las 72 horas para los seis tipos de celda que incorpora el diseño de la memoria.

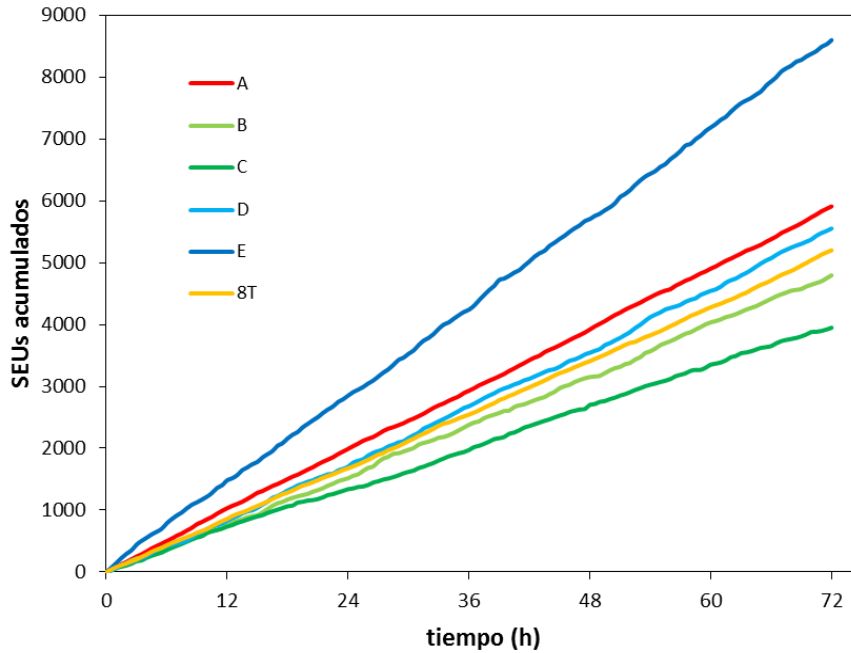


figura 6.14. Número de SEU acumulados a lo largo de un periodo de irradiación de 72 horas

Del análisis de la figura anterior destacan dos resultados:

- La evolución del número de SEUs acumulados es lineal con el tiempo. Es decir, su pendiente (el SER) es constante.
- Existen diferencias significativas entre el SER de las diferentes celdas consideradas.

Cabe remarcar que no se dispone del mismo número de celdas para las diferentes tipologías, por este motivo los resultados han sido normalizados para que sean comparables.

El primer resultado es totalmente esperado ya que el SER no depende del tiempo. En todo caso el SER podría depender del estado individual de las celdas. Sin embargo, en el caso de celdas simétricas (como todas las 6T) esto no sucede ya que tanto en el caso de almacenar un 0 como un 1, siempre habrá un nodo de la celda a nivel alto y otro a nivel bajo. Al ser simétrica ambos nodos son intercambiables.

Las celdas 8T son ligeramente asimétricas debido a la presencia de la etapa de lectura. Sin embargo, esto tampoco afectará al SER global de la memoria puesto que el estado lógico de una celda está representado por los niveles de tensión en sus nodos internos mediante una convención elegida arbitrariamente (por ejemplo nodo derecho a nivel alto e izquierdo a nivel bajo, representa un 1). Debido a las simetrías con que se ha diseñado el *layout*, esta convención cambia entre las columnas pares y las impares. Por este motivo, en todo momento hay de media el mismo número de celdas con el nodo conectado a la etapa de lectura a nivel bajo que a nivel alto.

También vale la pena mencionar que, debido a la linealidad de los resultados, es posible obtener resultados fiables de SER con tiempos de irradiación menores.

El segundo resultado indica que las diversas tipologías de celdas que han sido diseñadas para que tengan diferente robustez en términos de carga crítica, la tienen también en términos de SER. En la siguiente figura se muestran de forma gráfica los resultados del SER:

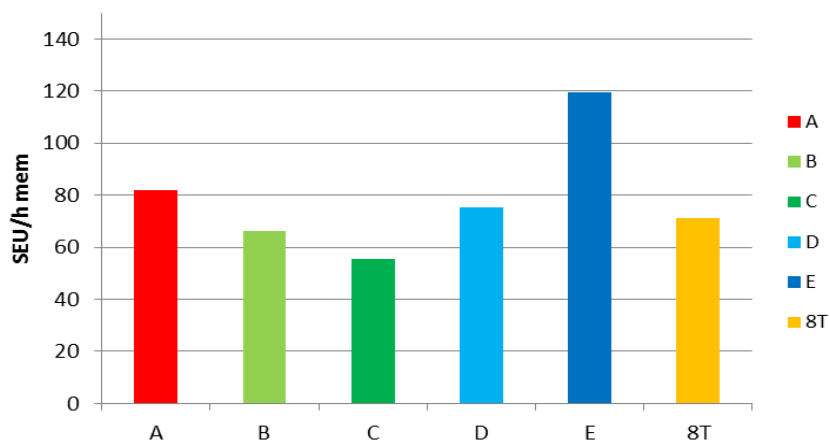


figura 6.15. SER para las diferentes celdas consideradas y para las tensiones nominales

Ahora bien, la evaluación de la robustez de estas celdas se hizo en el apartado 4.4.2 utilizando la carga crítica como métrica. Aquí se está evaluando el SER y, aunque se trata de dos medidas relacionadas, su relación no es inmediata puesto que depende de múltiples parámetros tal y como se ha descrito en el apartado 3.5.3 en la página 62. En concreto, depende de la carga colectada y del área sensible. Ambos parámetros varían al modificar las dimensiones de los transistores y, las diferentes celdas consideradas tienen diferentes anchos de canal para sus transistores. En la siguiente tabla se recogen los resultados ordenados de menor a mayor SER para las diferentes celdas:

Tipo de celda	SER (SEU/h·mem)
C	55,67
B	66,18
8T	71,26
D	75,41
A	81,84
E	119,46

tabla 6.1. SER para los diferentes tipos de celda considerados

De la observación de la figura 6.15 y de la tabla 6.1, se desprenden entre otros resultados que la celda más robusta, desde el punto de vista del SER, es la C, seguida de B. La menos robusta es la E. Para comparar mejor estos resultados con los de carga crítica en función de los diferentes anchos de canal de los transistores de las celdas 6T, dejaremos por el momento de lado los resultados de la celda 8T. En la siguiente tabla se detallan los resultados de SER y Q_{CRIT} para la celdas 6T. Recuérdese que mayor robustez implica mayor carga crítica pero menor SER.

Tipo de celda	SER (SEU/h·mem)	Q_{CRIT} (fC)
C	55,67	2,51
B	66,18	2,14
D	75,41	2,44
A	81,84	1,72
E	119,46	2,26

tabla 6.2. SER y carga crítica para las diferentes celdas 6T consideradas en el diseño de la memoria

Por comodidad y para recordar las dimensiones de los transistores de cada celda, reproducimos aquí la figura 5.4 de la página 133.

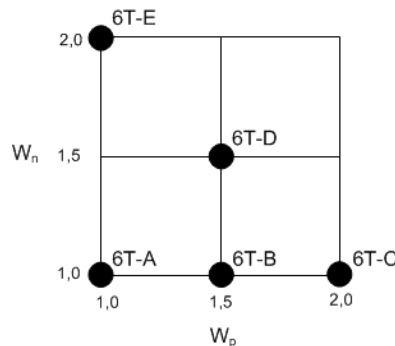


figura 6.16. Representación de los cinco tamaños de celda 6T utilizados.

Del análisis de la tabla 6.2 se desprende lo siguiente:

- La celda con mejor SER es la C, esto ocurre también desde el punto de vista de la carga crítica.
- Aumentar el ancho de canal de los transistores pMOS (celdas A, B y C) provoca un aumento de la carga crítica que se traduce de forma directa en una disminución del SER. Es decir, la celda C es más robusta que la B y la B más robusta que la A, tanto desde el punto de vista de Q_{CRIT} como de SER.

- No existe esta misma correlación directa cuando intervienen celdas a las que se ha modificado el ancho de canal de los transistores pMOS. Las celdas D y E son de las más robustas en términos de carga crítica y, sin embargo, presentan niveles de SER también de los más elevados.
- En el apartado 4.4.2 de la página 102 se justificó que incrementar los anchos de los transistores pMOS era, desde el punto de vista de la carga crítica, la manera más eficiente de aprovechar el área adicional. A la vista de los resultados (celdas B y C), en términos de SER también es la mejor manera de mejorar la robustez de las celdas

En resumen, incrementar el ancho de canal de los transistores pMOS, mejora Q_{CRIT} y SER, sin embargo, incrementar el ancho de canal de los transistores nMOS, mejora Q_{CRIT} pero empeora el SER. La razón de esta discrepancia hay que buscarla en el hecho de que aumentar la carga crítica incrementando el ancho de canal de los transistores tiene un doble efecto sobre el SER:

- Por un lado disminuye el SER, ya que tal y como se ha justificado en el apartado 3.5.3 en la página 62 hay una relación exponencial negativa entre SER y Q_{CRIT} .
- Por otro lado, el incremento del ancho de canal de los transistores implica un aumento del área sensible y puede implicar también un aumento de la capacidad del nodo de coleccionar carga, ambos tienden a incrementar el SER.

La contribución relativa de estos dos factores (aumento de Q_{CRIT} y aumento de área) no es la misma en el caso de incrementar las medidas de los transistores nMOS y pMOS. Aumentar el tamaño de los pMOS implica un aumento de área dentro del pozo, mientras que aumentar el tamaño de los nMOS incrementa el área directamente en el sustrato. La diferente capacidad de coleccionar carga en el pozo o en el sustrato puede ser la explicación de las divergencias observadas entre SER y carga crítica para el caso de los pMOS. Sin embargo, se deja como trabajo futuro investigar más profundamente esta cuestión.

Cabe comentar también que la celda 8T es ligeramente más robusta que la 6T-A tanto en términos de SER como de carga crítica. Esto es consistente con el hecho de que la 8T tiene las mismas dimensiones que la 6T-A pero con la influencia de una capacidad adicional debida a la etapa de lectura.

Finalmente, en la siguiente tabla se comparan los resultados de SER de cada celda con las áreas que ocupan:

tipo de celda	SER (SEU/h·mem)	decremento de ser respecto al SER de A	área celda (μm^2)	incremento de área respecto a A
A	81,84	0,0%	1,01	0,0%
B	66,18	19,1%	1,10	9,1%
C	55,67	32,0%	1,18	17,1%
D	75,41	7,9%	1,19	18,3%
E	119,46	-46,0%	1,18	17,1%
8T	71,26	12,9%	1,39	37,7%

tabla 6.3. Comparativa entre el SER y el área de las diferentes celdas consideradas

A la luz de los resultados de la tabla 6.3, se concluye que con un 9% de área adicional se puede conseguir una reducción del SER de un 19%. O con un área adicional del 17% lograr reducir el SER en un 32%.

Los resultados de este experimento son importantes, pues demuestran experimentalmente como incrementar el ancho de canal de los transistores tiene efecto sobre el SER. Además, pone de manifiesto que no cualquier aumento tiene un efecto beneficioso, sino que deben aumentarse los anchos de canal de los transistores pMOS.

6.6.3. Determinación experimental de la influencia de la tensión de alimentación de las celdas SRAM en el SER

Una vez que se ha determinado experimentalmente el SER bajo condiciones nominales de operación cabe preguntarse como evolucionaría cuando se modificaran las condiciones de operación. En este apartado se describe la dependencia del SER con la tensión de alimentación.

Se han realizado un conjunto de experimentos de determinación del SER para diferentes tensiones de alimentación de la memoria (V_{DDRAM}). El tiempo de irradiación ha sido de 24 horas para cada tensión porque, tal y como se ha justificado anteriormente, el número de SEUs es lineal con el tiempo y no resultan necesarios tiempos de irradiación tan largos como el utilizado en el último experimento. Con 24 horas de exposición se obtienen más de mil eventos por cada banco de memoria (16.384 celdas) con lo que se disponen de datos suficientes para evaluar el SER. El periodo de muestreo es de 30 minutos.

La motivación de realizar este experimento es que durante el modo de almacenamiento las celdas pueden estar alimentadas a su tensión nominal o, si no se va a realizar ninguna operación de lectura o de escritura, alimentarse a una tensión menor con el objetivo de reducir el consumo. En el caso de la memoria que nos ocupa, la tensión nominal es de 1,2 V y se han considerado tensiones entre 1,3 V y 0,8 V. Los resultados de SER se muestran a continuación:

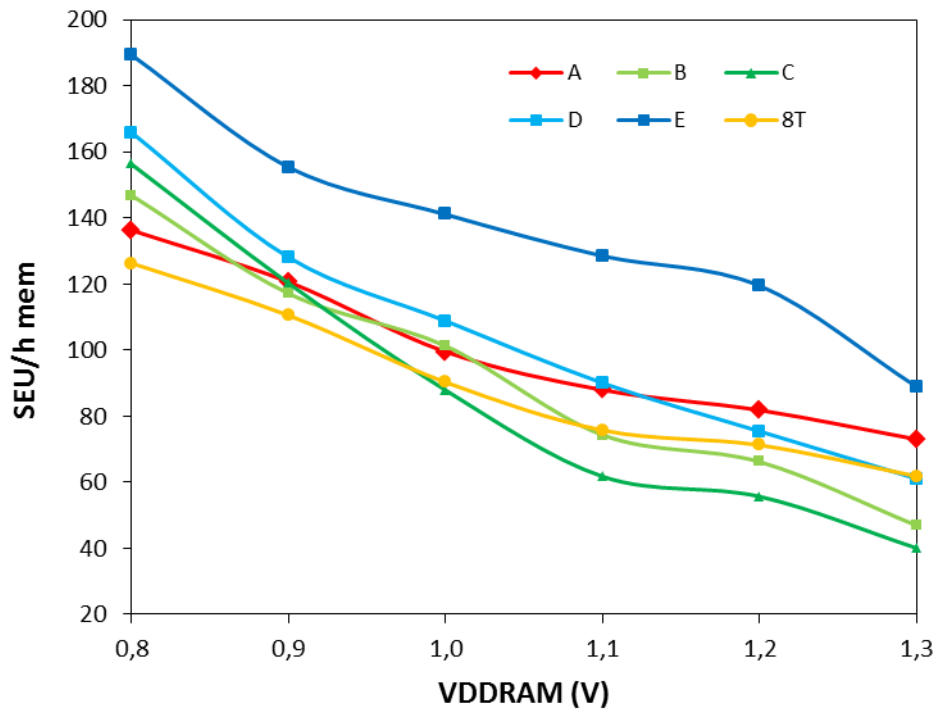


figura 6.17. Dependencia de SER con la tensión de alimentación de las celdas SRAM

De la observación de la figura anterior se dependen los siguientes resultados:

- El SER aumenta al disminuir la tensión de alimentación: este resultado era el esperado y.
- Este aumento no es el mismo para las diferentes tipologías de celda consideradas. Esto tiene como consecuencia que una tipología de celda que para una tensión resulta la más robusta, no tenga que serlo necesariamente para otra.
 - Para la tensión nominal la más robusta es la C, sin embargo para tensiones más bajas deja de serlo.
 - La D y la E son en términos generales las dos menos robustas (con la excepción de la A para 1,2 V y 1,3 V)

- La A, B y C representan los tres anchos de canal pMOS considerado. Para 1,2 V, $SER_A > SER_B > SER_C$, en cambio para 0,8 V, su orden se ha invertido ($SER_A < SER_B < SER_C$).
- La 8T, que para 1,2 V no destaca por tener un buen SER, se convierte en la de mejor SER para 0,8 V.
- La evolución del SER con la tensión de alimentación de las celdas A y 8T son prácticamente paralelas. Estos resultados son consecuentes con el hecho que ambas tienen las mismas dimensiones de transistores.

Por tanto, como conclusión general de este apartado se puede afirmar que:

- Las celdas con transistores nMOS con mayores anchos de canal son, en general, las peores desde el punto de vista del SER.
- Para tensiones de alimentación superiores a 1,1 V, las mejores celdas desde el punto de vista del SER son las que tienen los canales de los transistores pMOS más anchos (B y C). Sin embargo, para tensiones reducidas esta situación se invierte y las mejores son las dos de tamaño mínimo (A y 8T).

Esto tiene como consecuencia que, para que una memoria sea robusta frente a los efectos transitorios de la radiación, no solamente sea importante decidir el tipo de tipo de celda que va a utilizarse sino, hacerlo teniendo en cuenta si van a aplicarse técnicas de reducción de la tensión nominal durante los periodos de inactividad.

Capítulo 7

Consideraciones finales

7.1. Conclusiones

La memoria SRAM es un elemento presente en muchos sistemas electrónicos. Además, aunque las dimensiones de las celdas SRAM han disminuido en cada sucesiva generación tecnológica, la cantidad de celdas utilizadas ha aumentado a mayor ritmo. Por este motivo, en los circuitos integrados se dedica cada vez una mayor proporción de área a memoria SRAM. Así pues, el diseño de un módulo de SRAM puede condicionar a menudo muchos aspectos del diseño de un circuito integrado.

Reducir las dimensiones de una celda SRAM y su tensión de alimentación plantea dos retos importantes: la estabilidad de las celdas y su susceptibilidad a eventos transitorios inducidos por radiación. Ambos pueden comprometer la fiabilidad de una memoria especialmente cuando se trata de memorias con gran número de celdas.

De entre todos los efectos de la radiación, esta tesis se centra en los eventos transitorios en memorias SRAM y más concretamente en los denominados *Single Event Upset* (SEU), que consisten en la corrupción de la información almacenada en una celda SRAM, fruto de la interacción con una partícula energética. Este efecto no es destructivo y, pese a ocasionar una

pérdida de datos, que a su vez puede causar un malfuncionamiento del sistema, la celda afectada puede volver a ser sobrescrita y operar con normalidad. Además, la tesis se centra en memorias SRAM diseñadas para operar en entornos en los que no hay niveles extremos de radiación. Este es el caso, por ejemplo, de la electrónica comercial, que está destinada a operar en entornos no hostiles desde el punto de vista de la radiación. Por este motivo, de entre todos los tipos de la radiación, se han identificado aquellas fuentes que resultan relevantes para el caso que nos atañe. Se ha llegado a la conclusión que existen 3 tipos de radiación causantes de la mayor parte de *soft errors* en memorias SRAM: Las partículas alpha emitidas por los elementos constituyentes del propio circuito o de su encapsulado. Los neutrones de alta energía de origen cósmico, que interaccionan con los átomos de silicio. Y los neutrones de baja energía que interaccionan con los átomos de boro presentes en el circuito.

Una vez definido el campo de estudio, el resto de la tesis se divide en tres partes: Una primera parte, en donde se han estudiado por simulación los SEUs en celdas SRAM y se han desarrollado técnicas para diseñar celdas más robustas frente a los efectos transitorios de la radiación. También se han estudiado aspectos relacionados con la estabilidad. La principal conclusión ha sido que algunas de estas técnicas son prometedoras y serán implementadas en el prototipo de memoria. En la segunda parte, se ha diseñado un prototipo de memoria SRAM con una tecnología de 65 nm con un doble objetivo, disponer de un banco de pruebas en el que puedan realizar experimentos relacionados con la radiación e implementar algunas de las técnicas desarrolladas por simulación. En la tercera parte se ha verificado experimentalmente el funcionamiento del prototipo de memoria y se ha validado experimentalmente alguna de las técnicas implementadas.

Estudio por simulación:

Para el estudio por simulación de SEUs en celdas SRAM, primero ha sido necesario decidir el tipo de celda. Se ha llegado a la conclusión de que se utilizarían dos tipos de celdas diferentes, una formada por seis transistores (6T) y otra por ocho (8T). La primera se ha elegido porque es la más utilizada en la actualidad, la segunda por ser cada vez más usada y presentar ventajas en respecto a la 6T. Además, se ha elegido utilizar un *layout* denominado celda ancha o litográficamente simétrica en su configuración de difusiones rectangulares a la que denominamos “*layout* regular”. La razón de esta elección es que este *layout* consigue reducir

la variación de parámetros y, de esta manera, se minimizan los problemas de estabilidad de las celdas. Además, se trata del *layout* que suele recomendarse para diseños implementados en tecnologías a partir de los 90 nm. Esta elección supone un conjunto de restricciones dimensionales que tendrán su impacto tanto en el diseño de celdas robustas frente a la radiación como desde el punto de vista de su estabilidad.

Para cuantificar la robustez de la celda se ha utilizado uno de los parámetros más habituales, la carga crítica y se ha desarrollado un algoritmo computacionalmente eficiente para calcularla por simulación. La interacción de una partícula energética con el circuito genera pares electrón-hueco. Parte de esta carga eléctrica puede ser recogida en un nodo de forma que se genera un transitorio de corriente que puede acabar provocando un SEU. Las simulaciones utilizan un pulso de corriente para simular este transitorio. Con el algoritmo, se han estudiado la influencia de las características del pulso de corriente, de las tensiones de alimentación, y del estado de operación de la celda. Las conclusiones han sido que elegir las características del pulso es fundamental para obtener resultados fiables, esto puede hacerse utilizando los resultados publicados de otro tipo de simulaciones, llamadas normalmente simulaciones 3D. En cuanto a la influencia de tensión de alimentación, se han obtenido unos resultados consistentes con otros ya publicados, disminuir la tensión de alimentación empeora la carga crítica. Finalmente, se ha estudiado la carga crítica durante una lectura y se ha obtenido como resultado que la celda pierde robustez respecto al modo de almacenamiento en el caso 6T pero no en el caso 8T. Esto se debe a que en una lectura 6T uno de los nodos de la celda se ve perturbado durante la lectura. En cambio, en el caso 8T, no se produce este fenómeno ya que existe una etapa específica para la lectura que consigue su cometido sin perturbar la celda. Sin embargo, aunque la celda 8T no sea intrínsecamente más débil en lectura, por cuestiones de diseño se ha justificado que es común que operen en un modo denominado *half-selected* que ocasiona que también experimenten una disminución de carga crítica similar a la obtenida para el caso 6T. Se ha estudiado el problema y se ha justificado que existen soluciones para evitarlo, unas encaminadas a eliminar la presencia de celdas 8T en estado *half-selected* mediante la modificación de la estructura de la matriz de celdas, y otras que se basan en modificar el diseño de la celda 8T añadiendo dos transistores adicionales que impiden el estado *half-selected*.

Además de caracterizar el comportamiento de las celdas 6T y 8T en lectura, se ha llegado a diversas conclusiones adicionales: Una celda puede sufrir un SEU durante una lectura y, sin embargo, obtener el valor correcto en la lectura. En este caso, la celda queda escrita con el

valor erróneo y si vuelve a leerse sin haber sido sobrescrita, esta segunda lectura resultará errónea. Sin embargo, siempre que se lee un valor erróneo debido a que se acaba de producir un evento transitorio, la celda ha resultado afectada y contiene el valor erróneo.

También se han estudiado los transitorios que se producen en las celdas frente a perturbaciones que se encuentran en el umbral de generar un SEU, la conclusión ha sido que los transitorios de corrientes que se producen para perturbaciones subcríticas pueden ser similares a los de perturbaciones que ocasionan SEUs. Este resultado es importante para el diseño de sensores de corriente cuyo objetivo sea detectar la ocurrencia de SEUs porque, si además se tienen en consideración las variaciones de parámetros que en mayor o menor medida sufrirán todos los elementos, se llega a la conclusión de que para detectar un porcentaje elevado de SEUs, será necesario asumir la presencia de falsos positivos.

Además, se han estudiado tres técnicas diferentes para aumentar la tolerancia a los efectos transitorios a la radiación de las celdas:

La primera consiste en la selección de las tensiones umbrales de los transistores de los dos inversores realimentados de la celda. Se han realizado simulaciones con todas las combinaciones posibles y se ha llegado a la conclusión de que, aunque existen variaciones en términos de carga crítica entre unas y otras, no son demasiado significativas. Este resultado tiene interés, ya que las tensiones umbrales juegan un papel predominante en otras consideraciones de diseño, como por ejemplo consumo o velocidad. De esta manera, el diseñador puede basarse en estos criterios para la elección de las tensiones umbrales sin que se varíe substancialmente la carga crítica. Dado el escaso impacto en términos de carga crítica de esta técnica, se ha decidido no implementarla en el prototipo de memoria.

La segunda técnica consiste en la modulación del ancho de los transistores. Esta modulación tiene que hacerse con las restricciones impuestas por el *layout* regular que se resumen en que: i) Todos los anchos de canal de los transistores pMOS tienen que ser iguales. ii) todos los anchos de canal de los nMOS tienen que ser también iguales. Con estas restricciones, se ha estudiado el comportamiento en términos de carga crítica de celdas con diferentes anchos y se ha llegado a la conclusión de que aumentar los anchos de los transistores mejora en general la carga crítica. Sin embargo, este incremento se hace a expensas de un aumento del área ocupada por la celda, por este motivo, se ha estudiado cómo aprovecharlo de la manera más eficiente posible. El resultado ha sido que, para un cierto incremento de área, la mayor ganancia en carga crítica se obtiene incrementando los anchos únicamente de los transistores

pMOS. Con un aumento de área del 17%, se consigue un incremento de la carga crítica del 46%. Esta técnica resulta efectiva en términos de carga crítica y, por este motivo, se ha decidido implementarla en el prototipo de memoria.

La tercera técnica consiste en la modulación de la tensión de *word-line* durante una lectura, es decir la tensión de puesta de los transistores de paso de la celda que permiten la lectura de las celdas 6T o, en su caso, del transistor que se encarga de la lectura en el caso 8T. Se ha determinado que disminuir esta tensión reduce la perturbación que una de las *bit-lines* ejerce sobre la tensión de los nodos internos de la celda 6T durante una lectura. De esta manera, una tensión de *word-line* menor implica una menor perturbación, con la consiguiente mejora de la robustez. Hay que tener en cuenta que reducir la tensión de *word-line* tiene un efecto negativo sobre el tiempo de lectura. Se ha cuantificado por simulación la ganancia en términos de carga crítica así como la degradación del tiempo de lectura. La conclusión ha sido que únicamente resultan prácticas reducciones moderadas de la tensión de *word-line*. Se puede conseguir un incremento de carga crítica del 20% con un incremento del tiempo de lectura de un 5%. La conclusión ha sido que merece la pena implementar esta técnica en el prototipo de memoria.

También se ha realizado un estudio sobre las repercusiones en la estabilidad de la celda debidas a las restricciones dimensionales impuestas por la utilización de un *layout* regular. Se ha determinado que dichas restricciones impiden aplicar las técnicas habituales para obtener celdas estables, especialmente durante la lectura. Por este motivo, se han buscado alternativas para poder optimizar su estabilidad. En concreto se propone utilizar la misma técnica de modulación de la tensión de *word-line* utilizada para mejorar la robustez. Los resultados han sido que esta técnica consigue también mejorar la estabilidad en lectura de la celda SRAM.

Diseño del prototipo de memoria:

El objetivo de diseñar un prototipo de memoria es disponer de una SRAM sobre la que hacer diferentes estudios relacionados con los efectos transitorios de la radiación, o de otros aspectos relevantes, como por ejemplo la estabilidad de las celdas. Además, se pretende implementar dos de las técnicas desarrolladas por simulación para poder validar experimentalmente su eficacia. El diseño se ha realizado en una tecnología de 65 nm y se ha llegado a la conclusión de que una buena solución consiste en realizar el diseño de las unidades de control mediante *standard-cells* y el resto del circuito diseñarlo *full-custom*. La razón de hacer parte del diseño *full-custom* es para tener mayor control y conocimiento sobre

los parámetros de diseño y poder, así realizar un mayor número de experimentos e interpretar mejor sus resultados. Estudiar el comportamiento de la unidad de control no entra dentro de los objetivos de esta tesis y, por este motivo, se ha implementado mediante *standard-cells*. La implementación *full-custom* ha permitido realizar un diseño versátil que incorpora diversas características que proporcionan flexibilidad experimental. Se han diseñado un total de 5 bancos de memoria, cada uno de ellos con diferentes características para aumentar el número de experimentos posibles y ayudar a evaluar mejor el efecto individual de cada una de las características.

Se han utilizado un total de seis tipologías de celda diferentes, cinco 6T y una 8T. En el caso de las celdas 6T se pretende implementar de la técnica de modulación del ancho de canal de los transistores estudiada previamente por simulación. Se han construido solamente cinco tipologías de celda 6T para tener un número apreciable de celdas de cada tipo, dado el área limitada de que se dispone. Con cinco celdas disponibles, se ha estudiado cuáles son las que mejor pueden ayudar a estudiar el efecto de la modulación del ancho de canal. Se ha llegado a la conclusión de que una buena elección es la representada en la figura 5.4. También se ha estudiado la manera óptima desde el punto de vista de empaquetar estas celdas en la matriz y se ha llegado a la conclusión de que debe hacerse una distribución simétrica de celdas, en donde cada una tenga por celda adyacente en horizontal una versión simétrica de ella misma respecto a un eje vertical. En vertical, las simetrías tienen que ser respecto al eje horizontal. Las celdas se han diseñado con un *layout* regular para minimizar la variación de parámetros y, además, se han implementado técnicas de diseño para la manufacturabilidad.

El diseño también incorpora la técnica de reducción de la tensión de *word-line*, se ha estudiado la mejor forma de hacerlo y se ha decidido utilizar un inversor a la salida del decodificador de fila polarizado mediante una tensión controlable externamente. La memoria incorpora también un diseño de sensores de corriente realizado por otros miembros del grupo de investigación en el que se enmarca esta tesis. Su objetivo es detectar el efecto sobre la corriente consumida por las celdas durante un SEU y, de esta manera, tratar de detectar su ocurrencia. Para testear los sensores, se han incorporado celdas con capacidad para recibir inyecciones de fallos. Además, se han abierto ventanas en las capas de metal para facilitar la llegada de pulsos de rayos láser para emular SEUs. En cuanto a la distribución sobre el *layout* de los sensores, celdas con inyección y ventanas, se ha estudiado el problema y se ha concluido que interesa hacer una distribución que tenga en cuenta que las celdas con inyección se sitúen de forma que faciliten la excitación de los sensores de la manera más

versátil posible. Además, la distribución de las ventanas también debe permitir estudiar el posible efecto de su presencia o ausencia sobre los sensores.

La conclusión final de todo el proceso de diseño es que el esfuerzo adicional de realizar una parte del mismo *full-custom* ha valido la pena, pues se han podido modificar a voluntad muchos parámetros y obtener así un diseño flexible que permitirá realizar un gran número de experimentos. Parte de ellos está descritos en el capítulo 6, y a continuación se recogen sus conclusiones. Otros experimentos se han dejado como trabajo futuro y se describen en su apartado correspondiente.

Resultados experimentales:

Se ha realizado un montaje experimental para verificar el correcto funcionamiento de los diferentes módulos de la memoria, así como de sus diferentes modos de funcionamiento.

En primer lugar se ha utilizado el test MATS+ para determinar si era posible escribir y leer todas las direcciones de memoria en condiciones nominales. El resultado ha sido satisfactorio y, por tanto, cabe concluir, que todos los módulos involucrados en este proceso funcionan correctamente. Esto incluye, unidades de control, celdas SRAM, transistores de precarga, *sense-amplifiers*, puertas de transmisión y *buffers* del decodificador de fila.

Posteriormente, se ha realizado un experimento con un doble objetivo, verificar el funcionamiento del modo *schmoo*, que permite modificar el tiempo en que se está leyendo o escribiendo una celda, y verificar la efectividad de la técnica de modulación de la tensión de *word-line*. Los resultados del experimento han sido satisfactorios, pues se ha constatado que, al reducir la tensión de *word-line* por debajo de un cierto valor umbral, provoca que las lecturas se realicen de forma incorrecta. Sin embargo, si para esa tensión, se aumenta lo suficiente el tiempo que se proporciona para la lectura, se pueden volver a obtener lecturas correctas. Además de los resultados del propio experimento, otra conclusión importante es que permite afirmar que la técnica de modulación de la tensión de *word-line* funciona correctamente y, por tanto, es teóricamente posible aplicarla para verificar su efectividad en términos de aumento de la estabilidad y disminución de SER durante una lectura. Aunque, quizás la conclusión más importante de este experimento sea que, con el rango de frecuencias de reloj que pueden obtenerse con el montaje experimental actual, el rango de tensiones necesarias para provocar un fallo en la lectura está muy de lejos de las tensiones habituales. Esto significa que la máxima frecuencia de trabajo del módulo generador del analizador

lógico (50 MHz) es demasiado baja para las posibilidades de la memoria. Este resultado era del todo esperable dado la tecnología con que se ha implementado y los resultados previos de simulación.

Se ha probado el módulo de inyección de fallos, y se ha concluido que funciona correctamente. Es decir, es capaz de provocar una transición en cada una de las celdas en las que está implementado. Posteriormente, se ha procedido a verificar el funcionamiento de los sensores de corriente. En este caso, el resultado no ha sido del todo satisfactorio, pues no se ha obtenido el resultado esperado cuando se han probado los sensores sin la generación de ningún evento transitorio (ni por radiación, ni mediante el mecanismo de inyección de errores). El resultado esperado hubiera sido que ninguno de los sensores indicara la detección de un transitorio. Sin embargo, todos señalan la detección de un mayor consumo de corriente en una de sus dos ramas. Además, la rama con mayor consumo varía de un sensor a otro, sin ningún patrón aparente, aunque de forma completamente repetible. Si se realiza el mismo experimento con otro integrado, se obtienen resultados análogos pero con otro patrón de ramas con mayor consumo. Las conclusiones que se extraen de este hecho son que cada sensor reacciona ante consumos no causados por ningún transitorio de corriente deseado y, es posible, que su reacción sea ante diferencias de consumo estático. Además, cada sensor presenta un sesgo aleatorio hacia la detección en una de sus dos ramas. Este sesgo se mantiene en el tiempo y cambia entre sensores, lo que indica que podría deberse a problemas de *mismatch* entre los transistores de un mismo sensor. A la luz de estos resultados, se ha decidido implementar un nuevo sensor en otra memoria que incorpore diversas medidas encaminadas a tratar de corregir los problemas anteriormente comentados. En concreto, el nuevo diseño incluye tres nuevas características: La primera consiste en un sistema para controlar mejor los periodos en los que el sensor monitoriza las celdas, la idea es poder descartar periodos en los que haya consumos transitorios que no interese tener en cuenta. La segunda, consiste en dotar al sensor de un nuevo modo de funcionamiento que le haga inmune a diferencias de consumo constante entre sus ramas, como por ejemplo consumo por *leakage*. La tercera, consiste en poder controlar desde el exterior la sensibilidad del sensor, de esta forma, se podrá realizar un ajuste que permita optimizar su respuesta.

Además, se han realizado un conjunto de tres medidas experimentales relacionadas con la estabilidad de las celdas que pretenden comparar la estabilidad entre los diferentes tipos de celda implementados en la memoria y verificar la efectividad de modificar las tensiones de alimentación de las celdas y la tensión de *word-line*.

El primero de estos experimentos mide la estabilidad de las celdas en modo almacenamiento, para ello se va disminuyendo la tensión de alimentación y se observa el número de celdas que pierden el dato que almacenaban. La primera conclusión de este experimento ha sido que existen diferencias entre las distintas celdas consideradas, pero son pequeñas. Este resultado es consistente si se tiene en cuenta que se está midiendo un parámetro relacionado con la estabilidad de las celdas y que, cuando se ha estudiado por simulación la estabilidad en términos de SNM, se han encontrado también pocas diferencias. Otra conclusión interesante es que los resultados muestran la naturaleza aleatoria de la estabilidad de las celdas, existe un valor de tensión para el que fallan el mayor número de celdas, sin embargo, otras han fallado antes y otras lo harán más tarde.

El segundo experimento mide la estabilidad de las celdas durante una lectura, para ello, se ha procedido a leer las celdas alimentadas a una tensión reducida. Por debajo de un cierto valor de tensión, empiezan a producirse errores de lectura. Las conclusiones principales son: La estabilidad para los diferentes tipos de celda 6T es diferente, pero estas diferencias son también pequeñas, estos resultados son también consistentes con los obtenidos por simulación en términos de RSNM. Sin embargo, la celda 8T se comporta de manera radicalmente diferente, no se produce ningún error para el rango de tensiones considerado. La explicación de esto se debe al mecanismo diferente que se utiliza para leer una celda 8T respecto al que se usa en el caso 6T. Para las celdas 8T, la lectura se lleva a cabo sin perturbar los nodos internos de la celda y, por tanto, durante una lectura se comporta de manera muy similar a si estuviera en modo almacenamiento. Por tanto, mientras la tensión de alimentación sea suficiente para que mantenga su estado, la celda podrá ser leída.

El tercer experimento mide la estabilidad de las celdas en escritura, es decir, la facilidad con que una celda puede ser escrita. El experimento ha consistido en tratar de escribir las celdas con diferentes valores de la tensión de *word-line*. Las conclusiones han sido que existen diferencias muy significativas entre las distintas configuraciones de celdas consideradas. En concreto, se ha encontrado que las celdas cuyos transistores pMOS tienen anchos de canal mayores, son las que ofrecen más resistencia ser escritas. Este hecho es consistente tanto desde el punto de vista teórico (se trata de celdas con una $\beta > 1$) como con los resultados obtenidos por simulación en términos de WSNM. También cabe destacar que el comportamiento observado para las celdas tipo A y 8T es prácticamente idéntico, pues tienen las mismas medidas de transistores y la diferencia radica únicamente en que la 8T tiene una etapa específica de lectura que no juega ningún papel importante durante una escritura.

Finalmente, se han realizado medidas experimentales con radiación. Para ello se dispone de una fuente de partículas alpha con la que se ha irradiado el circuito integrado. La primera conclusión de este experimento es que la fuente utilizada (americio-241) es capaz de provocar SEUs en todos los bancos de memoria. El primer experimento ha consistido en medir el SER para las diferentes tipologías de celdas consideradas. Los resultados han sido que existen diferencias significativas entre ellas, pero que no son extrapolables de manera directa y sencilla en términos de carga crítica. Si se restringe el análisis a los casos de las celdas que tienen solamente los canales de los transistores pMOS más anchos, mejor SER implica también mejor carga crítica. Sin embargo, esto no ocurre para las celdas que incluyen transistores nMOS más anchos. La conclusión a la que se ha llegado a raíz de este hecho tiene que ver con el lugar en el que se produce el incremento de área al modificar el ancho de canal. En el caso de los pMOS, se produce dentro del pozo n, mientras que en el caso de los nMOS directamente en el sustrato. La explicación que se propone en la siguiente: Incrementar la carga crítica aumentando el área tiene dos efectos contrapuestos sobre el SER, por un lado tiende a mejorarlo, ya que se aumenta la carga crítica, por el otro tiende a empeorarlo pues se aumenta el área que puede recoger carga. La contribución relativa de estos efectos no es la misma para los nMOS y para los pMOS, pues en los primeros el incremento de área se produce directamente en el sustrato en donde la recolección de carga es más eficiente que en el caso de los pMOS que la recogen dentro del pozo. Sin embargo, se deja como trabajo futuro investigar más a fondo la explicación de este fenómeno mediante nuevas simulaciones.

Además, se ha repetido el mismo experimento de cálculo del SER pero para diferentes tensiones de alimentación. Las conclusiones han sido que aquellas tipologías de celda que resultan mejores en términos de SER para la tensión nominal, no lo siguen siendo para tensiones de alimentación más reducidas. Para valores cercanos al nominal, las celdas con mejor SER son las que tienen los mayores anchos de canal pMOS. Sin embargo, para tensiones de alimentación reducidas, las celdas con mejor SER son las dos de tamaño mínimo (A y 8T). Además, las que tienen mayores anchos de canal nMOS, presentan un SER más alto que el resto para gran parte del rango de tensiones considerado.

Estos resultados son importantes cuando se utiliza una tensión de alimentación menor que la nominal durante los periodos en que no se efectúan operaciones ni de lectura ni de escritura. Este tipo de estrategia es cada vez más habitual con el objetivo de reducir el consumo. A la luz de los resultados obtenidos, se puede concluir que, para mejorar el SER modulando los anchos de los transistores de las celdas, hay que tener muy en cuenta la estrategia de

reducción de la tensión que va a utilizarse, pues las celdas que resultan óptimas desde el punto de vista del SER, dependen de la tensión de alimentación.

Finalmente, y a modo de conclusión general, se puede afirmar que:

- Se han estudiado por simulación tres técnicas para mejorar la robustez frente a los efectos transitorios debidos a radiación en celdas SRAM. Los resultados han señalado a dos de ellas como efectivas y, por tanto, candidatas a ser implementadas en una memoria real.
- Se ha diseñado, construido y verificado dicha memoria incluyendo las mencionadas dos técnicas. La memoria ha funcionado correctamente, a excepción del sensor de corriente que no lo ha hecho, pero que ha permitido extraer conclusiones para mejorar una evolución de su diseño. Se ha verificado el funcionamiento de todos los restantes módulos y características especiales de la memoria y, además, se han determinado sus potencialidades para futuros experimentos.
- Con el prototipo de memoria se han obtenido resultados experimentales tanto de una de las técnicas de mejora de la robustez, como de diferentes medidas de estabilidad. Los resultados de las medidas de estabilidad están en línea con los de simulación y, además, han permitido caracterizar el funcionamiento de la memoria. Los experimentos de robustez a la radiación se han llevado a cabo mediante la irradiación controlada del circuito con partículas alpha. Los resultados han permitido obtener el SER de cada una de las tipologías de celdas incluidas en la memoria y han sido muy positivos, pues se han observado diferencias apreciables entre ellas. Los resultados de SER no son directamente extrapolables a carga crítica, pero pueden interpretarse haciendo uso de modelos adecuados. Además, se han constatado como el SER depende de otros parámetros de funcionamiento como por ejemplo la tensión de alimentación.
- La conclusión final es que se dispone de una memoria flexible y funcional con la que se han obtenido resultados experimentales que incluyen el uso de radiación. Además, los experimentos indican que se van a poder seguir explotando todas las potencialidades con las que se la dotado en la fase de diseño.

7.2. Trabajo futuro:

En este apartado se detallan de forma esquemática los planes de trabajo futuro. Se tiene previsto continuar con la experimentación y comparar los resultados obtenidos con resultados de simulación:

Continuación de la experimentación con el prototipo de memoria:

- Experimentos no relacionados con la radiación:
 - Realizar más experimentos relacionados con la estabilidad de las celdas. Especialmente considerando la temperatura como parámetro.
 - Caracterizar los procesos de escritura y lectura para diferentes tensiones de alimentación y de polarización utilizando tiempos de acceso más realistas. Para ello, se necesita cambiar el montaje experimental por uno capaz de proporcionar mayores frecuencias de reloj, se está evaluando la mejor manera de conseguirlo. También será interesante considerar variaciones de temperatura.
 - Caracterizar transitorios de consumo especialmente durante las operaciones de lectura y de escritura y, en especial, si se aplican técnicas de modulación de la tensión de *word-line*.
- Experimentos de irradiación:
 - Continuar con otros experimentos de irradiación tanto para obtener el SER global de la memoria como para tratar de localizar zonas de la matriz más sensibles que otras. Todos estos experimentos está previsto hacerlos para diferentes combinaciones de tensiones de alimentación y polarización. Además, se está evaluando la posibilidad de considerar también diferentes temperaturas.
 - Realizar nuevos experimentos de irradiación con diferentes condiciones de trabajo, como por ejemplo para tratar de determinar el SER en lectura. Para ello será fundamental disponer de un montaje experimental que permita mayores frecuencias de operación.

- Irradiar el circuito con otras fuentes. Para ello se está en contacto con diversos centros colaboradores. El diseño de estos experimentos vendrá condicionado por el tiempo durante el que sea posible irradiar el circuito.

- Experimentos de generación de SEUs mediante láser: En estos momentos se está poniendo a punto un montaje para generar pulsos láser. Se espera tenerlo operativo en los próximos meses y tratar de inducir SEUs en la memoria. Hay que recordar que se han abierto unas ventanas en las capas de metal para facilitar la llegada del haz de luz hasta las zonas sensibles. Además, se dispone de una máquina para rebajar el grosor de sustrato y tratar de iluminar el circuito desde la parte posterior. También se está poniendo a punto esta infraestructura.

Además, se tiene previsto comparar los resultados experimentales con los de simulación: Se pretende tratar de correlacionar mediante modelos los resultados experimentales con los de simulación, tanto en lo referente a la estabilidad como a la robustez. Para ello, es probable que sea necesario realizar nuevas simulaciones o nuevas medidas experimentales.

Agradecimientos

Al Dr. Sebastià Bota por brindarme la posibilidad de realizar el doctorado bajo su tutela y poner a mi disposición los medios necesarios para su consecución. También, por su colaboración, dirección y asesoramiento.

Al Dr. Bartomeu Alorda, por su colaboración y ayuda técnica prestada. Al Sr. Iván de Paul por su ayuda en la parte experimental.

En general a toda la gente de la UIB que se dedica a la investigación en el ámbito de la electrónica y en especial a todos los compañeros, que en mayor o menor medida, puedan haber contribuido en la investigación que ha dado como fruto esta tesis doctoral. En especial a todos los compañeros de despacho con quienes he compartido tiempo y espacio.

También a mis padres y a Maria por su ayuda e incondicional apoyo.

Quisiera mencionar también la beca de formación de profesorado universitario (FPU) del Ministerio de Ciencia e Innovación (AP2006-03170) que me ha facilitado la realización de los estudios de doctorado.

Bibliografia

- AMU07 Amusan, O.A.; Massengill, L.W.; Bhuvu, B.L.; DasGupta, S.; Witulski, A.F.; Ahlbin, J.R.; , "Design Techniques to Reduce SET Pulse Widths in Deep-Submicron Combinational Logic," *Nuclear Science, IEEE Transactions on* , vol.54, no.6, pp.2060-2064, Dec. 2007
- BAN05 Ban P. Wong, Anurag Mittal, Yu Cao, and Greg Starr, "Nano-CMOS Circuit and Physical Design", John Wiley & Sons, Inc. ISBN 0-471-46610-7, 2005.
- BAU01 Baumann, R.C.; , "Soft errors in advanced semiconductor devices-part I: the three radiation sources," *Device and Materials Reliability, IEEE Transactions on* , vol.1, no.1, pp.17-22, Mar 2001
- BAU01 Baumann, R.C.; , "Soft errors in advanced semiconductor devices-part I: the three radiation sources," *Device and Materials Reliability, IEEE Transactions on* , vol.1, no.1, pp.17-22, Mar 2001
- BAU05 R. C. Baumann. "Soft Errors in Commercial Integrated Circuits", *International Journal of High Speed Electronics and Systems*, Vol. 14 No. 2, 299-309. 2004.
- BES93 Bessot, D.; Velazco, R.; , "Design of SEU-hardened CMOS memory cells: the HIT cell," *Radiation and its Effects on Components and Systems, 1993.,RADECS 93., Second European Conference on* , vol., no., pp.563-570, 13-16 Sep 1993
- BHA01 Bhavnagarwala, A.J.; Xinghai Tang; Meindl, J.D.; , "The impact of intrinsic device fluctuations on CMOS SRAM cell stability," *Solid-State Circuits, IEEE Journal of* , vol.36, no.4, pp.658-665, Apr 2001
- BHA01 Bhavnagarwala, A.J.; Xinghai Tang; Meindl, J.D.; , "The impact of intrinsic device fluctuations on CMOS SRAM cell stability," *Solid-State Circuits, IEEE Journal of* , vol.36, no.4, pp.658-665, Apr 2001
- BHA05 A. Bhavnagarwala et. al. "Fluctuation Limits & Scaling Opportunities for CMOS SRAM Cells.", *IEDM 2005*, pp 659-662, 2005
- BIN75 Binder, D.; Smith, E. C.; Holman, A. B.; , "Satellite Anomalies from Galactic Cosmic Rays," *Nuclear Science, IEEE Transactions on* , vol.22, no.6, pp.2675-2680, Dec. 1975
- BOT11 Bota, S.A.; Alorda, B.; Torrens, G.; Segura, J.; , "Pass-transistors pMOS based 8T SRAM cell for layout compaction," *Spanish Conference on Electron Devices (CDE 2011)*, vol., no., pp.1-4, 8-11 Feb. 2011
- BUC12 Buchner, S.; Roche, N.; Warner, J.; McMorro, D.; Miller, F.; Morand, S.; Pouget, V.; Larue, C.; Ferlet-Cavrois, V.; El Mamouni, F.; Kettunen, H.; Adell, P.; Allen, G.; Aveline, D.; , "Comparison of Single Event Transients Generated at Four Pulsed-Laser Test Facilities-NRL, IMS, EADS, JPL," *Nuclear Science, IEEE Transactions on* , vol.59, no.4, pp.988-998, Aug. 2012

- CAL08 Calhoun, B.H.; Yu Cao; Xin Li; Ken Mai; Pileggi, L.T.; Rutenbar, R.A.; Shepard, K.L.; , "Digital Circuit Design Challenges and Opportunities in the Era of Nanoscale CMOS," *Proceedings of the IEEE* , vol.96, no.2, pp.343-365, Feb. 2008
- CAL96 Calin, T.; Nicolaidis, M.; Velazco, R.; , "Upset hardened memory design for submicron CMOS technology," *Nuclear Science, IEEE Transactions on* , vol.43, no.6, pp.2874-2878, Dec 1996
- CHA08 Chang, L.; Montoye, R.K.; Nakamura, Y.; Batson, K.A.; Eickemeyer, R.J.; Dennard, R.H.; Haensch, W.; Jamsek, D.; , "An 8T-SRAM for Variability Tolerance and Low-Voltage Operation in High-Performance Caches," *Solid-State Circuits, IEEE Journal of*, vol.43, no.4, pp.956-963, April 2008
- CHE06 Cheng, B.; Roy, S.; Roy, G.; Brown, A.; Asenov, A.; , "Impact of Random Dopant Fluctuation on Bulk CMOS 6-T SRAM Scaling," *Solid-State Device Research Conference, 2006. ESSDERC 2006. Proceeding of the 36th European* , vol., no., pp.258-261, 19-21 Sept. 2006
- CSN12 Instrucción del 26 de febrero de 2003 del Consejo de Seguridad Nuclear [Consultado en noviembre de 2012]
- DOD03 Dodd, P.E.; Massengill, L.W.; , "Basic mechanisms and modeling of single-event upset in digital microelectronics," *Nuclear Science, IEEE Transactions on* , vol.50, no.3, pp. 583- 602, June 2003
- DOD03 Dodd, P.E.; Massengill, L.W.; , "Basic mechanisms and modeling of single-event upset in digital microelectronics," *Nuclear Science, IEEE Transactions on* , vol.50, no.3, pp. 583- 602, June 2003
- DOD05 P. Dodd, "Physics-based simulation of single-event effects" *IEEE Transactions on Device and Materials Reliability*, Vol. 5, No. 3, pp. 343-357, Sept. 2005
- DOD94 Dodd, P.E.; Sexton, F.W.; Winokur, P.S.; , "Three-dimensional simulation of charge collection and multiple-bit upset in Si devices," *Nuclear Science, IEEE Transactions on* , vol.41, no.6, pp.2005-2017, Dec. 1994
- FAC04 Faccio, F.; , "Radiation issues in the new generation of high energy physics experiments" *International Journal of High Speed Electronics and Systems*, vol. 14, no. 2, pp 379-399, 2004
- FOU04 P. Fouillat , V. Pouget , D. Lewis , S. Buchner and D. McMorrow "Investigation of single-event transients in fast integrated circuits with a pulsed laser", *Int. J. High speed Electron. Syst.*, vol. 14, pp.327 2004
- GIL05 Gill, B.; Nicolaidis, M.; Papachristou, C.; , "Radiation induced single-word multiple-bit upsets correction in SRAM," *On-Line Testing Symposium, 2005. IOLTS 2005. 11th IEEE International* , vol., no., pp. 266- 271, 6-8 July 2005
- GUE79 Guenzer, C. S.; Wolicki, E. A.; Allas, R. G.; , "Single Event Upset of Dynamic Rams by Neutrons and Protons," *Nuclear Science, IEEE Transactions on* , vol.26, no.6, pp.5048-5052, Dec. 1979

- HAR07 Haran, A.; Barak, J.; David, D.; Refaeli, N.; Fischer, B.E.; Voss, K.-O.; Du, G.; Heiss, M.; "Mapping of Single Event Burnout in Power MOSFETs," *Nuclear Science, IEEE Transactions on* , vol.54, no.6, pp.2488-2494, Dec. 2007
- HAZ00 Hazucha, P.; Svensson, C.; , "Impact of CMOS technology scaling on the atmospheric neutron soft error rate," *Nuclear Science, IEEE Transactions on* , vol.47, no.6, pp.2586-2594, Dec 2000
- HEI05 T. Heijmen, "Analytical semi-empirical model for SER sensitivity estimation of deep-submicron CMOS circuits", *IEEE On-line testing Symposium. IOLTS*, 2005.
- HEI06 T. Heijmen et al., "Factors that impact the critical charge of memory elements", *IOLTS Proceedings*, pp.6. 2006.
- HIR09 Hiroyuki Yamauchi, "A Scaling Trend of Variation-Tolerant SRAM Circuit Design in Deeper Nanometer Area," in *Journal of semiconductor technology and science*, vol. 9, no. 1, pp.37-50, 2009
http://www.csn.es/images/stories/publicaciones/unitarias/normativa/is_051.pdf
- HU11 Zhiyuan Hu; Zhangli Liu; Hua Shao; Zhengxuan Zhang; Bingxu Ning; Ming Chen; Dawei Bi; Shichang Zou; , "Comprehensive Study on the Total Dose Effects in a 180-nm CMOS Technology," *Nuclear Science, IEEE Transactions on* , vol.58, no.3, pp.1347-1354, June 2011
- ISH98 Ishida, M.; Kawakami, T.; Tsuji, A.; Kawamoto, N.; Motoyoshi, M.; Ouchi, N.; , "A novel 6T-SRAM cell technology designed with rectangular patterns scalable beyond 0.18 μm generation and desirable for ultra high speed operation," *Electron Devices Meeting, 1998. IEDM '98. Technical Digest., International* , vol., no., pp.201-204, 6-9 Dec 1998
- JAH09 Jahinuzzaman, S.M.; Sharifkhani, M.; Sachdev, M.; , "An Analytical Model for Soft Error Critical Charge of Nanometric SRAMs," *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on* , vol.17, no.9, pp.1187-1195, Sept. 2009
- JAI07 P. Jain, V. Zhu "Judicious choice of waveform parameters and accurate estimation of critical charge for logic SER" *Proceedings of DSN, International Conference on Dependable Systems and Networks. 2007*
- JIN07 Jin Qin; Xiaojun Li; Bernstein, J.B.; , "SRAM stability analysis considering gate oxide SBD, NBTI and HCI," *Integrated Reliability Workshop Final Report, 2007. IRW 2007. IEEE International* , vol., no., pp.33-37, 15-18 Oct. 2007
- KAN07 K. Kang, et al, "Impact of Negative Temperature Bias Instability in Nanoscale SRAM Array: Modeling and Analysis", *IEEE Trans.* , 2007.
- KHA10 Khan, S.; Hamdioui, S.; , "Trends and challenges of SRAM reliability in the nanoscale era," *Design and Technology of Integrated Systems in Nanoscale Era (DTIS), 2010 5th International Conference on* , vol., no., pp.1-6, 23-25 March 2010
- KUH07 Kuhn, K.J.; "Reducing Variation in Advanced Logic Technologies: Approaches to Process and Design for Manufacturability of Nanoscale CMOS," *Electron Devices*

- Meeting, 2007. IEDM 2007. IEEE International , vol., no., pp.471-474, 10-12 Dec. 2007
- KUM09 Kumar, R.; Hinton, G.; , "A family of 45nm IA processors," *Solid-State Circuits Conference - Digest of Technical Papers, 2009. ISSCC 2009. IEEE International* , vol., no., pp.58-59, 8-12 Feb. 2009
- LAG96 Lage, C.; Hayden, J.D.; Subramanian, C.; , "Advanced SRAM technology-the race between 4T and 6T cells," *Electron Devices Meeting, 1996. IEDM '96., International* , vol., no., pp.271-274, 8-11 Dec. 1996
- LES05 Lesea, A.; Drimer, S.; Fabula, J.J.; Carmichael, C.; Alfke, P.; , "The rosetta experiment: atmospheric soft error rate testing in differing technology FPGAs," *Device and Materials Reliability, IEEE Transactions on* , vol.5, no.3, pp. 317- 328, Sept. 2005
- LU82 Lu, N.C.-C.; Gerzberg, L.; Meindl, J.D.; , "Scaling limitations of monolithic polycrystalline-Silicon resistors in VLSI static RAM's and logic," *Electron Devices, IEEE Transactions on* , vol.29, no.4, pp. 682- 690, Apr 1982
- MAY78 May, Timothy C.; Woods, Murray H.; , "A New Physical Mechanism for Soft Errors in Dynamic Memories," *Reliability Physics Symposium, 1978. 16th Annual* , vol., no., pp.33-40, April 1978
- MIT00 Mitra, S.; McCluskey, E.J.; , "Which concurrent error detection scheme to choose?," *Test Conference, 2000. Proceedings. International* , vol., no., pp.985-994, 2000
- NAR08 Narasimham B et al. Quantifying the reduction in collected charge and soft errors in the presence of guard rings. *IEEE Trans Dev Mater Reliab* 2008;8(1):203–9.
- NAR08 Narasimham, B.; Shuler, R.L.; Black, J.D.; Bhuva, B.L.; Schrimpf, R.D.; Witulski, A.F.; Holman, W.T.; Massengill, L.W.; , "Quantifying the Reduction in Collected Charge and Soft Errors in the Presence of Guard Rings," *Device and Materials Reliability, IEEE Transactions on* , vol.8, no.1, pp.203-209, March 2008
- NIC05 Nicolaidis, M.; , "Design for soft error mitigation," *Device and Materials Reliability, IEEE Transactions on* , vol.5, no.3, pp. 405- 418, Sept. 2005
- NOR04 Norman E. "Single event effects in avionics and on the ground". *Int. J. High Speed Electron. Syst.* 2004;14(2):285–298
- NOR04 Normand, E. "Single Event Effects in Avionics and on the Ground". *International Journal of High Speed Electronics and Systems.* Vol. 14 No. 2 285-298. 2004.
- NOR06 Normand, E.; Vranish, K.; Sheets, A.; Stitt, M.; Kim, R.; , "Quantifying the Double-Sided Neutron SEU Threat, From Low Energy (Thermal) and High Energy (> 10 MeV) Neutrons," *Nuclear Science, IEEE Transactions on* , vol.53, no.6, pp.3587-3595, Dec. 2006
- NOR93 Normand, E.; Baker, T.J.; , "Altitude and latitude variations in avionics SEU and atmospheric neutron flux," *Nuclear Science, IEEE Transactions on* , vol.40, no.6, pp.1484-1490, Dec 1993

- OKU09 Okumura, S.; Iguchi, Y.; Yoshimoto, S.; Fujiwara, H.; Noguchi, H.; Nii, K.; Kawaguchi, H.; Yoshimoto, M.; , "A 0.56-V 128kb 10T SRAM using column line assist (CLA) scheme," *Quality of Electronic Design, 2009. ISQED 2009. Quality Electronic Design* , vol., no., pp.659-663, 16-18 March 2009
- OSA01 Osada, K.; Jin-Uk Shin; Khan, M.; Yu-De Liou; Wang, K.; Shoji, K.; Kuroda, K.; Ikeda, S.; Ishibashi, K.; , "Universal-Vdd 0.65-2.0V 32 kB cache using voltage-adapted timing-generation scheme and a lithographical-symmetric cell," *Solid-State Circuits Conference, 2001. Digest of Technical Papers. ISSCC. 2001 IEEE International* , vol., no., pp.168-169, 443, 2001
- PAV08 Andrei Pavlov and Manoj Sachdev. *CMOS SRAM Circuit Design and Parametric Test in Nano-Scaled Technologies: Process-Aware SRAM Design and Test* (1st ed.). Springer Publishing Company, Incorporated. 2008
- PIL07 H. Pilo, C. Barwin, G. Braceras, C. Browning, S. Lamphier, and F. Towler "An SRAM Design in 65-nm Technology Node during Read and Write-Assist Circuits to Expand Operating Voltage". *IEEE Solid-State Circuits*. 42. 4. 813 - 819 (April 2007).
- PIL07 Pilo, H.; Barwin, C.; Braceras, G.; Browning, C.; Lamphier, S.; Towler, F.; , "An SRAM Design in 65-nm Technology Node Featuring Read and Write-Assist Circuits to Expand Operating Voltage," *Solid-State Circuits, IEEE Journal of* , vol.42, no.4, pp.813-819, April 2007
- PIL07 Pilo, H.; Barwin, C.; Braceras, G.; Browning, C.; Lamphier, S.; Towler, F.; , "An SRAM Design in 65-nm Technology Node Featuring Read and Write-Assist Circuits to Expand Operating Voltage," *Solid-State Circuits, IEEE Journal of* , vol.42, no.4, pp.813-819, April 2007
- RAJ09 Rajesh Garg and Sunil P. Khatri. *Analysis and Design of Resilient VLSI Circuits: Mitigating Soft Errors and Process Variations* (1st ed.). Springer Publishing Company, Incorporated. 2009
- RAM07 Ramadurai, V.; Joshi, R.; Kanj, R.; , "A Disturb Decoupled Column Select 8T SRAM Cell," *Custom Integrated Circuits Conference, 2007. CICC '07. IEEE* , vol., no., pp.25-28, 16-19 Sept. 2007
- REV09 Pedro Reviriego and Juan Antonio Maestro. 2009. Efficient error detection codes for multiple-bit upset correction in SRAMs with BICS. *ACM Trans. Des. Autom. Electron. Syst.* 14, 1, Article 18 (January 2009)
- ROC 03 Roche, P.; Gasiot, G.; Forbes, K.; O'Sullivan, V.; Ferlet, V.; , "Comparisons of soft error rate for SRAMs in commercial SOI and bulk below the 130-nm technology node," *Nuclear Science, IEEE Transactions on* , vol.50, no.6, pp. 2046- 2054, Dec. 2003
- ROC05 Roche P et al. Impacts of front-end and middle-end process modifications on terrestrial soft error rate. *IEEE Trans Dev Mater Reliab* 2005;5(3):382–96.

- SCH06 Schwank, J.R.; Shaneyfelt, M.R.; Felix, J.A.; Dodd, P.E.; Baggio, J.; Ferlet-Cavrois, V.; Paillet, P.; Hash, G.L.; Flores, R.S.; Massengill, L.W.; Blackmore, E.; , "Effects of Total Dose Irradiation on Single-Event Upset Hardness," *Nuclear Science, IEEE Transactions on* , vol.53, no.4, pp.1772-1778, Aug. 2006
- SCH08 Schrimpf, R.D.; Warren, K.M.; Weller, R.A.; Reed, R.A.; Massengill, L.W.; Alles, M.L.; Fleetwood, D.M.; Zhou, X.J.; Tsetseris, L.; Pantelides, S.T.; , "Reliability and radiation effects in IC technologies," *Reliability Physics Symposium, 2008. IRPS 2008. IEEE International* , vol., no., pp.97-106, April 27 2008-May 1 2008
- SCH08 Schwank, J.R.; Shaneyfelt, M.R.; Fleetwood, D.M.; Felix, J.A.; Dodd, P.E.; Paillet, P.; Ferlet-Cavrois, V.; , "Radiation Effects in MOS Oxides," *Nuclear Science, IEEE Transactions on* , vol.55, no.4, pp.1833-1853, Aug. 2008
- SEI06 Seifert, N.; Slankard, P.; Kirsch, M.; Narasimham, B.; Zia, V.; Brookreson, C.; Vo, A.; Mitra, S.; Gill, B.; Maiz, J.; , "Radiation-Induced Soft Error Rates of Advanced CMOS Bulk Devices," *Reliability Physics Symposium Proceedings, 2006. 44th Annual., IEEE International* , vol., no., pp.217-225, 26-30 March 2006
- SIL07 A. Sil, S. Ghosh, M. Bayomi, "A novel 8T SRAM cell with improved read-SNM". *IEEE Northeast Circuit and Systems*. 1289 – 1292. 2007.
- SUB06 Subhasish Mitra; Ming Zhang; Seifert, N.; Mak, T.M.; Kee Sup Kim; , "Soft Error Resilient System Design through Error Correction," *Very Large Scale Integration, 2006 IFIP International Conference on* , vol., no., pp.332-337, 16-18 Oct. 2006
- TAB93 Taber, A.; Normand, E.; , "Single event upset in avionics," *Nuclear Science, IEEE Transactions on* , vol.40, no.2, pp.120-126, Apr 1993
- TAU07 Tausch, J.; Sleeter, D.; Radaelli, D.; Puchner, H.; , "Neutron Induced Micro SEL Events in COTS SRAM Devices," *Radiation Effects Data Workshop, 2007 IEEE* , vol.0, no., pp.185-188, 23-27 July 2007
- TAW08 S. A. Tawfik, V. Kursun. "Low-Power and robust 7T dual-Vt SRAM circuit" *IEEE Symposium on Circuits and Systems*. 1452 – 1455. 2008.
- TAW08 Tawfik, S.A.; Kursun, V.; , "Low power and robust 7T dual-Vt SRAM circuit," *Circuits and Systems, 2008. ISCAS 2008. IEEE International Symposium on* , vol., no., pp.1452-1455, 18-21 May 2008
- TOR08 G. Torrens, B. Alorda, S. Barceló, J. L. Rosselló, S. Bota, and J. Segura. "An SRAM SEU Hardening Technique for Multi-Vt Nanometric CMOS Technologies" *XXIII Conference on Design of Circuits and Integrated Systems (DCIS)*. 2008.
- TOR09 Torrens, G.; Bota, S.; Verd, J.; Alorda, B.; Merino, J.; Segura, J., "Analysis of current transients in SRAM memories for single event upset detection" *VLSI Circuits and Systems IV. Proceedings of the SPIE, Volume 7363 (2009).*, pp. 73630Z-73630Z-11 (2009)
- TOU97 Touba, N.A.; McCluskey, E.J.; , "Logic synthesis of multilevel circuits with concurrent error detection," *Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on* , vol.16, no.7, pp.783-789, Jul 1997

- VAR11 Varanasi, S.K.; Mandavilli, S.; , "Process Variation Tolerant SRAM Cell Design," *Electronic System Design (ISED)*, 2011 International Symposium on , vol., no., pp.82-87, 19-21 Dec. 2011
- WAL05 S. V. Walstra, C. Dai, "Circuit-Level Modeling of Soft Errors in Integrated Circuits", *IEEE Transactions on Device and Materials Reliability*, pp. 358-364, 2005.
- WAL62 Wallmark, J.T.; Marcus, S.M.; , "Minimum Size and Maximum Packing Density of Nonredundant Semiconductor Devices," *Proceedings of the IRE* , vol.50, no.3, pp.286-298, March 1962
- WHI91 Whitaker, S.; Canaris, J.; Liu, K.; , "SEU hardened memory cells for a CCSDS Reed-Solomon encoder," *Nuclear Science, IEEE Transactions on* , vol.38, no.6, pp.1471-1477, Dec 1991
- WIL02 Wilkinson, J.; Hareland, S.; , "A cautionary tale of soft errors induced by SRAM packaging materials," *Device and Materials Reliability, IEEE Transactions on* , vol.5, no.3, pp. 428- 433, Sept. 2005
- WON05 B. P. Wong, A. Mittal, Y. Cao, and G. Starr, *Nano-CMOS Circuit and Physical Design*. New York: Wiley, 2005
- WON05 B. P. Wong, A. Mittal, Y. Cao, and G. Starr, *Nano-CMOS Circuit and Physical Design*. New York: Wiley, 2005.
- WRO00 Wrobel, F.; Palau, J.-M.; Calvet, M.C.; Bersillon, O.; Duarte, H.; , "Incidence of multi-particle events on soft error rates caused by n-Si nuclear reactions," *Nuclear Science, IEEE Transactions on* , vol.47, no.6, pp.2580-2585, Dec 2000
- WU09 Wu, E.; Braceras, G.; Turner, D.; Swift, A.; Johnson, M.; Sue, J.; Tous, S.; Li, B.; Bolam, R.; Massey, G.; Khare, M.; , "A viable and comprehensive Tddb assessment methodology for investigation of SRAM Vmin failure," *Electron Devices Meeting (IEDM), 2009 IEEE International* , vol., no., pp.1-4, 7-9 Dec. 2009
- WYA79 Wyatt, R. C.; McNulty, P. J.; Toumbas, P.; Rothwell, P. L.; Filz, R. C.; , "Soft Errors Induced by Energetic Protons," *Nuclear Science, IEEE Transactions on* , vol.26, no.6, pp.4905-4910, Dec. 1979
- XIA10 Xiaoyin Yao; Clark, L.T.; Chellappa, S.; Holbert, K.E.; Hindman, N.D.; , "Design and Experimental Validation of Radiation Hardened by Design SRAM Cells," *Nuclear Science, IEEE Transactions on* , vol.57, no.1, pp.258-265, Feb. 2010
- YAM04 Yamaoka, M.; Osada, K.; Ishibashi, K.; , "0.4-V logic-library-friendly SRAM array using rectangular-diffusion cell and delta-boosted-array voltage scheme," *Solid-State Circuits, IEEE Journal of* , vol.39, no.6, pp. 934- 940, June 2004
- YAM07 Yamauchi, H.; , "Embedded SRAM circuit design technologies for a 45nm and beyond," *ASIC, 2007. ASICON '07. 7th International Conference on* , vol., no., pp.1028-1033, 22-25 Oct. 2007

- YOU11 Young Hwi Yang; Jisu Kim; Hyunkook Park; Wang, J.; Yeap, G.; Seong-Ook Jung; , "SRAM bitcell design for low voltage operation in deep submicron technologies," *IC Design & Technology (ICICDT), 2011 IEEE International Conference on* , vol., no., pp.1-4, 2-4 May 2011
- ZAF06 Zafar, S.; Kim, Y.H.; Narayanan, V.; Cabral, C.; Paruchuri, V.; Doris, B.; Stathis, J.; Callegari, A.; Chudzik, M.; , "A Comparative Study of NBTI and PBTI (Charge Trapping) in SiO₂/HfO₂ Stacks with FUSI, TiN, Re Gates," *VLSI Technology, 2006. Digest of Technical Papers. 2006 Symposium on* , vol., no., pp.23-25
- ZHA06 Kevin Zhang; Bhattacharya, U.; Zhanping Chen; Hamzaoglu, F.; Murray, D.; Vallepalli, N.; Yih Wang; Bo Zheng; Bohr, M.; , "A 3-GHz 70-mb SRAM in 65-nm CMOS technology with integrated column-based dynamic power supply," *Solid-State Circuits, IEEE Journal of* , vol.41, no.1, pp. 146- 151, Jan. 2006
- ZHA09 Kevin Zhang. *Embedded Memories for Nano-Scale Vlsis* (1st ed.). Springer Publishing Company, Incorporated. 2009
- ZHI08 Zhiyu Liu; Kursun, V.; , "Characterization of a Novel Nine-Transistor SRAM Cell," *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on* , vol.16, no.4, pp.488-492, April 2008
- ZHU06 Zhu, Q.K.; , "Memory Generation and Power Distribution In SOC," *Digital System Design: Architectures, Methods and Tools, 2006. DSD 2006. 9th EUROMICRO Conference on* , vol., no., pp.491-495

